

# EDA技术及其应用

---

## 第2章 Quartus II设计向导

## 2.1 原理图输入设计方法的特点

---



- ◇进行几乎任意层次的数字系统设计。
  - ◇对系统中的任一层次，或任一元件的功能进行精确的时序仿真，精度达**0.1ns**。
  - ◇通过时序仿真，迅速定位电路系统的错误，并随时纠正。
  - ◇对设计方案进行随时更改，并储存设计过程中所有的电路和测试文件入档。
  - ◇通过编译和下载，在**FPGA**上对设计项目随时进行硬件测试验证。
  - ◇如果使用**FPGA**和配置编程方式，将不会有器件损坏和损耗的问题。
  - ◇符合现代电子设计技术规范。
-

## 2.2 原理图输入方式设计初步

---

### 2.2.1 建立工作库文件夹和编辑设计文件

- (1) 新建一个文件夹。
- (2) 建立原理图源文件编辑窗。

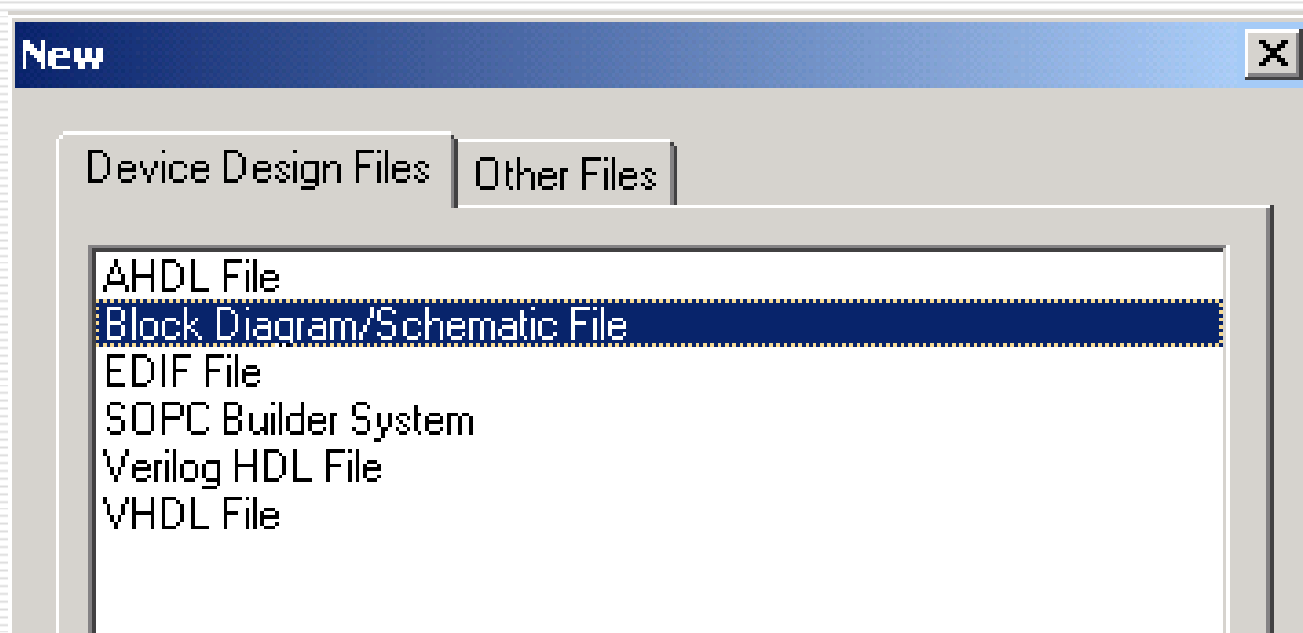


图2-1 选择编辑文件类型

## 2.2 原理图输入方式设计初步

(3) 编辑构建电路图。

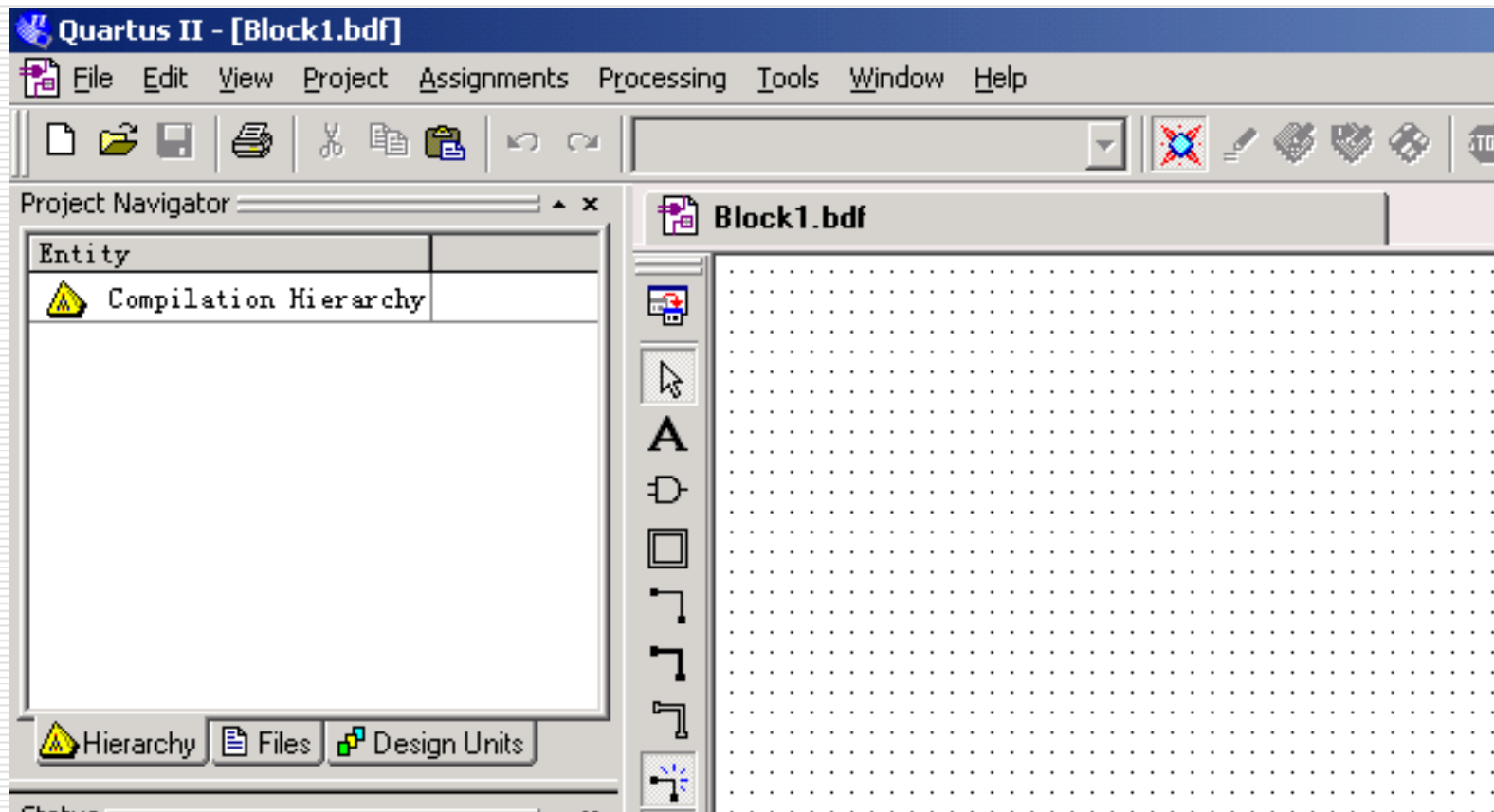


图2-2 打开原理图编辑窗

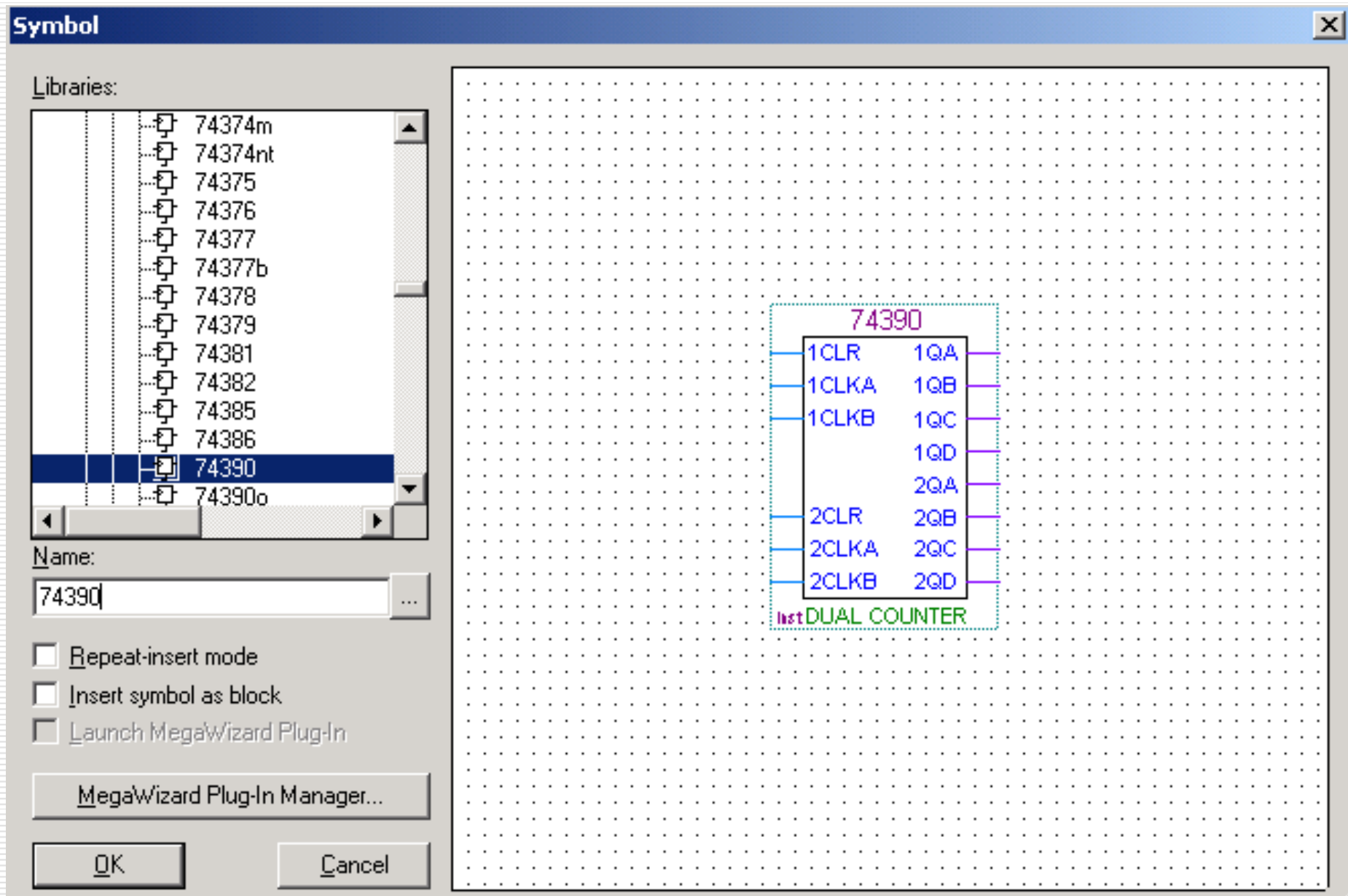


图2-3 调入需要的宏功能元件（Symbol）

## 2.2 原理图输入方式设计初步

(3) 编辑构建电路图。

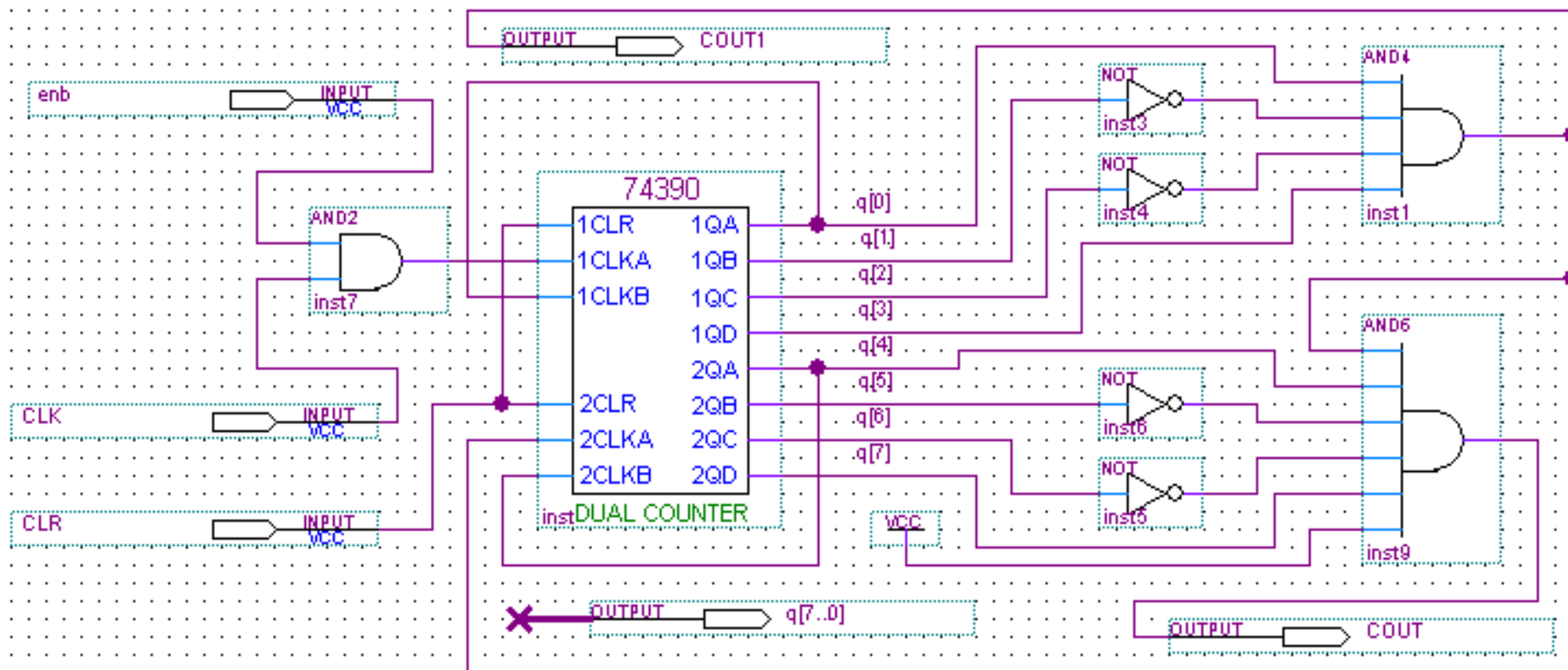


图2-4 两位十进制计数器电路图

## 2.2 原理图输入方式设计初步

---

### (4) 文件存盘。

选择**File→Save As**命令，找到已设立的文件夹路径为**d:\ MY\_PROJECT**，存盘文件名为**cnt10.bdf**。若出现问句“**Do you want to create...**”时，若单击“是”按钮，则直接进入创建工程流程。若单击“否”按钮，可按以下的方法进入创建工程流程。

---

## 2.2 原理图输入方式设计初步

### 2.2.2 创建工程

(1) 打开建立新工程管理窗。

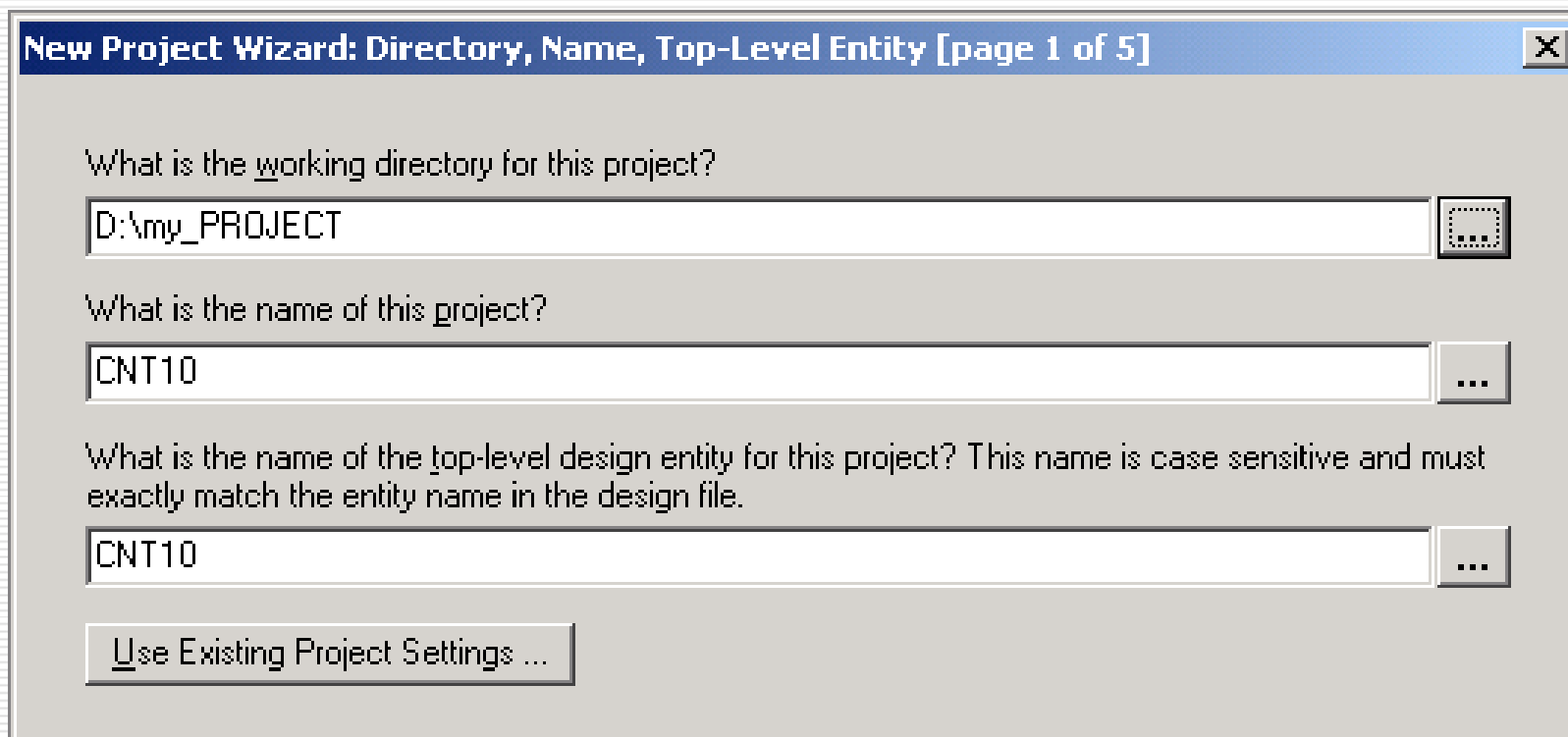


图2-5 利用“New Project Wizard”创建工程cnt10



## 2.2 原理图输入方式设计初步

(2) 将设计文件加入工程中。

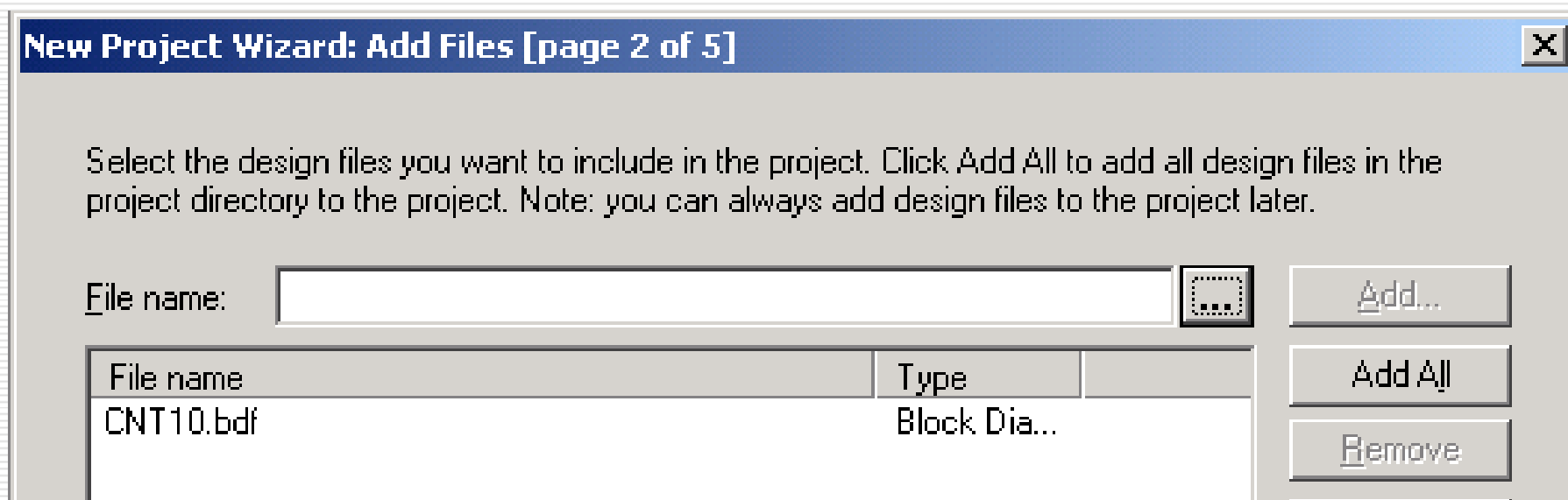


图2-6 将所有相关的文件都加入进此工程

## 2.2 原理图输入方式设计初步

(3) 选择目标芯片。

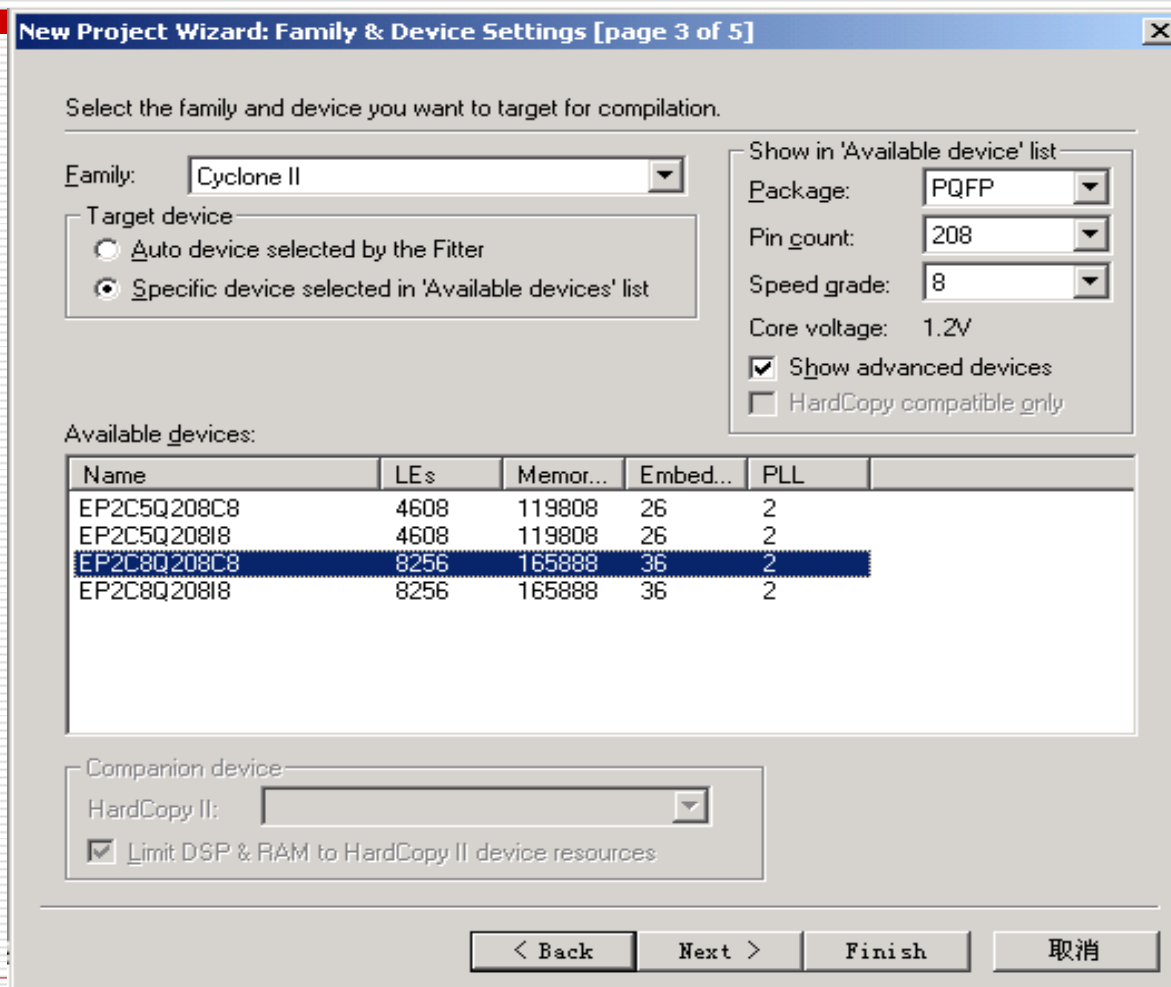


图2-7 选择目标器件EP2C8Q208C8

## 2.2 原理图输入方式设计初步

(4) 工具设置。

(5) 结束设置。

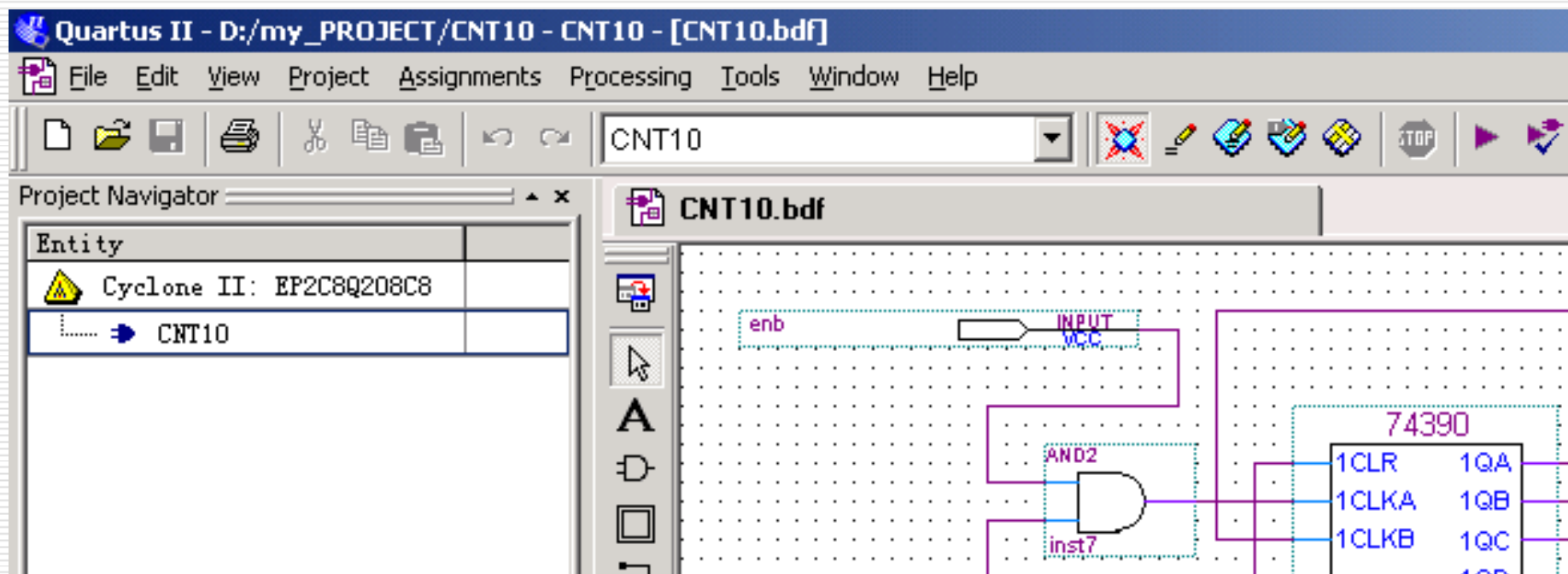


图2-8 CNT10工程管理窗

# 2.2 原理图输入方式设计初步

## 2.2.3 功能分析

**74390 (Counter)**  
Macrofunctions

Dual Decade Counter

Default Signal Levels: **GND**--1CLR, 1CLKB, 2CLR, 2CLKB  
**VCC**--1CLKA, 2CLKA

**AHDL Function Prototype (port name and order also apply to Verilog HDL):**

```
FUNCTION 74390 (1clr, 1clkA, 1clkb, 2clr, 2clka, 2clkb)
  RETURNS (1qd, 1qc, 1qb, 1qa, 2qd, 2qc, 2qb, 2qa);
```

Inputs			Outputs			
CLR	CLK		QD	QC	QB	QA
H	X		L	L	L	L
L	L			Count		

Possible Counting Configurations:

Decade: QA Connected to CLKB					Bi-Quinary: QD Connected to CLKA				
Count	QD	QC	QB	QA	Count	QA	QD	QC	QB
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	H	L	2	L	L	H	L
3	L	L	H	H	3	L	L	H	H
4	L	H	L	L	4	L	H	L	L
5	L	H	L	H	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

图2-9  
74390的真值表

# 2.2 原理图输入方式设计初步

## 2.2.4 编译前设置

(1) 选择  
FPGA目标芯  
片。

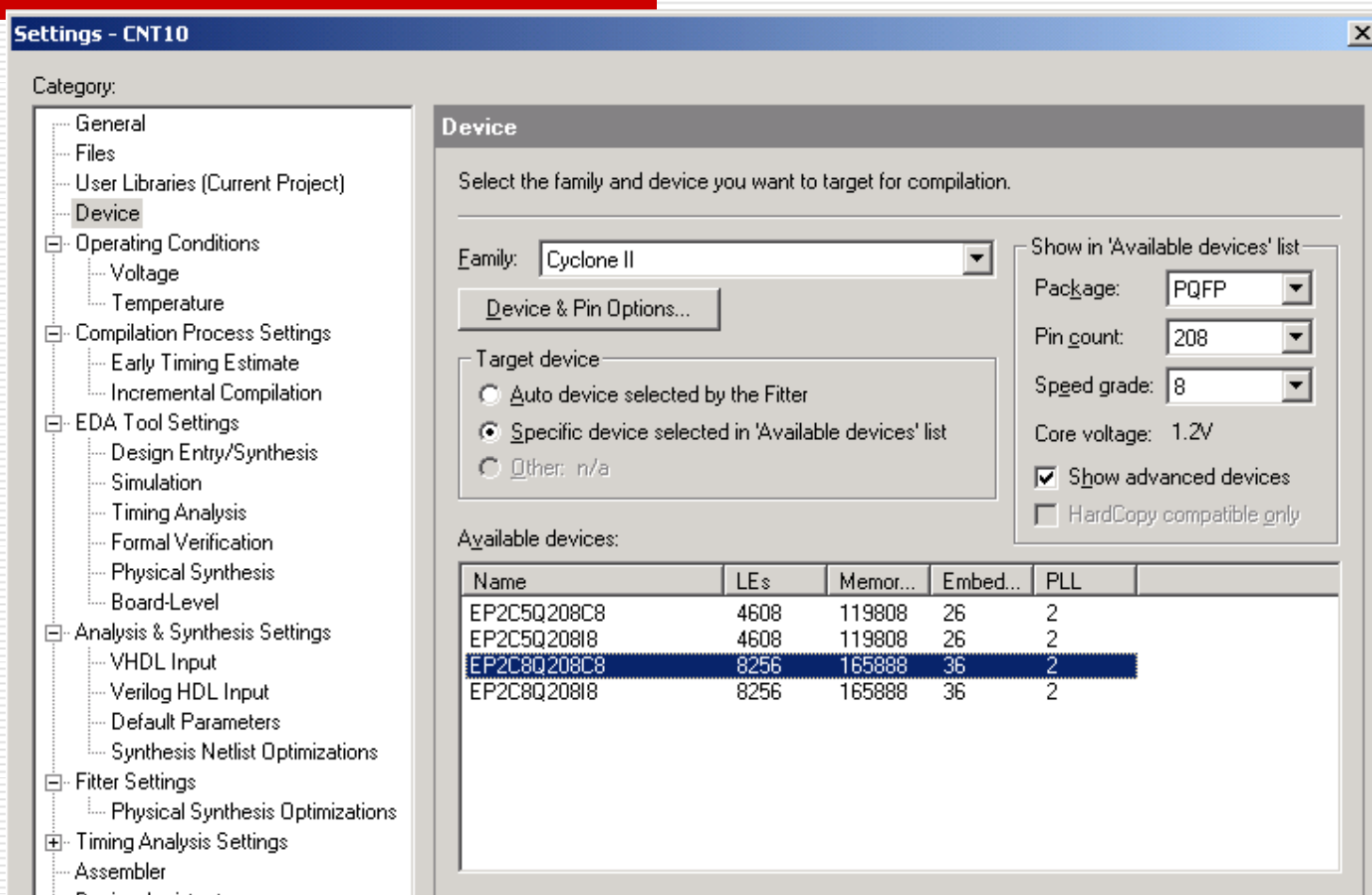


图2-10 选择目标器件EP2C8Q208C8

# 2.2 原理图输入方式设计初步

## 2.2.4 编译前设置

(2) 选择配置器件的工作方式。

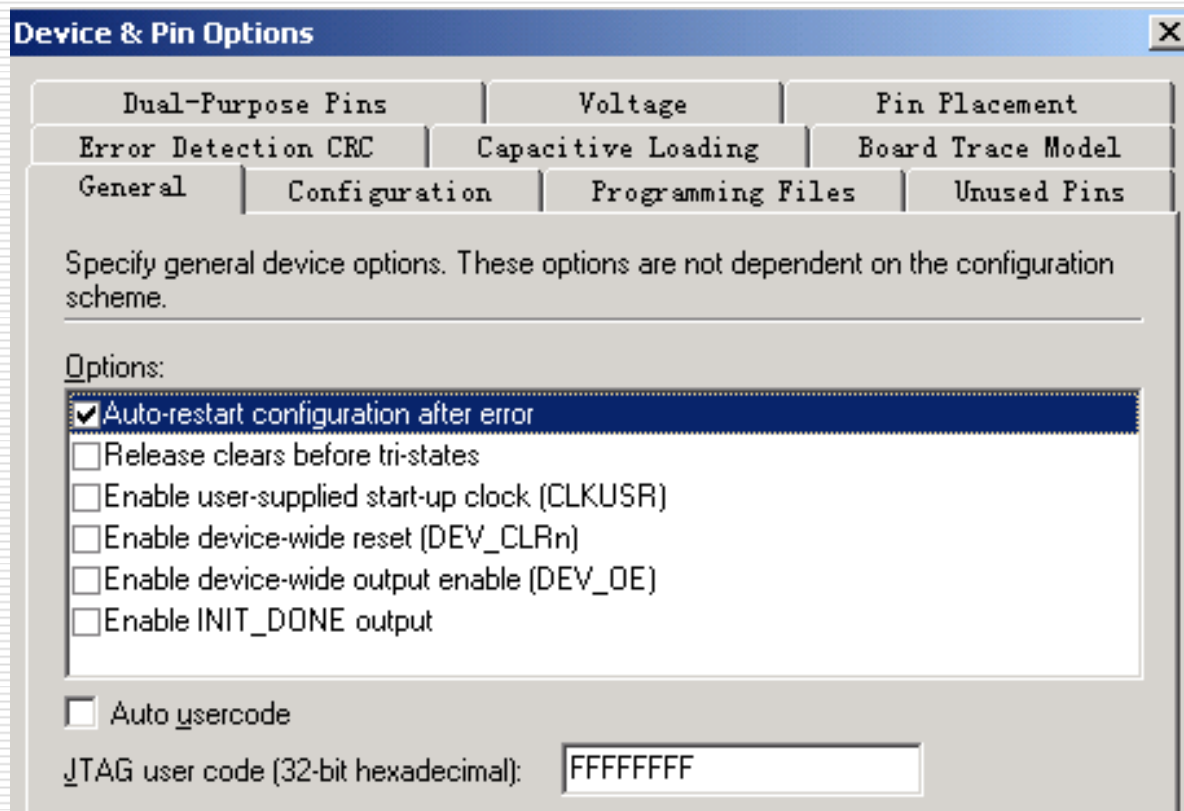


图2-11 选择配置器件的工作方式

## 2.2 原理图输入方式设计初步

### 2.2.4 编译前设置

(3) 选择配置器件和编程方式。

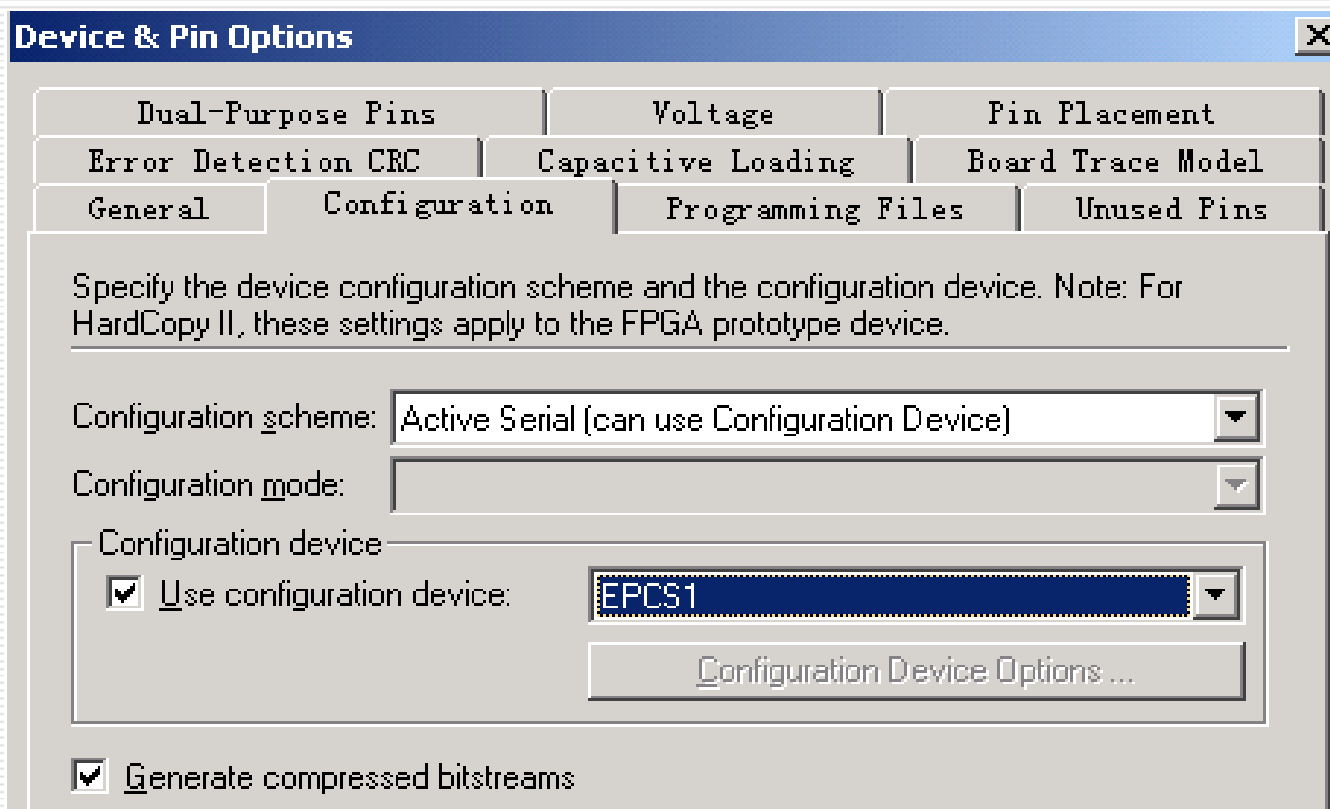


图2-12 选择配置器件型号和压缩方式

## 2.2 原理图输入方式设计初步

### 2.2.4 编译前设置

(4) 选择输出设置。

(5) 选择目标器件闲置引脚的状态。

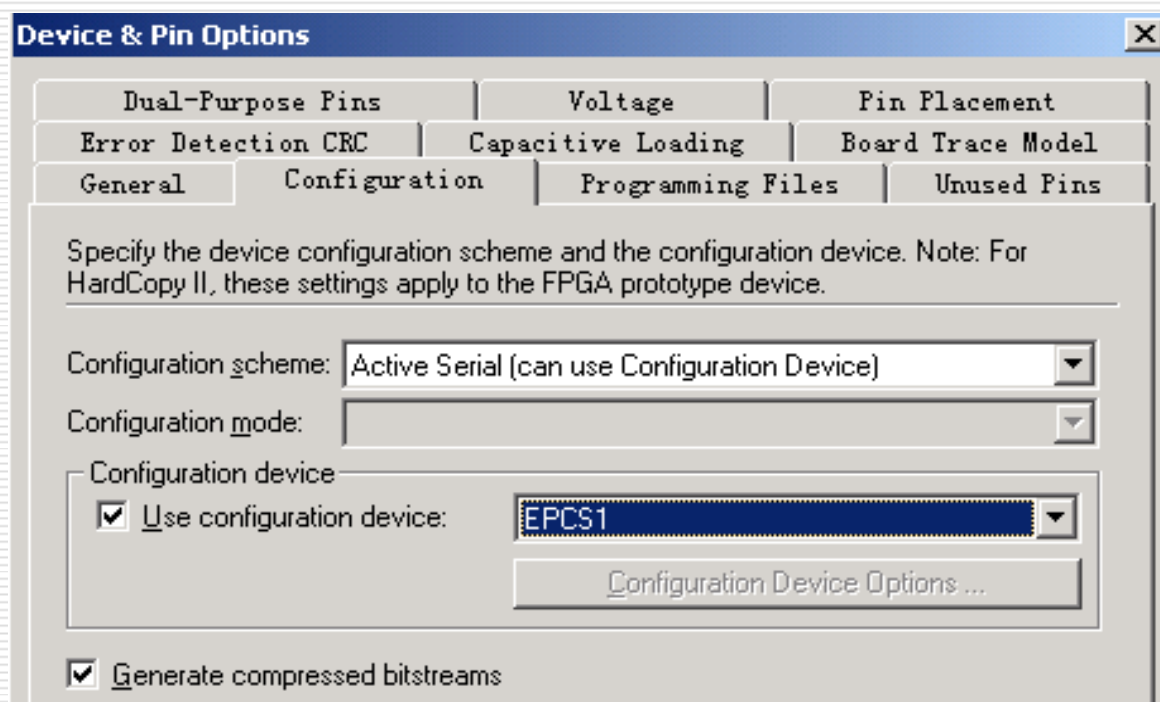


图2-12 选择配置器件型号和压缩方式



# 2.2 原理图输入方式设计初步

## 2.2.5 全程编译

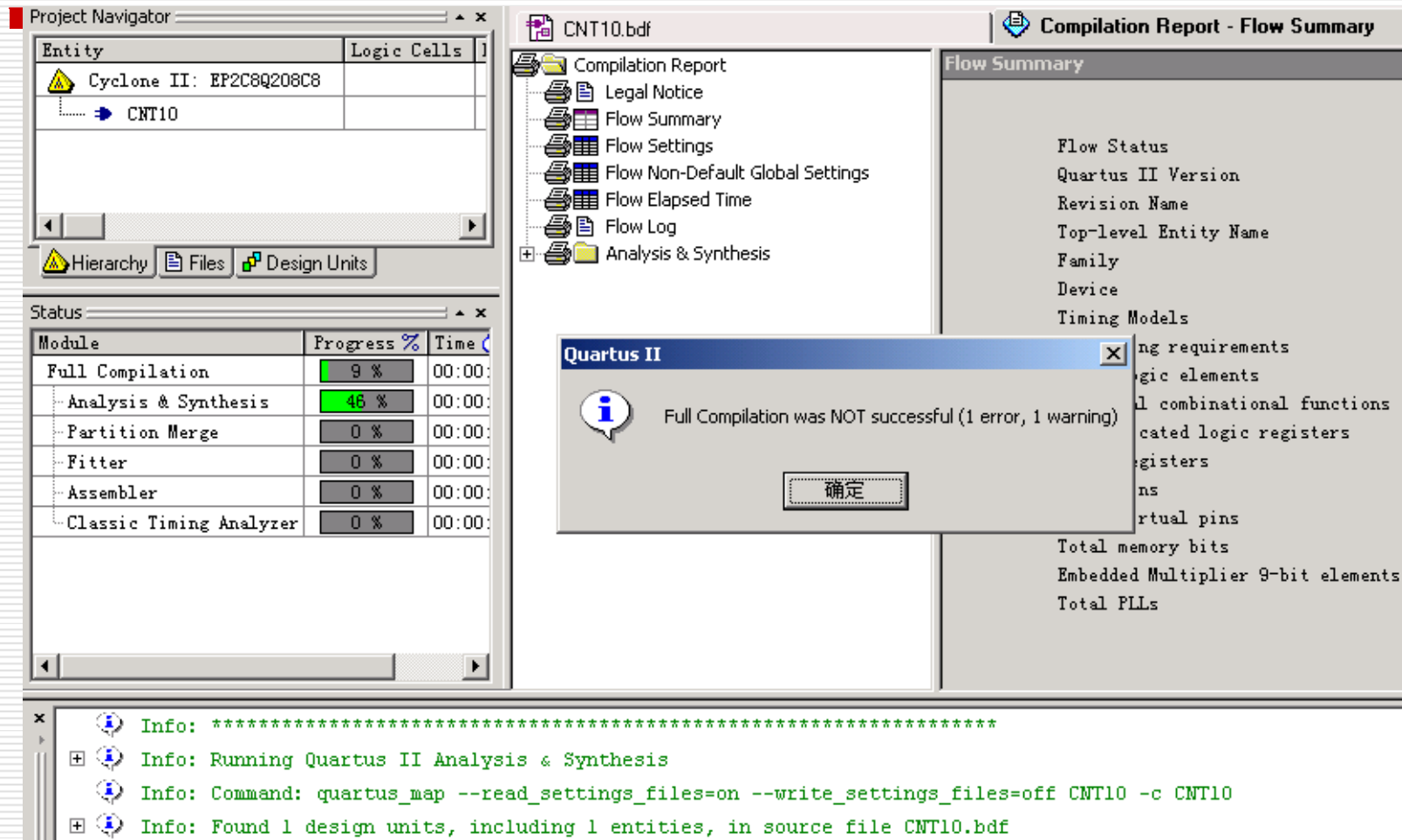


图2-13 全程编译后出现报错信息

## 2.2 原理图输入方式设计初步

### 2.2.6 功能测试

(1) 打开波形编辑器。

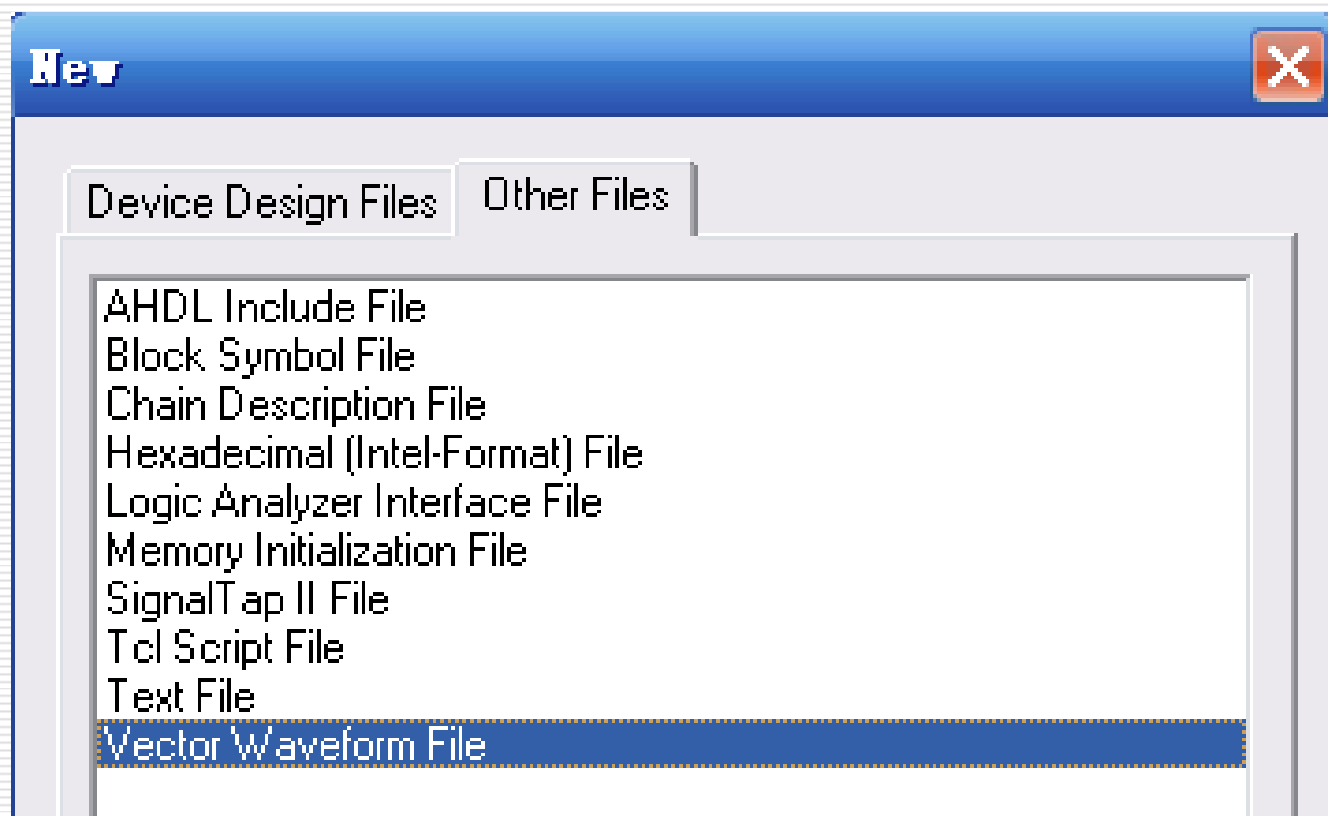


图2-14 选择编辑矢量波形文件

# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(1) 打开波形编辑器。

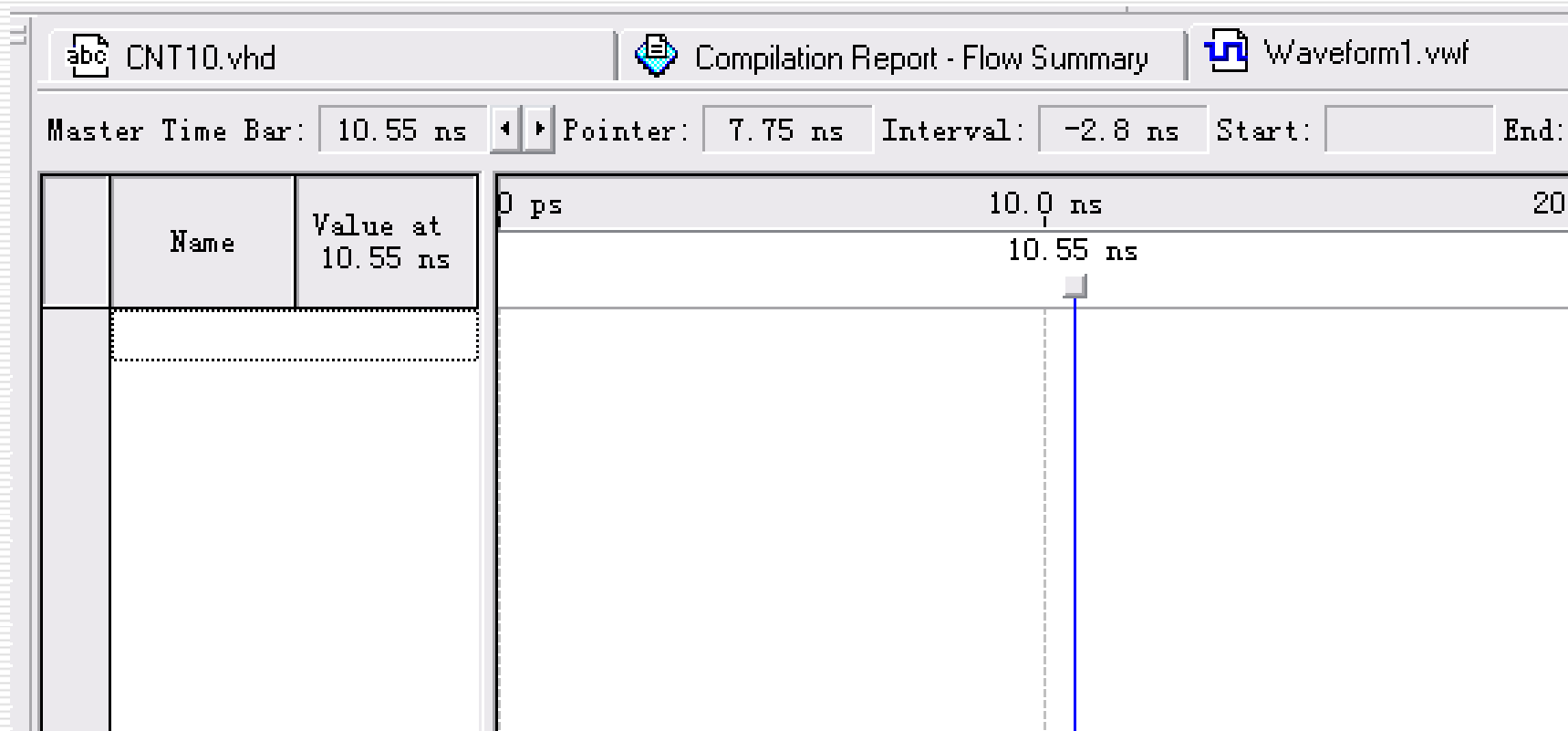


图2-15 波形编辑器

## 2.2 原理图输入方式设计初步

### 2.2.6 功能测试

(2) 设置仿真时间区域。



图2-16 设置仿真时间长度

## 2.2 原理图输入方式设计初步

### 2.2.6 功能测试

(3) 波形文件存盘。

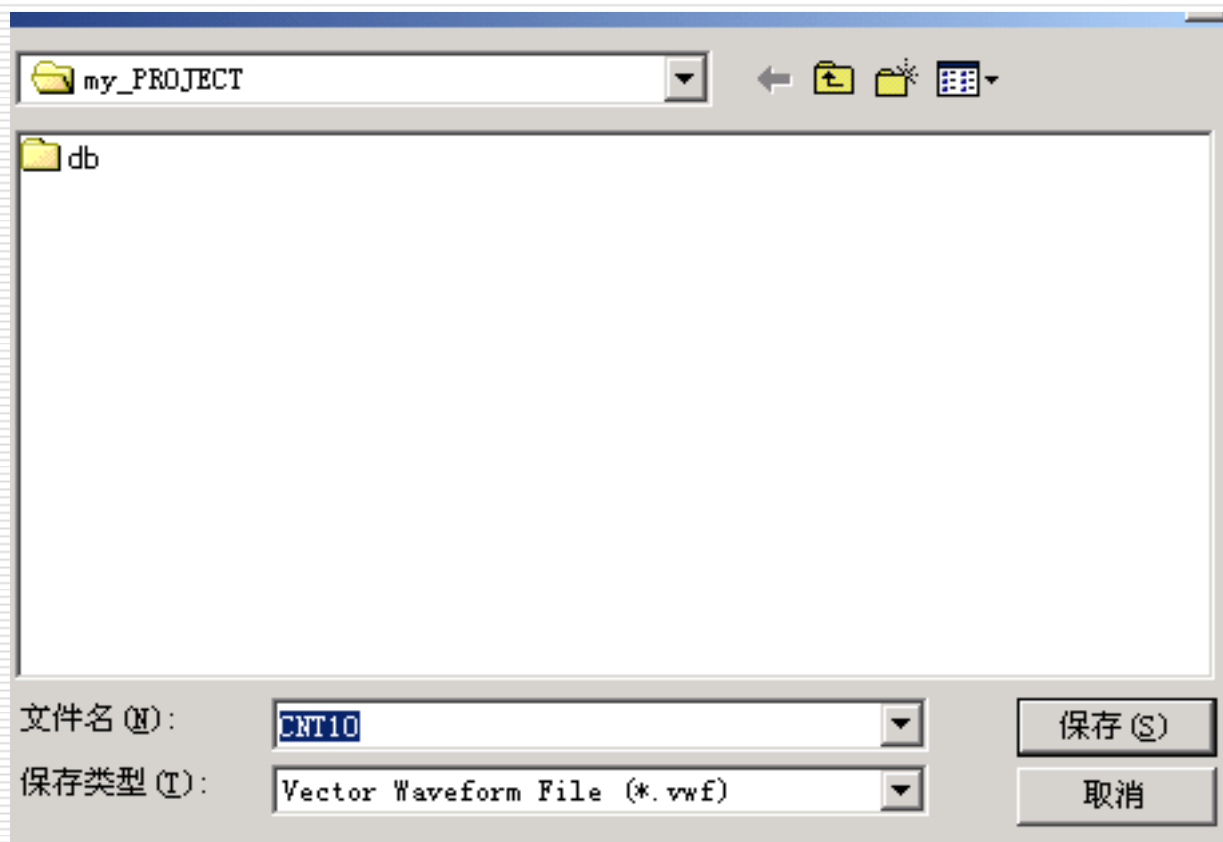


图2-17 vwf激励波形文件存盘

# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(4) 将工程cnt10的端口信号名选入波形编辑器中。

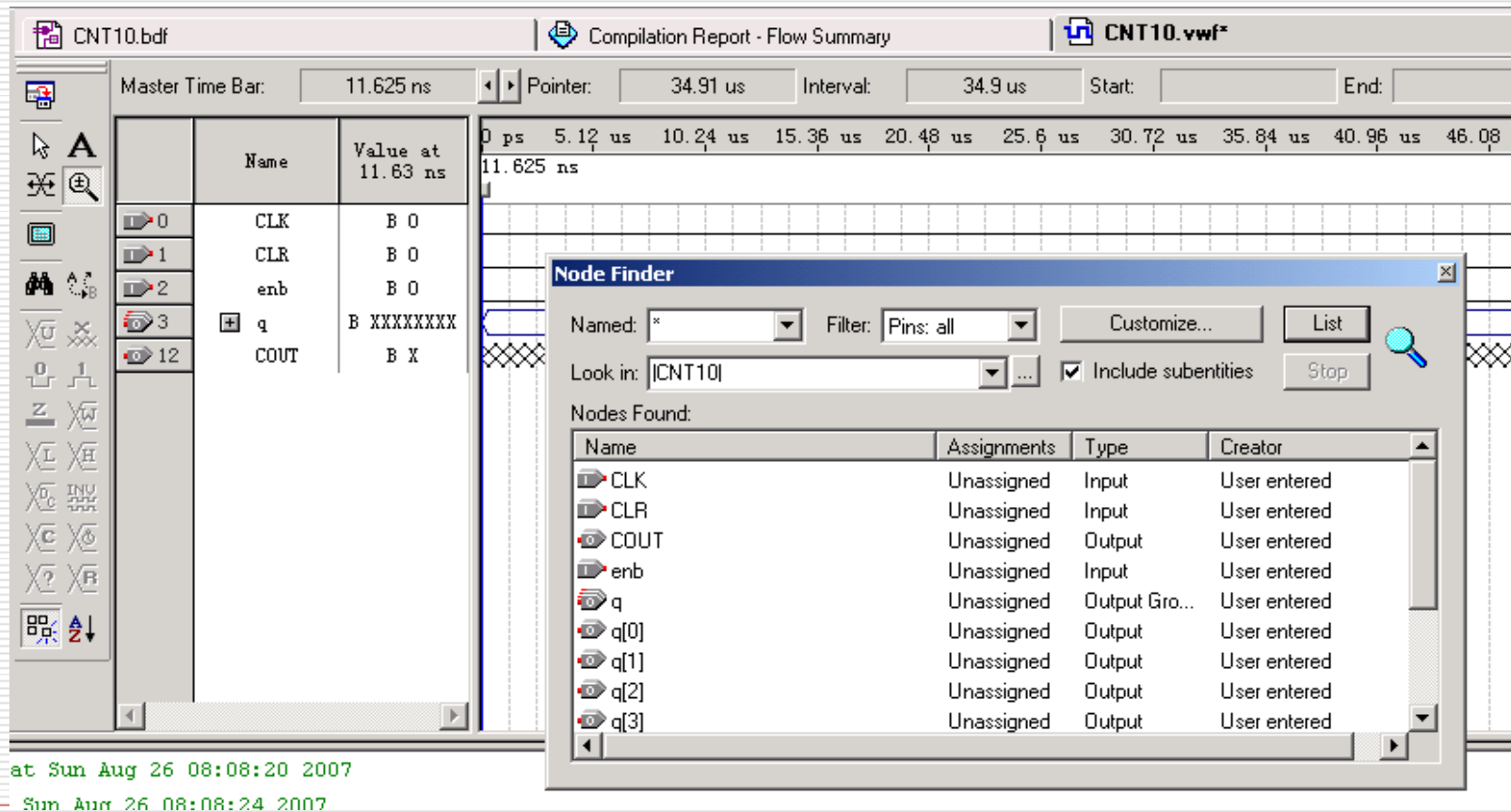


图2-18 向波形编辑器拖入信号节点

# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(5) 编辑输入波形（输入激励信号）。

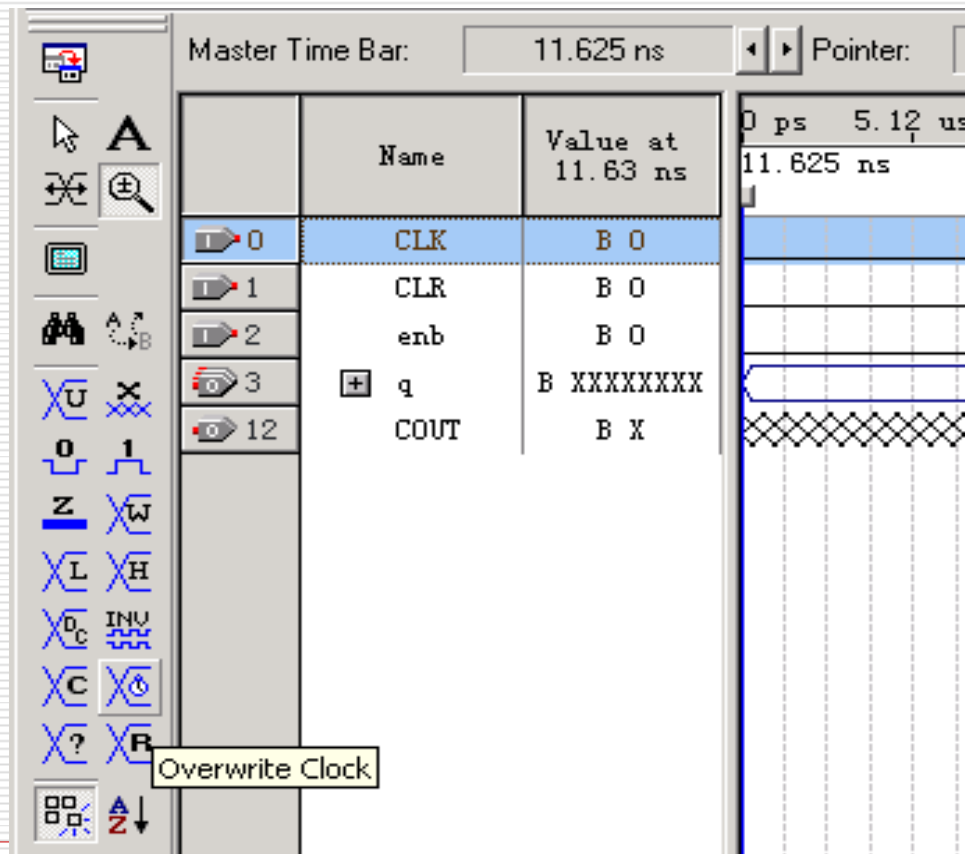


图2-19 准备给CLK设置时钟

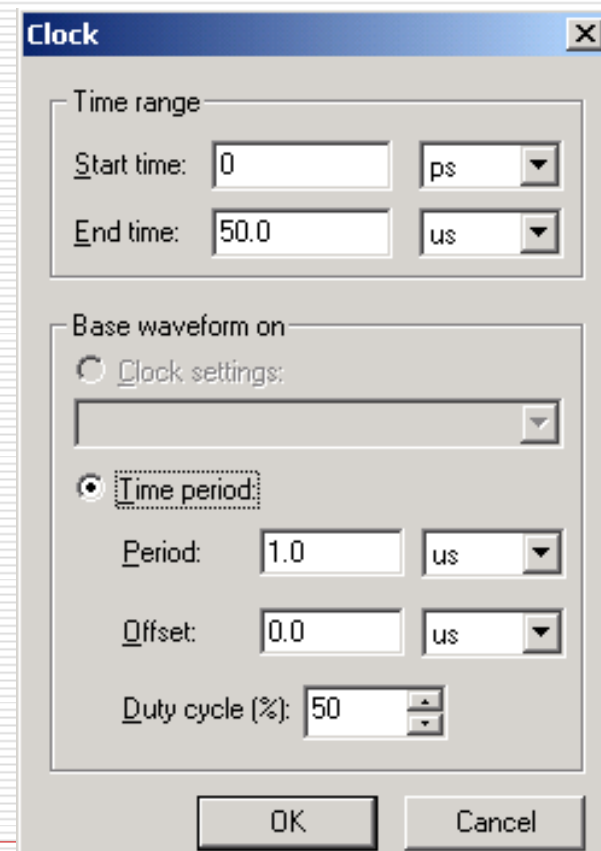


图2-20 为CLK设置周期

## 2.2 原理图输入方式设计初步

### 2.2.6 功能测试

(6) 总线数据格式设置。

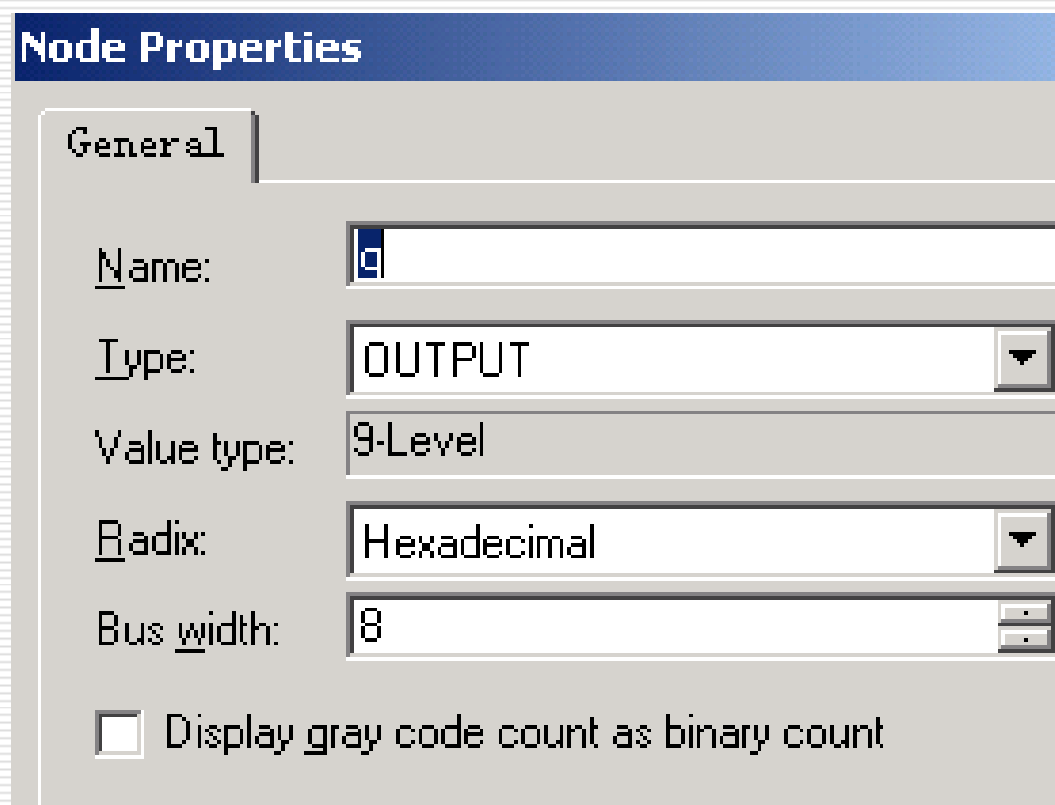


图2-21 为q设置数制



# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(6) 总线数据格式设置。

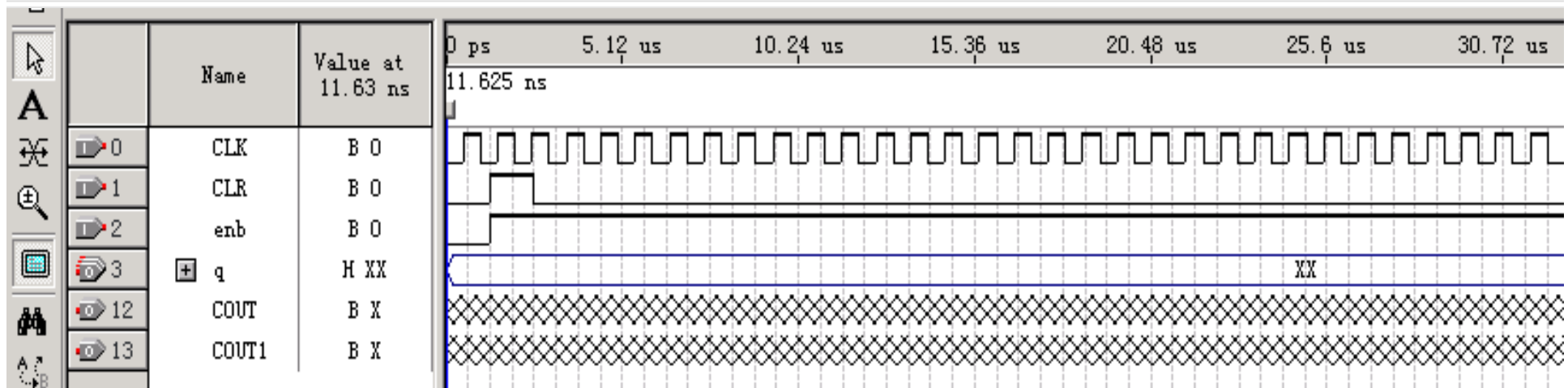


图2-22 设置好的激励波形图

# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(7) 仿真器参数设置。

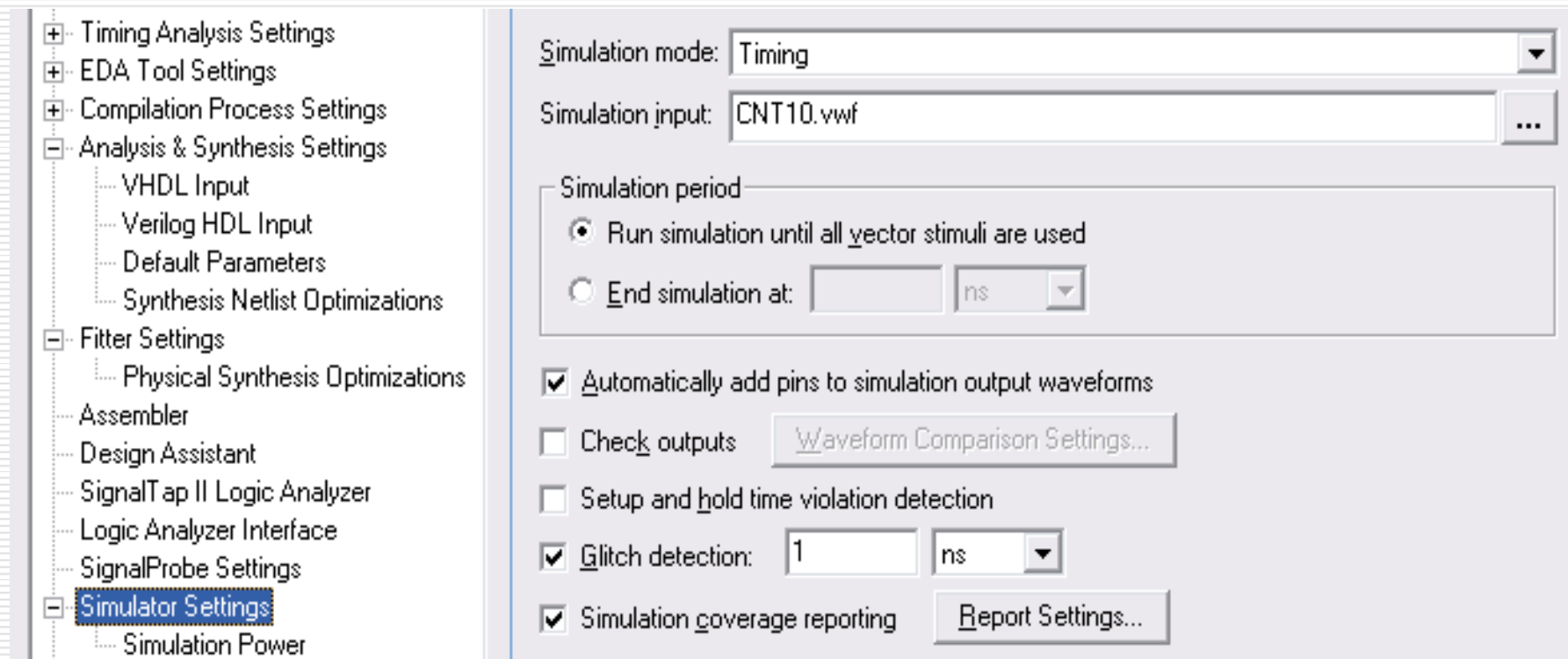


图2-23 选择仿真约束和控制

# 2.2 原理图输入方式设计初步

## 2.2.6 功能测试

(8) 启动仿真器。

(9) 观察仿真结果。

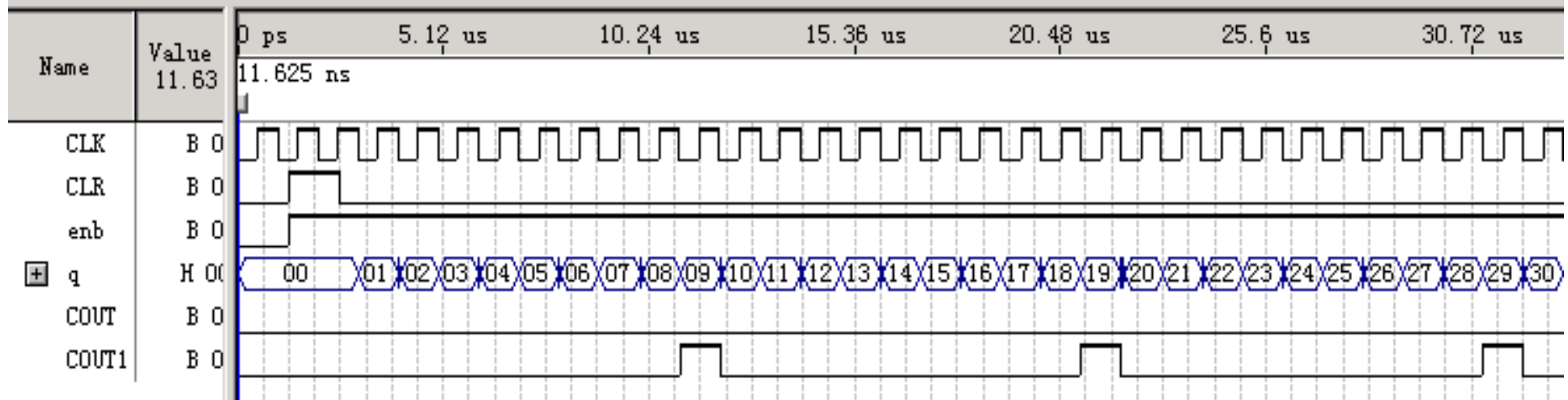


图2-24 仿真波形输出

## 2.3 引脚设置和下载

### 2.3.1 引脚锁定

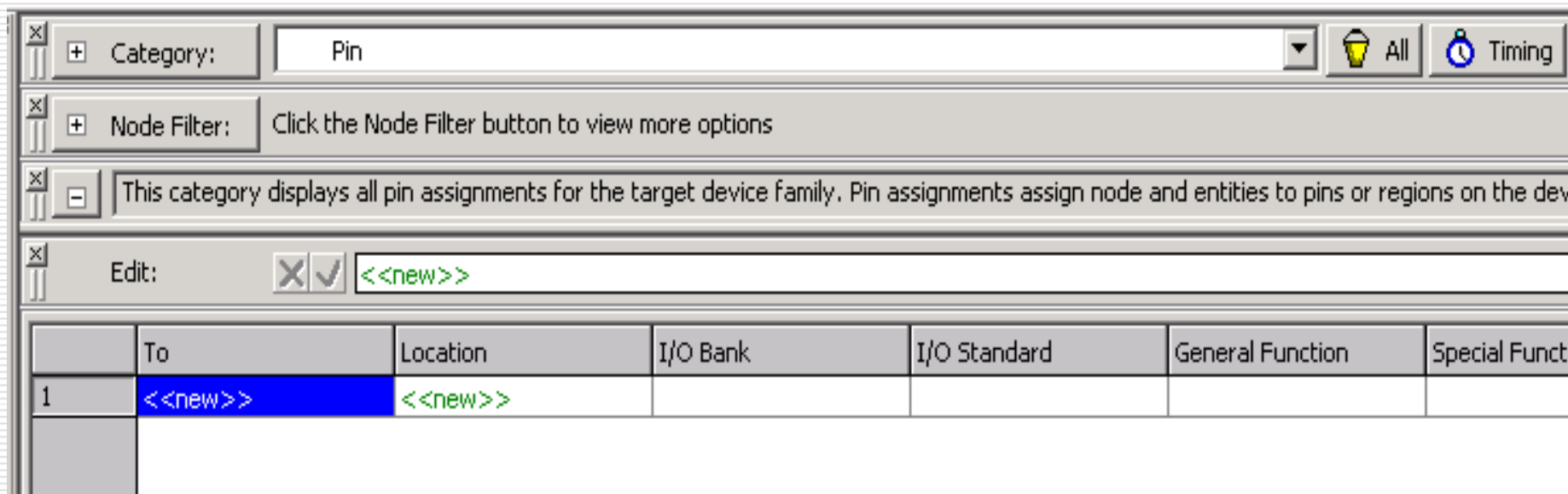


图2-25 Assignment Editor编辑器

## 2.3 引脚设置和下载

### 2.3.1 引脚锁定

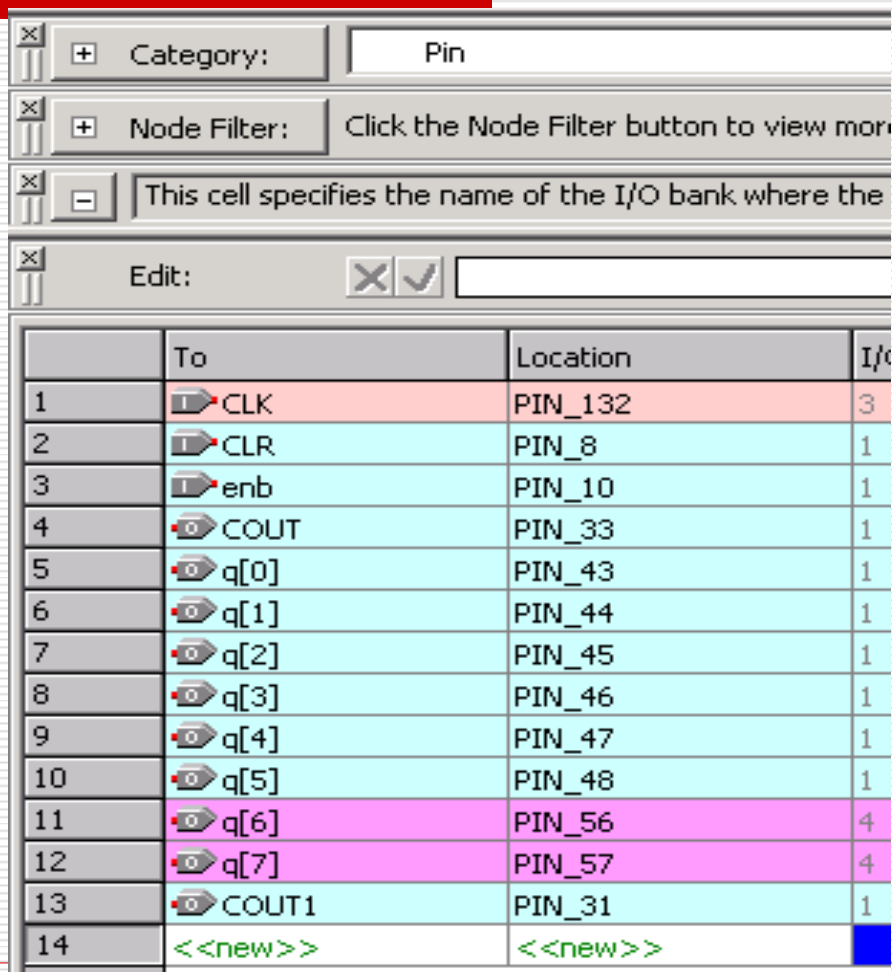


图2-26 表格式引脚锁定对话框

## 2.3 引脚设置和下载

### 2.3.1 引脚锁定

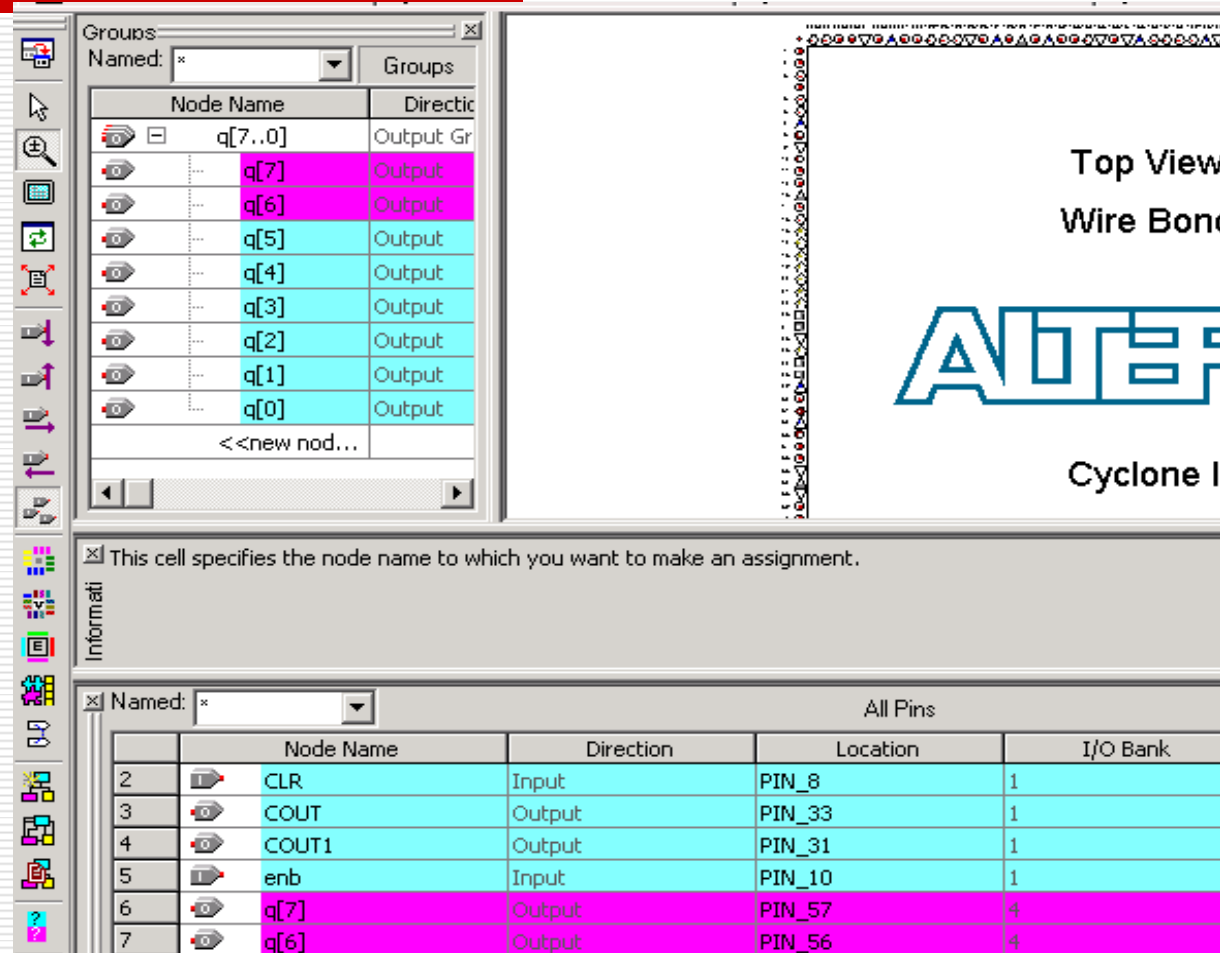


图2-27 图形式引脚锁定对话框

## 2.3 引脚设置和下载

### 2.3.2 配置文件下载

(1) 打开编程窗和配置文件。

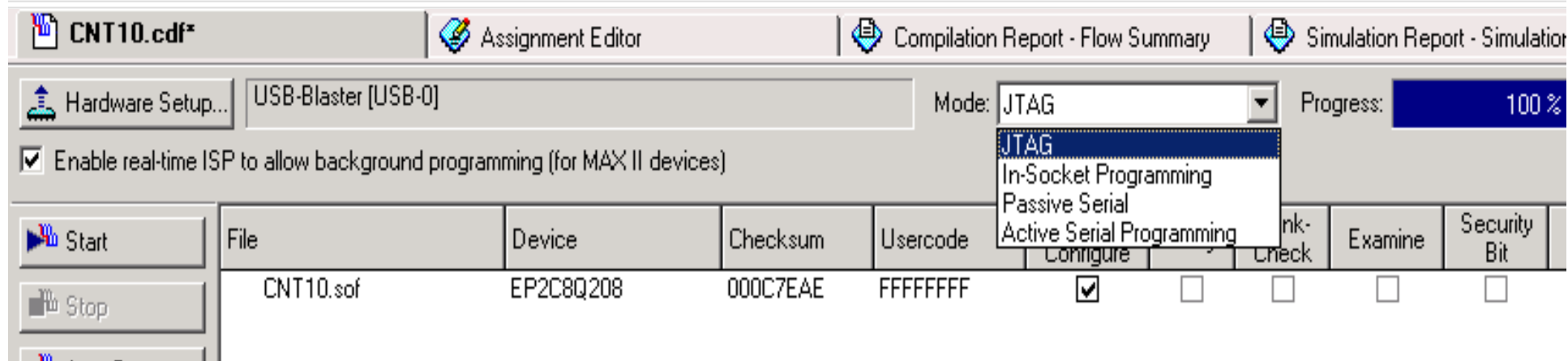


图2-28 选择编程下载文件和下载模式

## 2.3 引脚设置和下载

### 2.3.2 配置文件下载

#### (2) 设置编程器。

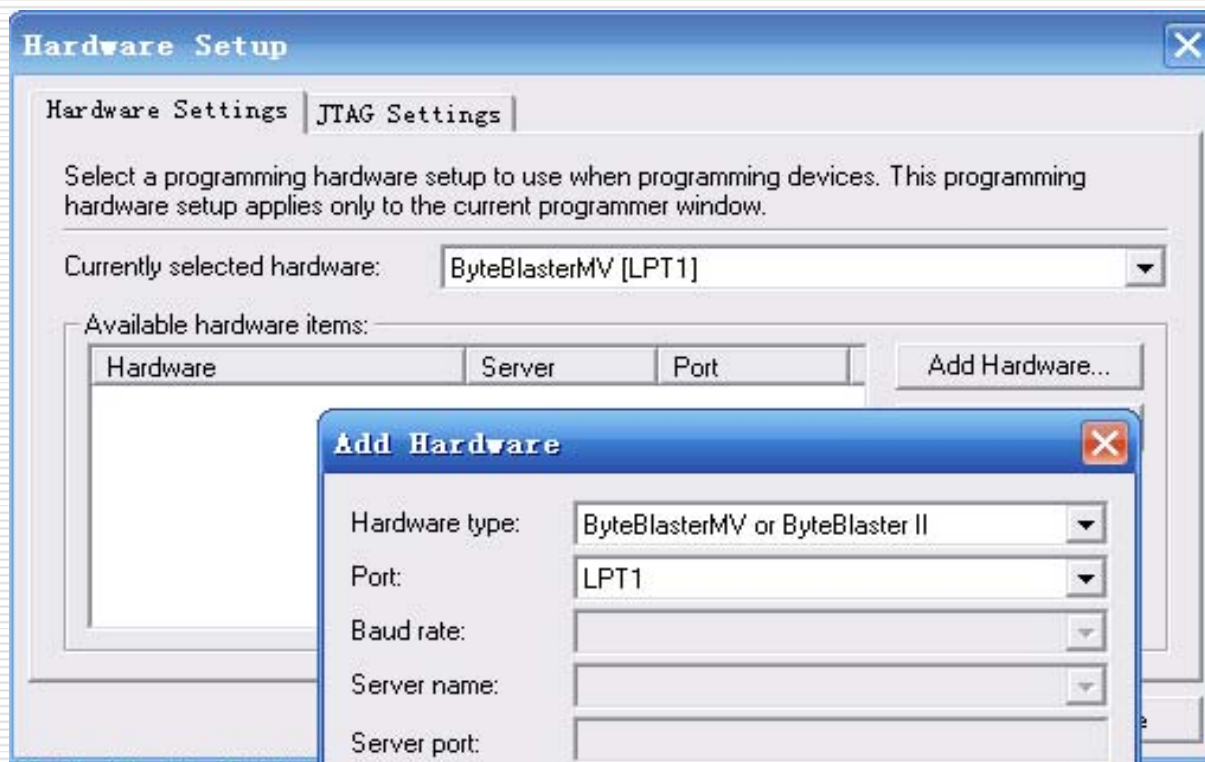


图2-29 加入编程下载方式



## 2.3 引脚设置和下载

### 2.3.2 配置文件下载

#### (2) 设置编程器。

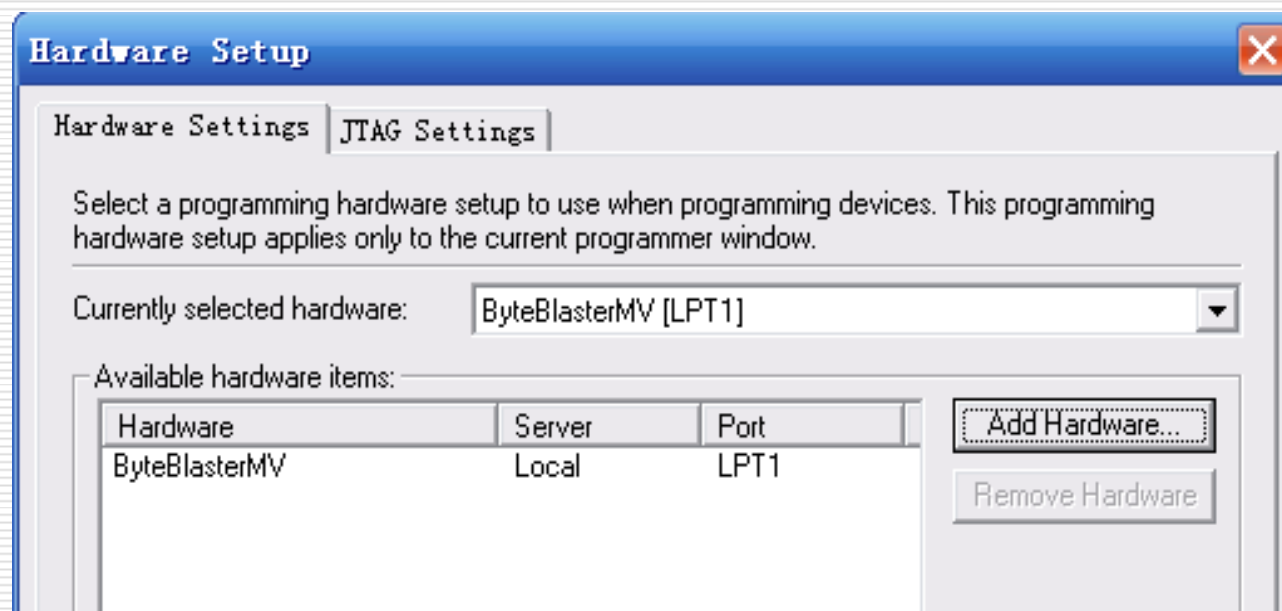


图2-30 双击选中的编程方式名

#### (3) 硬件测试。

## 2.3 引脚设置和下载

### 2.3.3 AS模式直接编程配置器件

#### 1. 选择编程模式和编程目标文件

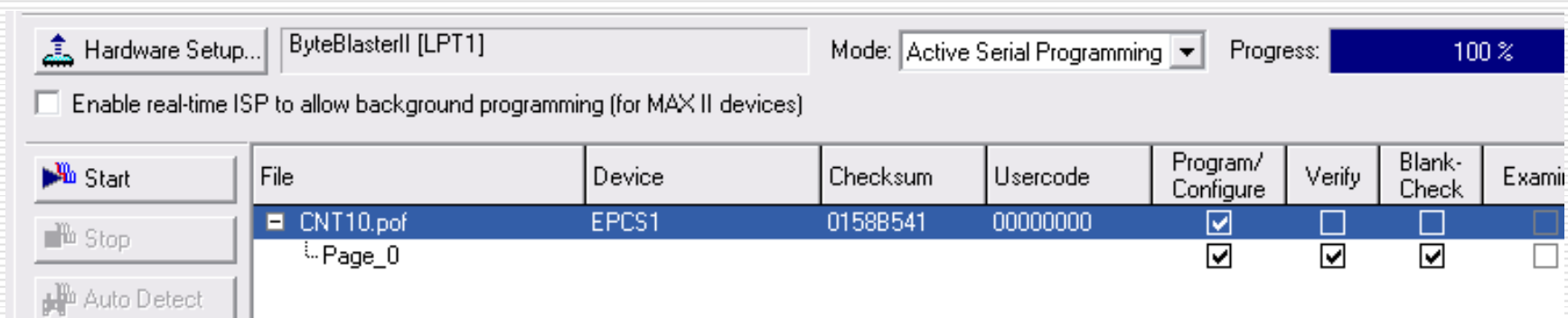


图2-31 ByteBlaster II接口AS模式编程窗口

#### 2. 选择接插模式

#### 3. AS模式编程下载

## 2.3 引脚设置和下载

### 2.3.4 JTAG间接模式编程配置器件

#### 1. 将SOF文件转化为JTAG间接配置文件

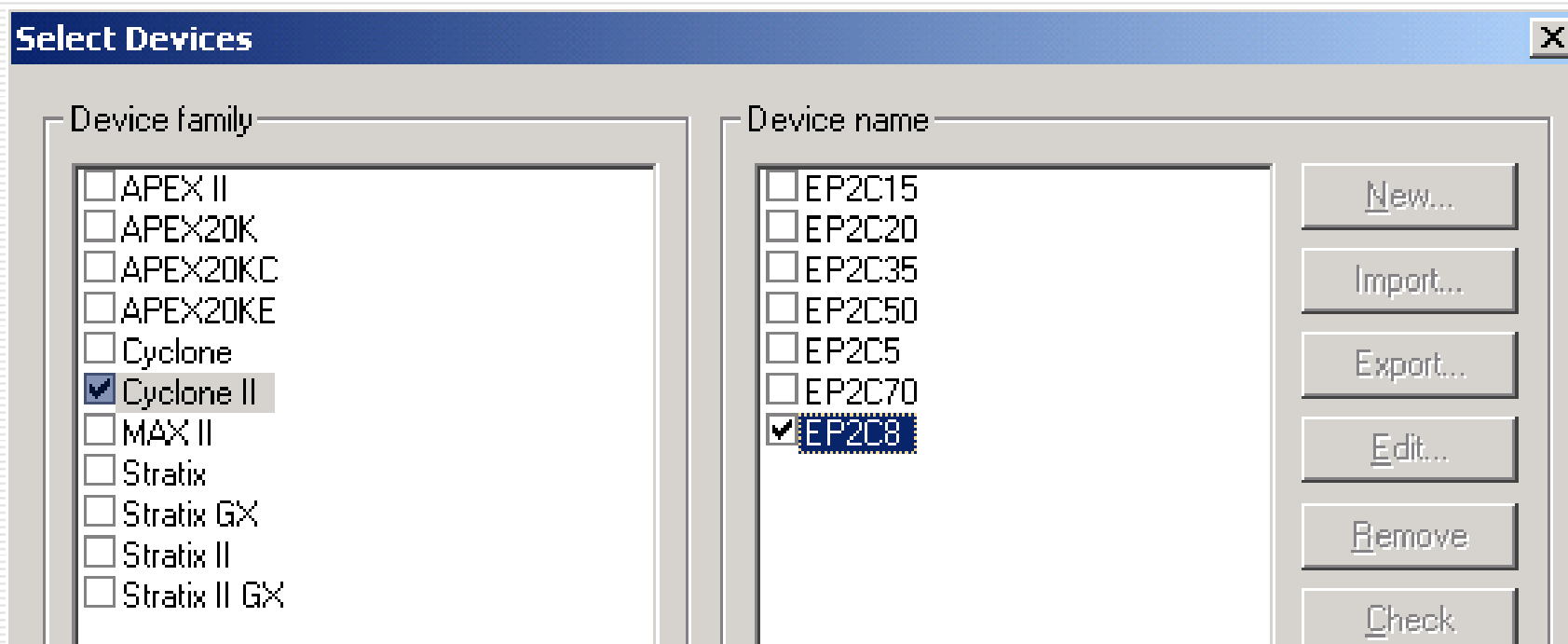


图2-32 选择目标器件EP2C8

## 2.3 引脚设置和下载

### 2.3.4 JTAG间接模式编程配置器件

#### 1. 将SOF文件转化为JTAG间接配置文件

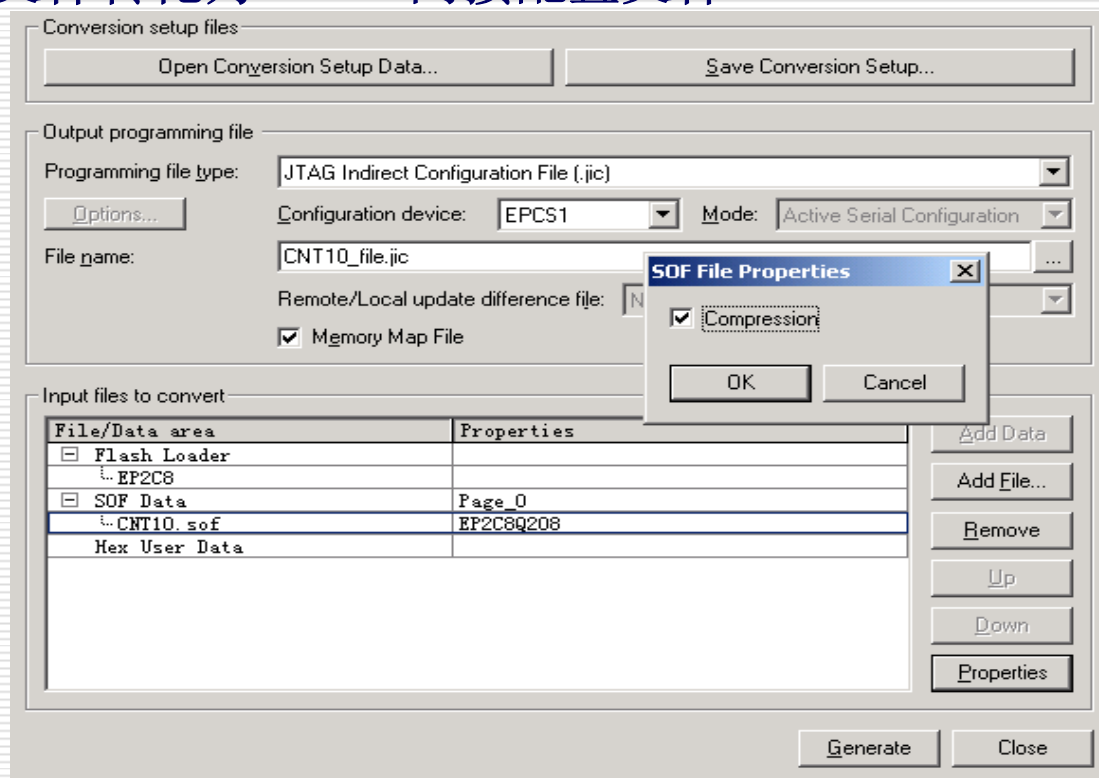


图2-33 选定SOF文件后，选择文件压缩

## 2.3 引脚设置和下载

### 2.3.4 JTAG间接模式编程配置器件

#### 2. 下载JTAG间接配置文件

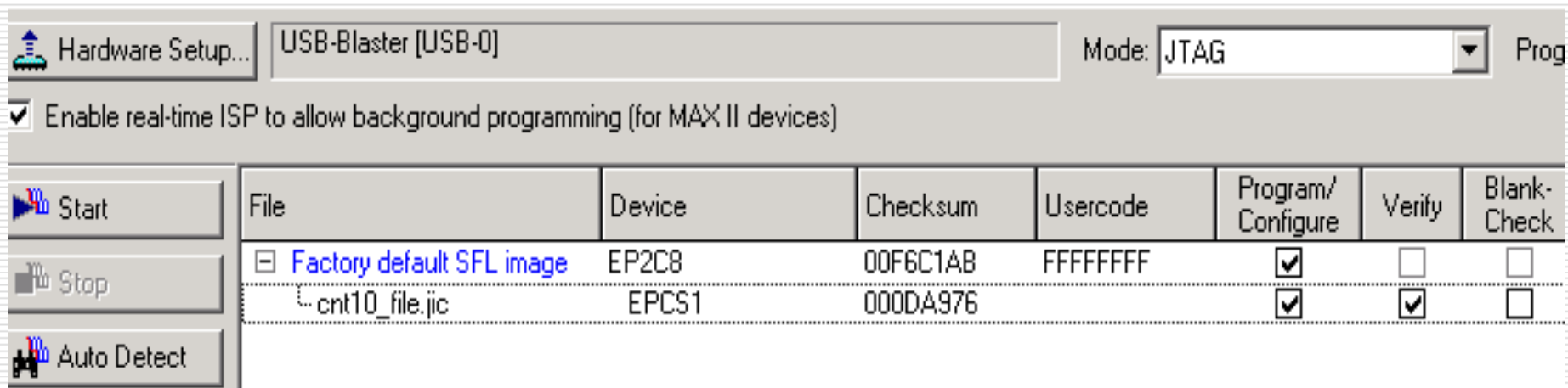


图2-34 用JTAG模式对配置器件EPCS1进行间接编程

## 2.3 引脚设置和下载

### 2.3.5 USB Blaster编程配置器件使用方法

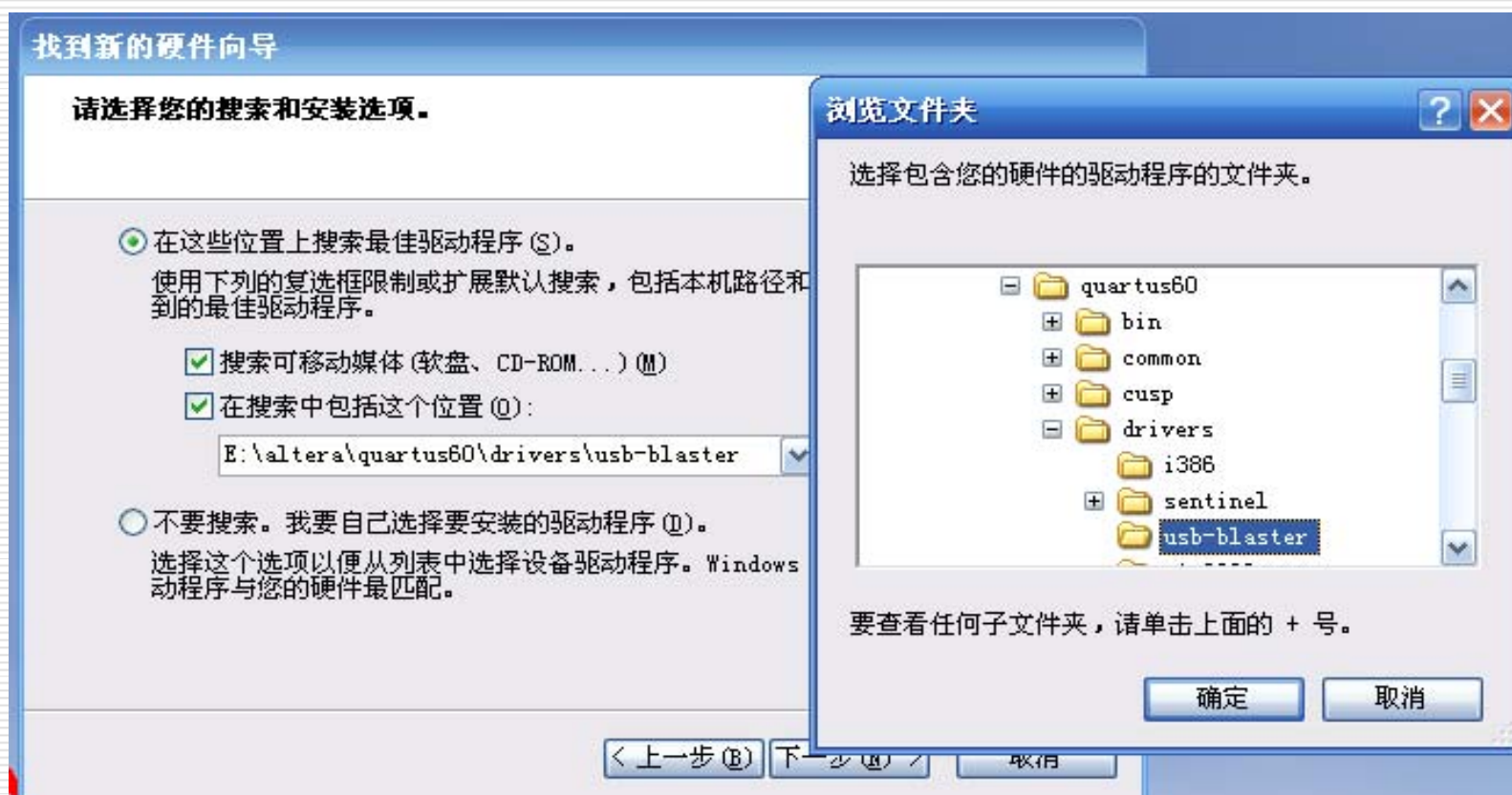


图2-35 安装USB驱动程序

## 2.3 引脚设置和下载

### 2.3.5 USB Blaster编程配置器件使用方法

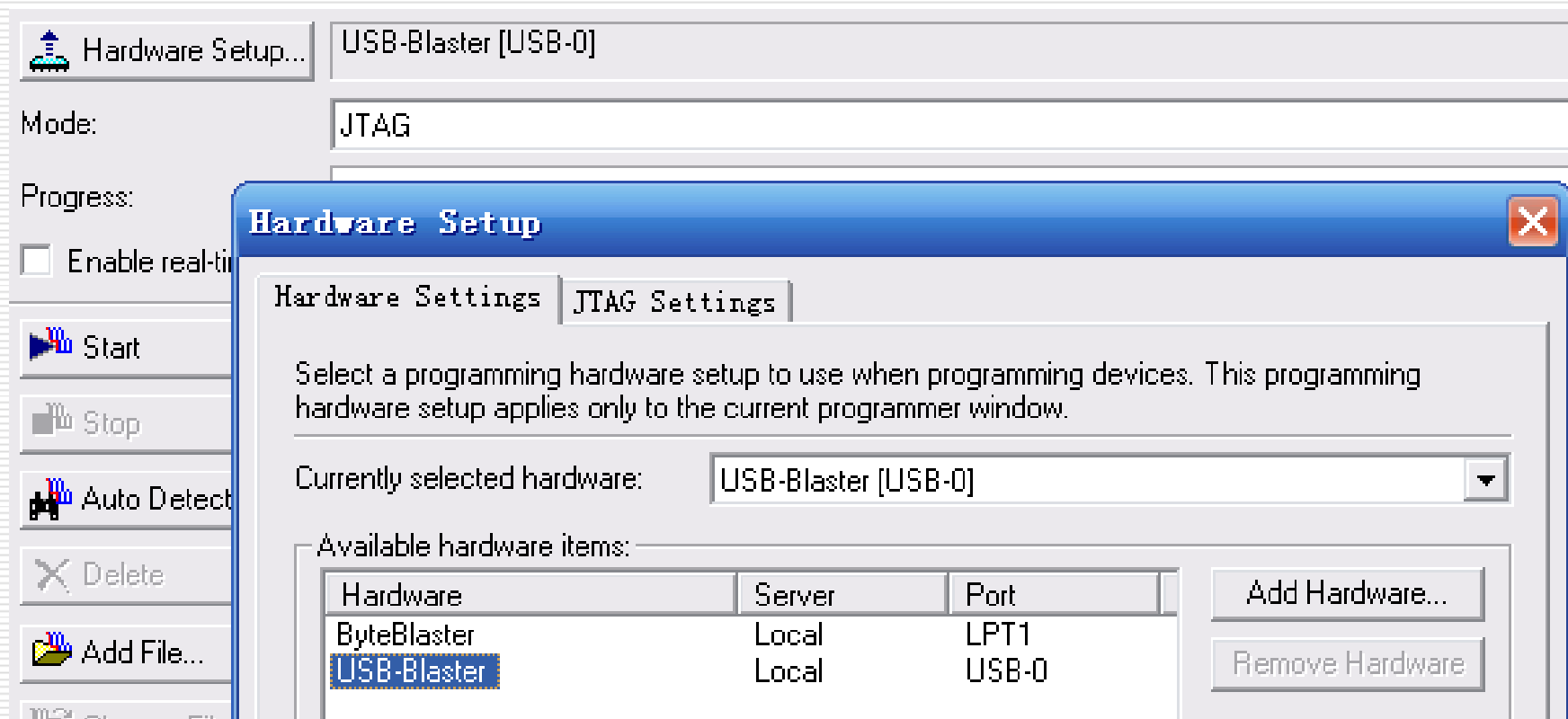


图2-36 设置JTAG硬件功能

# 2.4 层次化设计

## 2.4.1 8位十进制计数器的设计

### 1. 构建元件符号

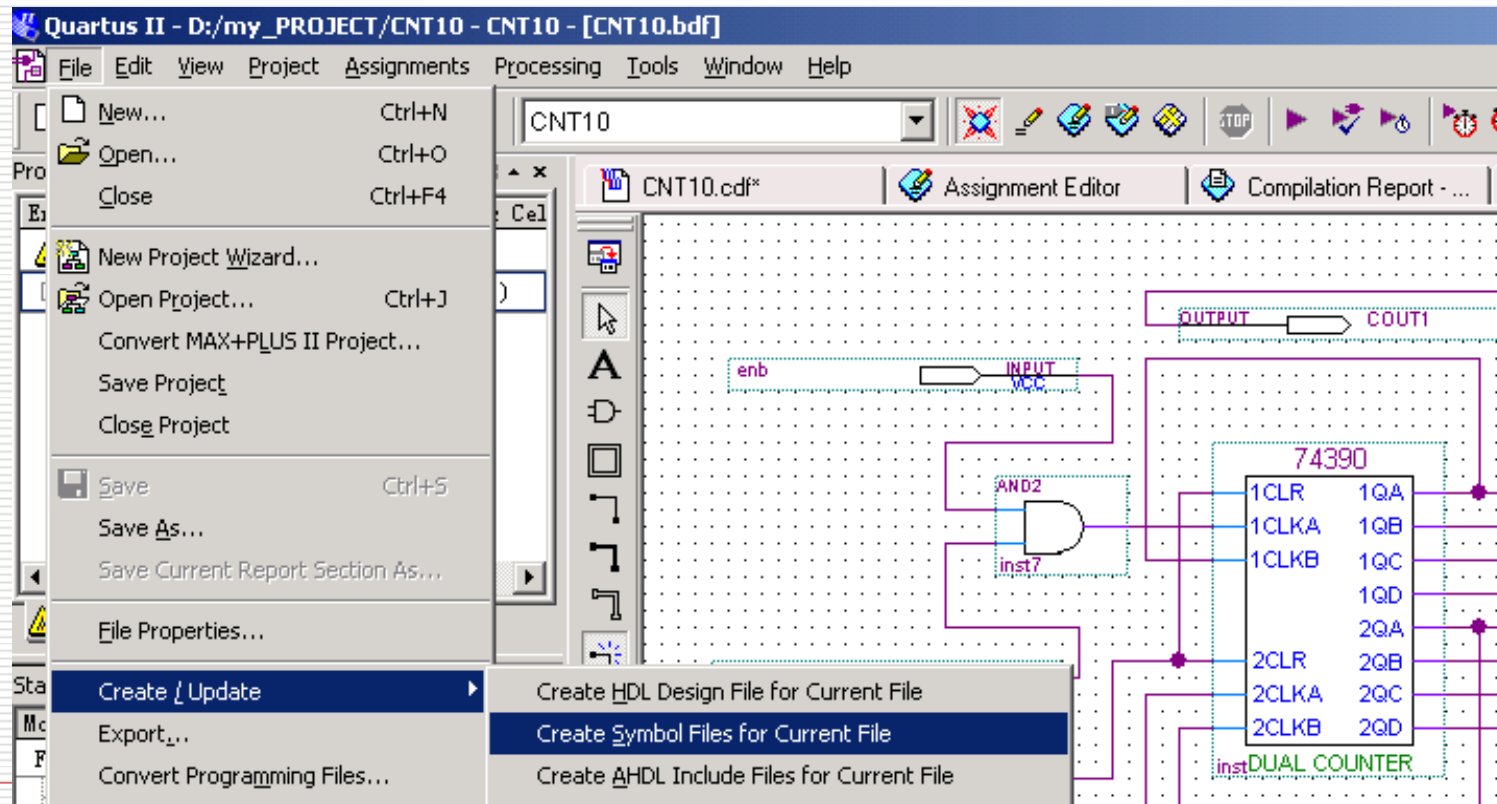


图2-37 将原理图设计生成一个底层的单独元件（Symbol）



# 2.4 层次化设计

## 2.4.1 8位十进制计数器的设计

### 2. 构建顶层文件

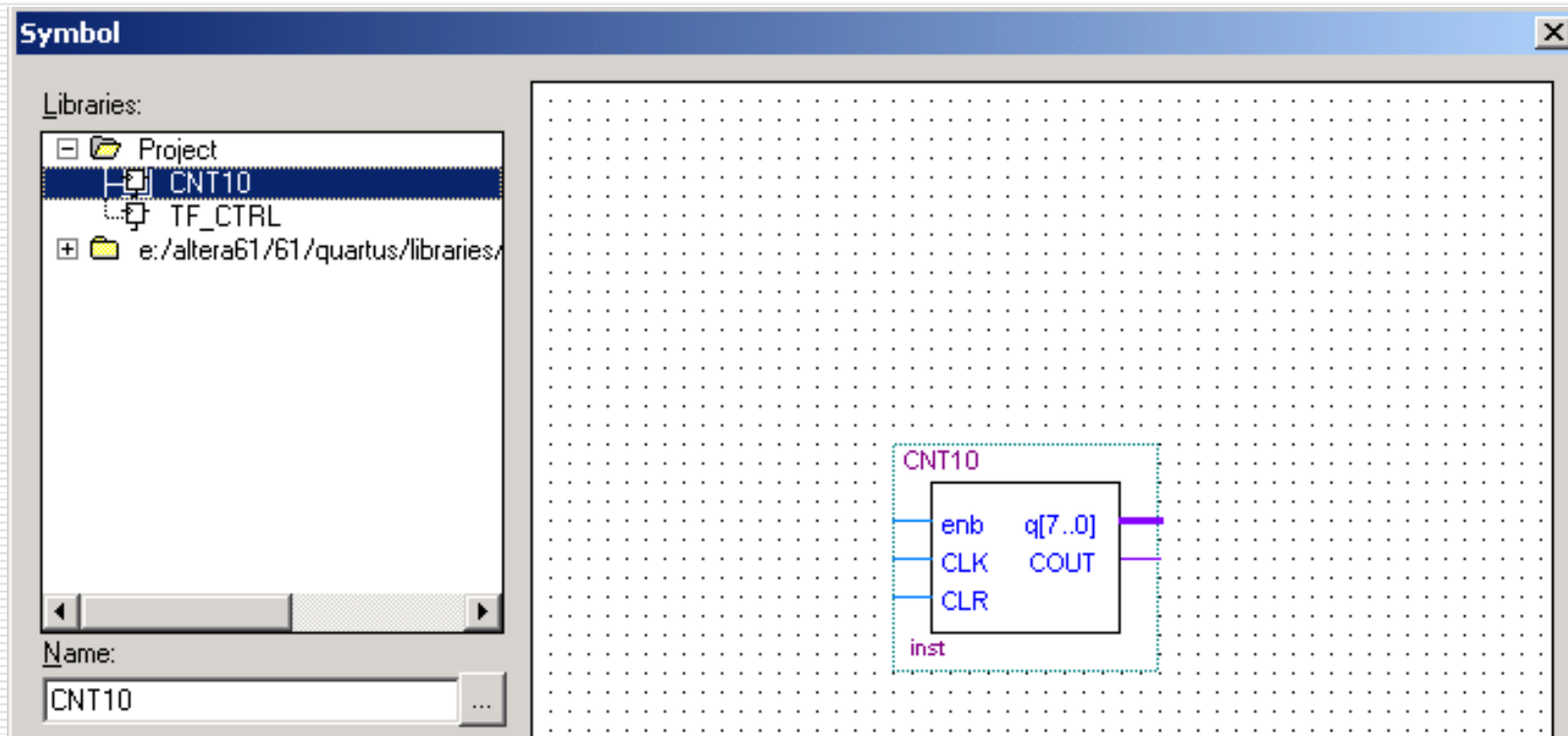


图2-38 从当前工程路径中调入元件CNT10

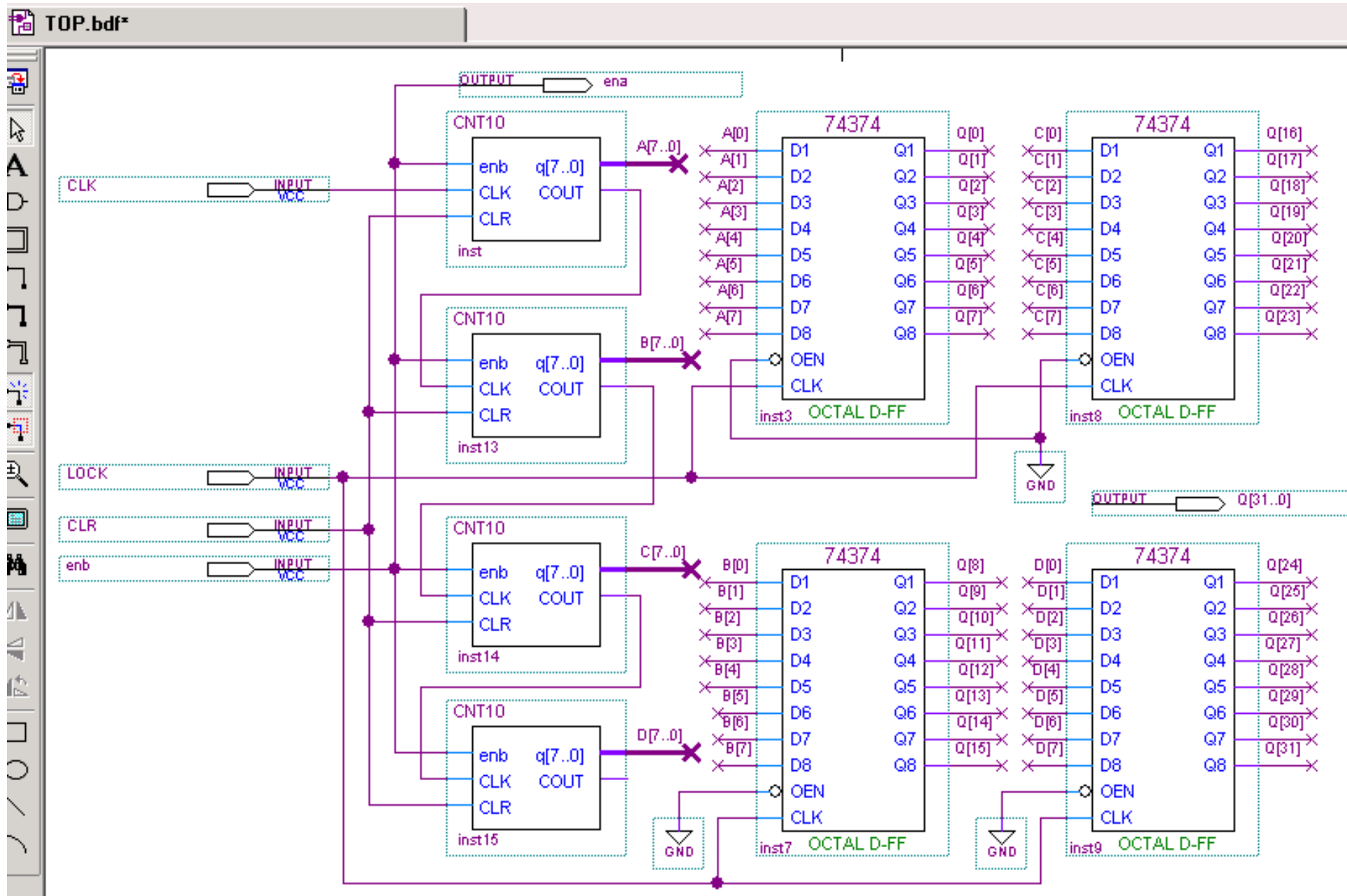
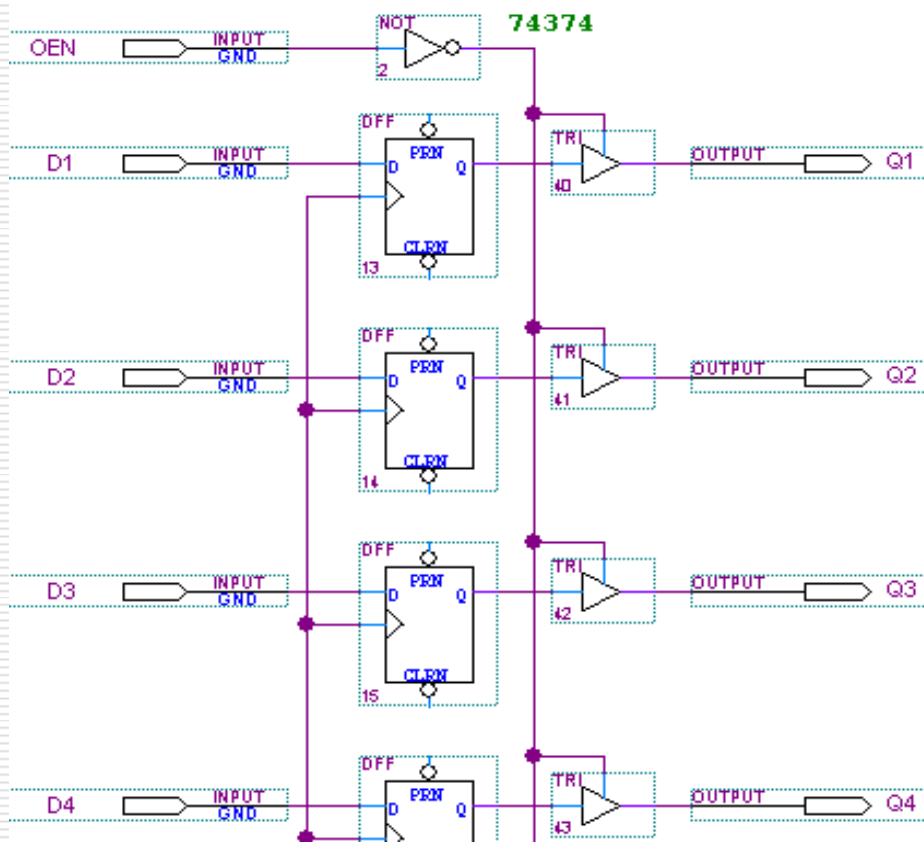


图2-39 两位十进制频率计顶层设计原理图文件

# 2.4 层次化设计

## 3. 功能分析



**74374 (Register)**

Macrofunctions

Octal D-Type Flipflop with Output Enable and Tri-State Outputs

Default Signal Levels: **GND**--all input pins

**AHDL Function Prototype (port name and order also apply)**

```
FUNCTION 74374 (clk, oen, d[8..1])  
  RETURNS (q[8..1]);
```

	Inputs		Outputs
OEN	CLK	D	Q
H	X	X	Z
L	X	X	X
L	J	L	L
L	J	H	H
L	L	X	Q <sub>0</sub>

图2-39 两位十进制频率计顶层设计原理图文件

图2-41 74374真值表

# 2.4 层次化设计

## 2.4.1 8位十进制计数器的设计

### 4. 全程编译

### 5. 时序仿真

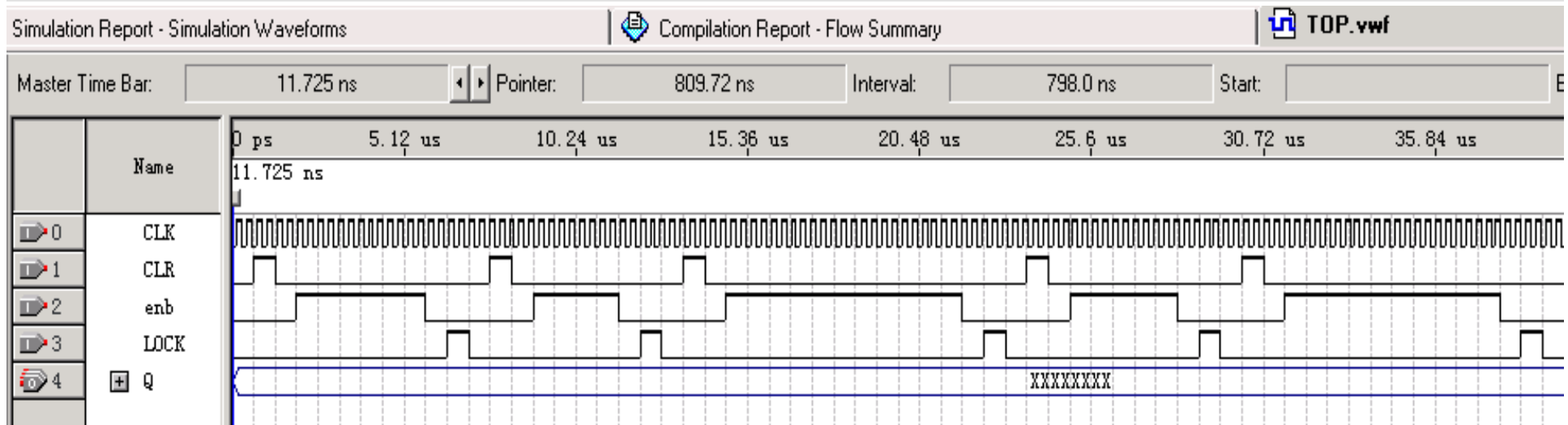


图2-42 图2-39的仿真激励波形图，或称矢量波形文件

## 2.4 层次化设计

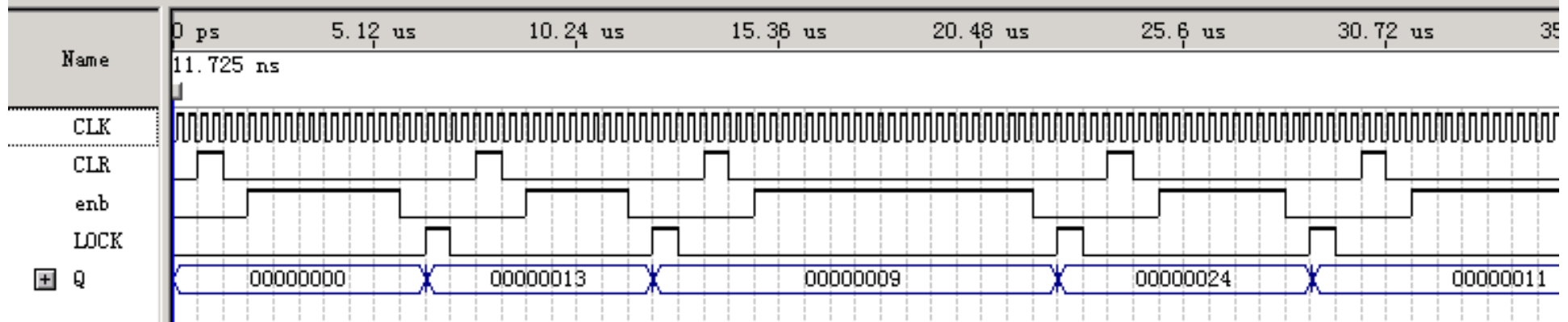


图2-43 图2-39的仿真波形图（enb不同脉宽）

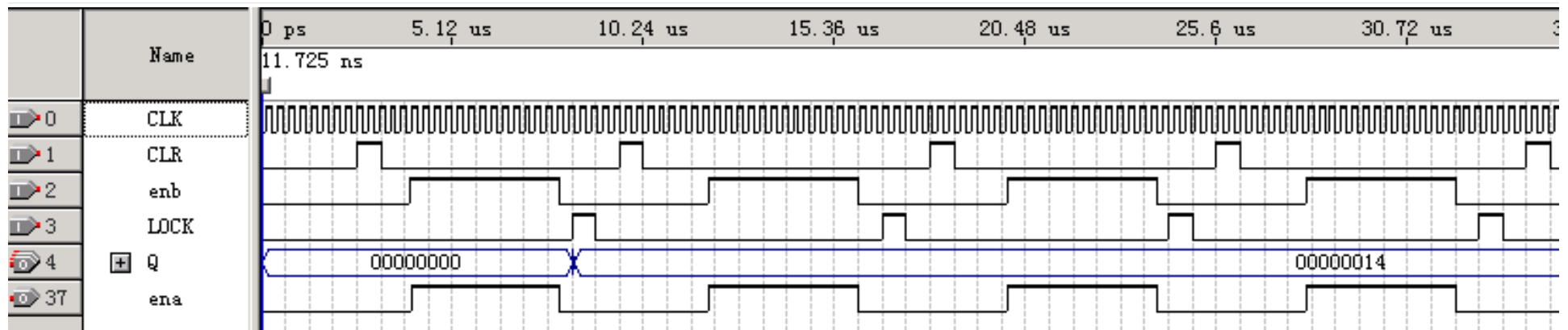


图2-44 图2-39的仿真波形图（enb相同脉宽）

## 2.4 层次化设计

### 2.4.2 硬件测试与实验

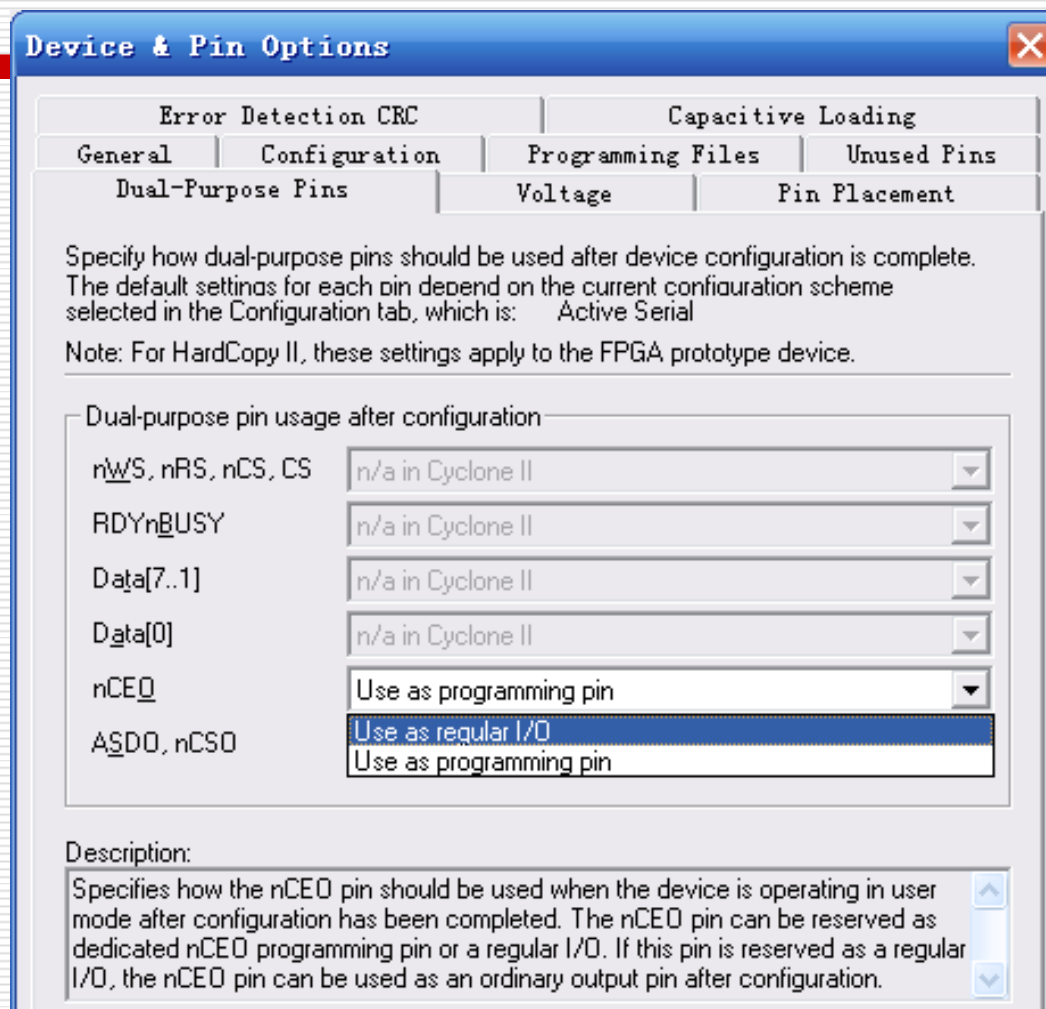


图2-45 将引脚nCEO设定为I/O口

# 2.5 8位十进制频率计设计

## 2.5.1 时序控制器设计

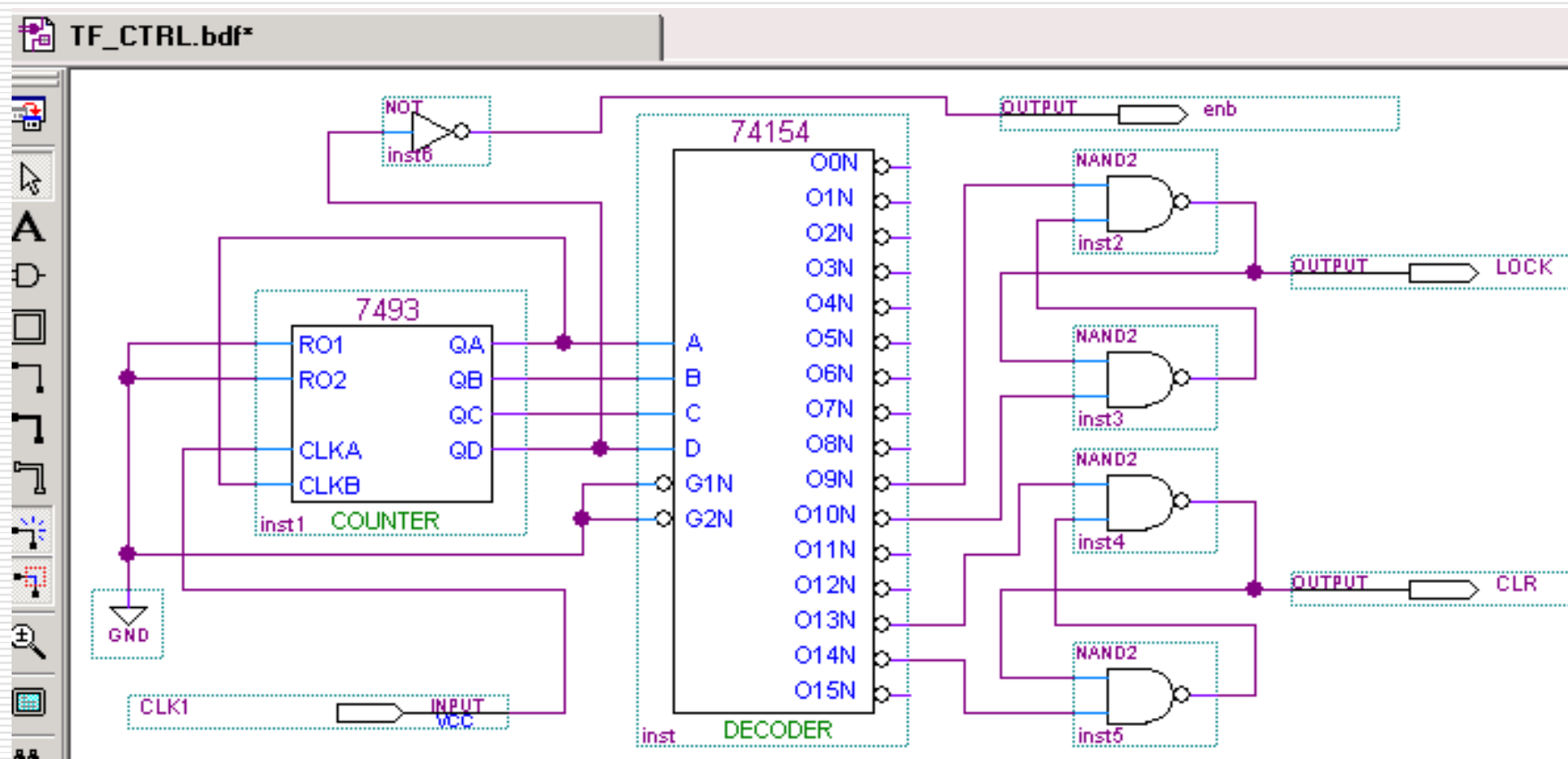


图2-46 频率计测频时序控制器电路

### ? 74154 (Decoder) Macrofunctions

#### ? 7493 (Counter) Macrofunctions

4-Bit Binary Counter

Default Signal Levels:    GND--RO1, RO2  
                              VCC--CLKA, CLKB

**AHDL Function Prototype (port name and order a**

FUNCTION 7493 (clka, clk, ro1, ro2)  
   RETURNS (qd, qc, qb, qa);

Count*		Outputs			
CLKB = QA		QD	QC	QB	QA
0		L	L	L	L
1		L	L	L	H
2		L	L	H	L
3		L	L	H	H
4		L	H	L	L
5		L	H	L	H
6		L	H	H	L
7		L	H	H	H
8		H	L	L	L
9		H	L	L	H
10		H	L	H	L
11		H	L	H	H
12		H	H	L	L
13		H	H	L	H
14		H	H	H	L
15		H	H	H	H

\*    QA is connected to CLKB for binary count.

Reset Inputs			Outputs			
RO1	RO2		QD	QC	QB	QA
H	H		L	L	L	L
L	X		Count			
X	L		Count			

4-Line-to-16-Line Decoder

Default Signal Levels:    GND--all input pins

**AHDL Function Prototype (port name and order also apply to Verilog HDL):**

FUNCTION 74154 (g1n, g2n, d, c, b, a)  
   RETURNS (o0n, o1n, o2n, o3n, o4n, o5n, o6n, o7n, o8n, o9n, o10n, o11n, o12n, o13n, o14n, o15n);

Inputs							Outputs															
G1N	G2N	D	C	B	A		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L		L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H		H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L		H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H		H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L		H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H		H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L		H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H		H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L		H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	H		H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	L		H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	H		H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	H	L	L		H	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H
L	L	H	H	L	H		H	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H
L	L	H	H	H	L		H	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H
L	L	H	H	H	H		H	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H
L	H	X	X	X	X		H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X		H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X		H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

**图2-47 7493真值表**

**图2-48 74154真值表**



# 2.5 8位十进制频率计设计

## 2.5.1 时序控制器设计

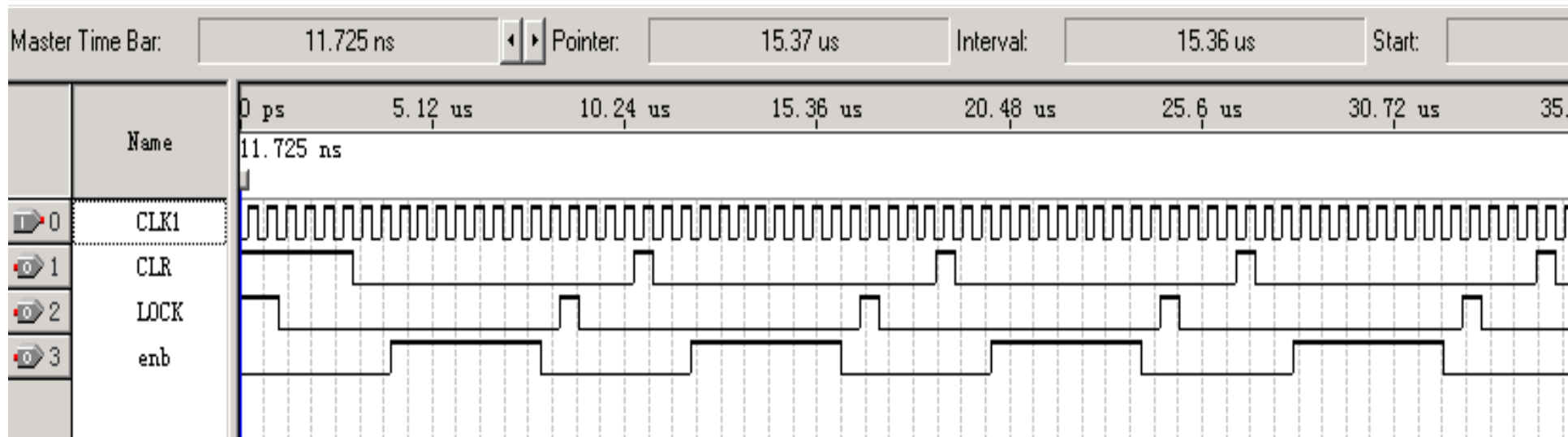


图2-49 图2-46电路的仿真波形

## 2.5.2 顶层电路设计与测试

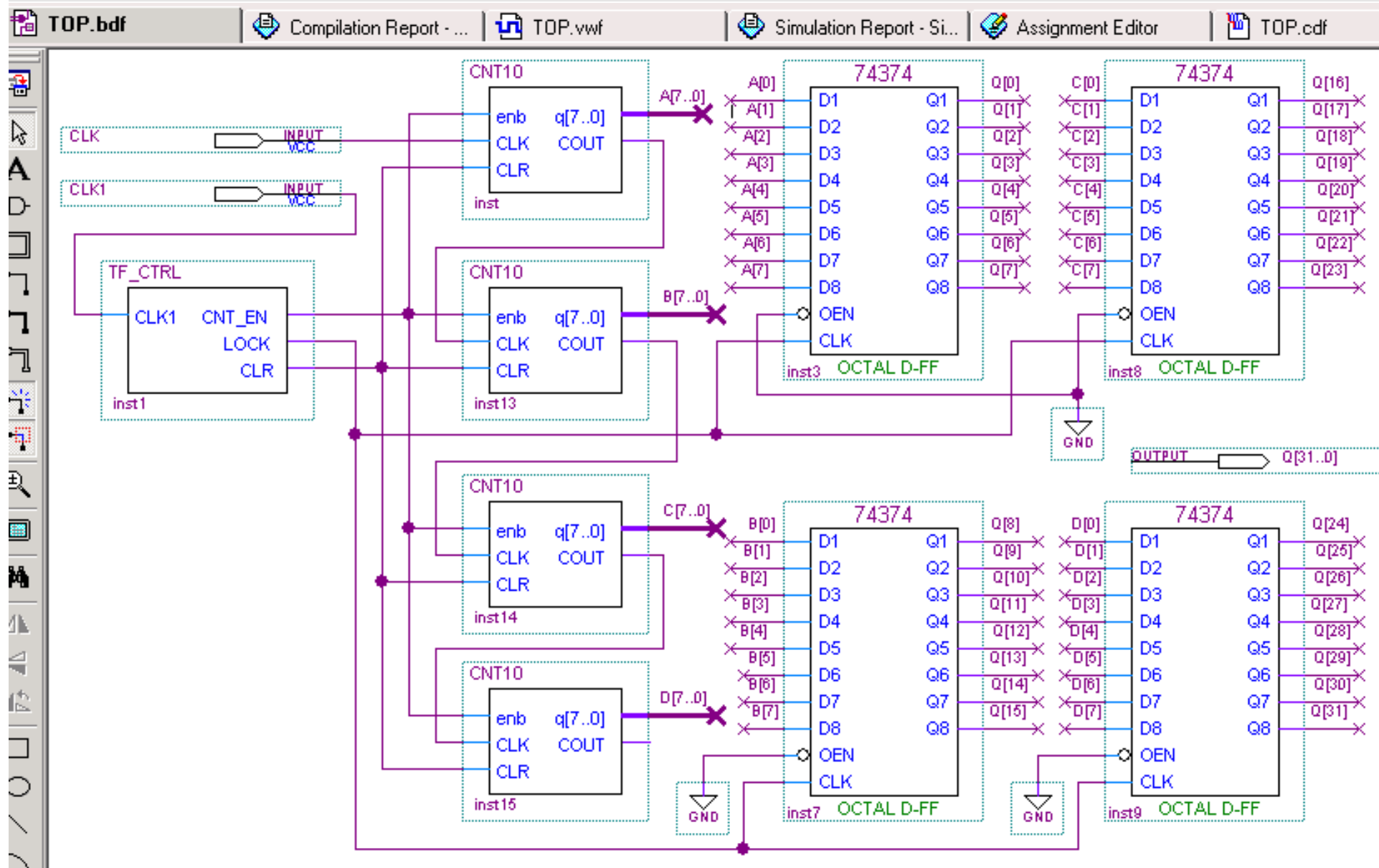


图2-50 测频时序控制电路图5-54 频率计顶层电路原理图

# 2.5 8位十进制频率计设计

## 2.5.2 顶层电路设计与测试

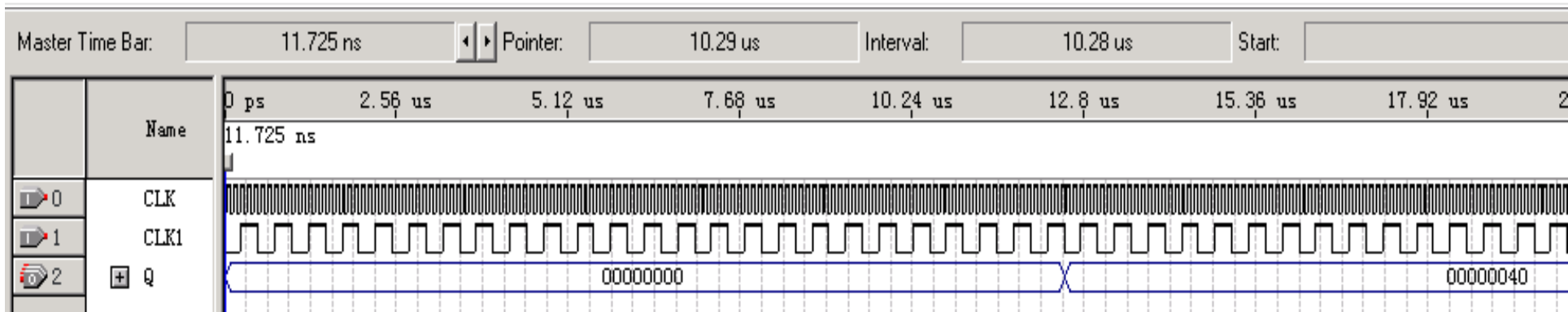


图2-51 测频时序控制电路工作波形图5-55 频率计工作时序波形

# 习 题

---

**2-1.** 归纳利用Quartus II进行原理图输入设计的流程。

**2-2.** 参考Quartus II的Help，详细说明Assignments菜单中Settings对话框的功能。

(1) 说明其中的Timing Requirements & Options的功能、使用方法和检测途径。

(2) 说明其中的Compilation Process的功能和使用方法。

(3) 说明Analysis & Synthesis Setting的功能和使用方法，以及其中的Synthesis Netlist Optimization的功能和使用方法。

(4) 说明Fitter Settings中的Design Assistant和Simulator功能，举例说明它们的使用方法。

**2-3.** 概述Assignments菜单中Assignment Editor的功能，举例说明。

**2-4.** 传统数字电路实验中，常用插导线的方法连接元件电路。根据已掌握的知识试说明，此种设计方法对系统的正常运行有何不利，为什么？

---

# 习 题

---

- 2-5.** 时序仿真和功能仿真有何异同点？
- 2-6.** 建立时序仿真中**VWF**文件的激励波形有何需要注意之处？
- 2-7.** 为什么要**FPGA**配置器件？对专用配置器件**EPCS1**，有几种编程方法？如何进行？
- 2-8.** 如何构建一个多层次设计工程？
- 2-9.** 在什么情况下必须对设计锁定引脚？锁定引脚有几种方法？如何完成？
- 2-10.** 详细说明图**2-43**中各信号波形的功能，并说明，如果没有**CLR**信号，**enb**第4个高电平脉冲后，**Q**等于几？。说明图**2-50**所示的频率计中的**CLR**控制信号有何作用。
- 2-11.** 提出两个新方案，取代图**2-46**电路的功能（注，输出波形不一定与图**2-49**相同，但必须能用于图**2-50**的频率计的正确控制）
- 2-12.** 提出一个新方案，取代图**2-4**的功能。
- 2-13.** 基于**QuartusII**设计平台，用**74148**和与非门实现**8421BCD**优先编码器（止于时序仿真）。
-

# 习 题

---

- 2-14.** 基于QuartusII设计平台，用3片74139组成一个5-24线译码器（止于时序仿真）。
- 2-15.** 基于QuartusII设计平台，用74283加法器和逻辑门设计实现一位8421BCD码加法器电路，输入输出均是BCD码，CI为低位的进位信号，CO为高位的进位信号，输入为两个1位十进制数A，输出用S表示（止于时序仿真）。
- 2-16.** 基于QuartusII设计平台，设计一个7人表决电路，参加表决者7人，同意为1，不同意为0，同意者过半则表决通过，绿指示灯亮；表决不通过则红指示灯亮（止于时序仿真）。
- 2-17.** 基于QuartusII设计平台，自选prim和mf库中的元件设计一个周期性产生二进制序列01001011001的序列发生器，用移位寄存器或用同步时序电路实现，并用时序仿真器验证其功能。
- 2-18.** 基于QuartusII设计平台，用D触发器构成按循环码(000->001->011->111->101->100->000)规律工作的六进制同步计数器（止于时序仿真）。
- 2-19.** 基于QuartusII设计平台，应用4位全加器和74374构成4位二进制加法计数器（止于时序仿真）。
-

# 习 题

---

**2-20.** 基于QuartusII设计平台，用74194、74273、D触发器等器件组成8位串入并出的转换电路，要求在转换过程中数据不变，只有当8位一组数据全部转换结束后，输出才变化一次（止于时序仿真）。

如果使用74299、74373、D触发器和非门来完成上述功能，应该有怎样的电路？

**2-21.** 基于QuartusII设计平台，用一片74163和两片74138构成一个具有12路脉冲输出的数据分配器。要求在原理图上标明第1路到第12路输出的位置。若改用一片74195代替以上的74163，试完成同样的设计（止于时序仿真）。

**2-22.** 基于QuartusII设计平台，用同步时序电路对串行二进制输入进行奇偶校验，每检测5位输入，输出一个结果。当5位输入中1的数目为奇数时，在最后一位的时刻输出1。

**2-23.** 基于QuartusII设计平台，用7490设计模为872的计数器，且输出的个位、十位、百位都应符合8421码权重。

**2-24.** 基于QuartusII设计平台，用74161设计一个97分频电路，用置0和置数两种方法实现。

**2-25.** 基于QuartusII设计平台，某通信接收机的同步信号为巴克码1110010。设计一个检测器，其输入为串行码x，输出为检测结果y，当检测到巴克码时，输出1。

---

# 实验与实践

---

## 2-1 8位十进制频率计设计

## 2-2 用原理图输入法设计8位全加器

表2-1 半加器h\_adder逻辑功能真值表

a	b	so	co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

---



# 实验与实践

## 2-2 用原理图输入法设计8位全加器

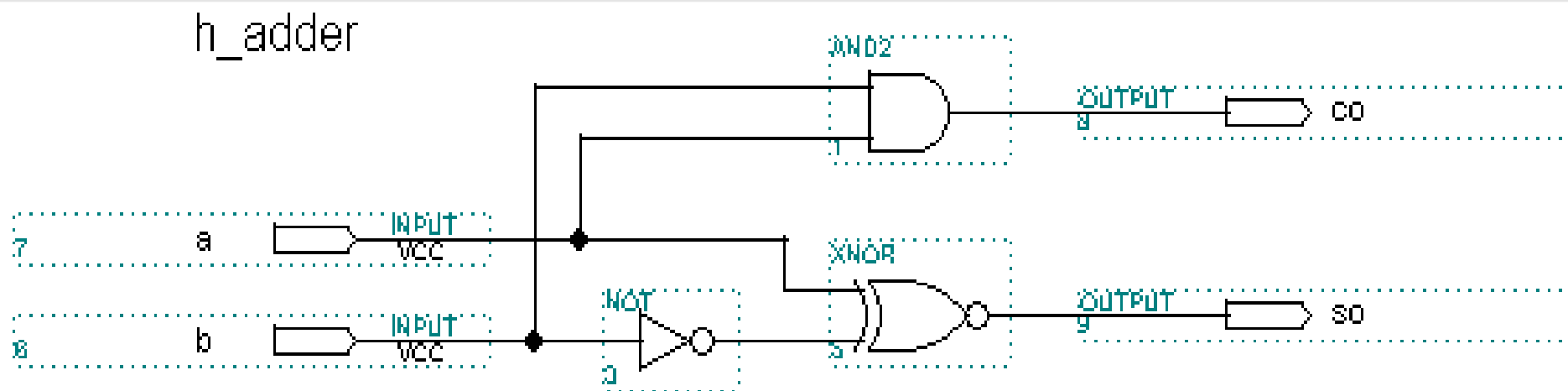


图2-52 半加器h\_adder电路图

# 实验与实践

## 2-2 用原理图输入法设计8位全加器

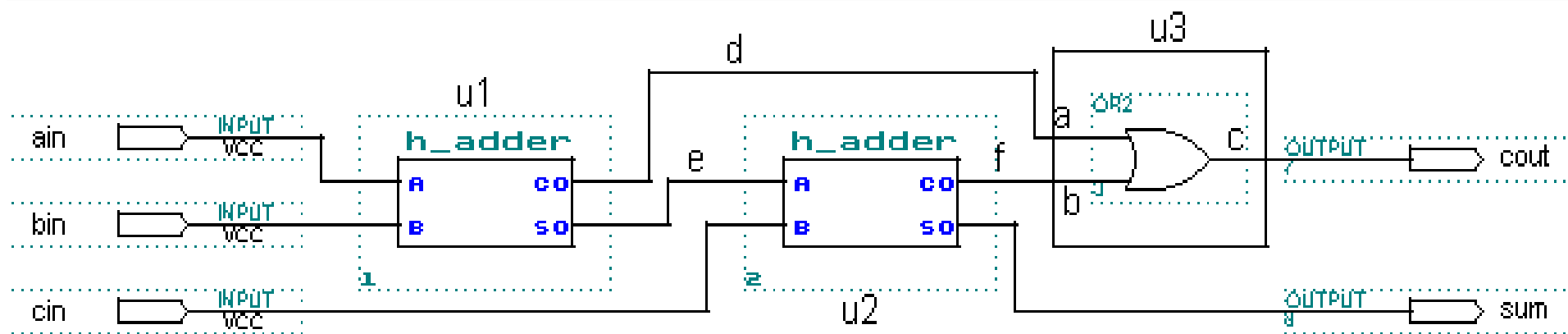


图2-53 全加器f\_adder电路图

# 实验与实践

---

## 2-3 计时系统设计

(1) 仿照本章给出的完整设计流程设计一个时钟，能计时、分、秒。时、分、秒分别用两位数码管显示。能用键校准时、分、秒。完成实验报告。

(2) 设计一个定时器。能定时、分；能用键设定时和分。完成实验报告。

(3) 设计一个秒表。能显示分、秒。分的最大值是**59**分；秒的最大值是**59**秒点**99**。即计秒精度是百分之一秒。用键能控制秒表的清**0**、开始计时和停止计时。完成实验报告。

## 2-4 数字系统设计

分别给出以上习题中的**2-15**、**2-16**、**2-20**、**2-21**、**2-22**的完整设计流程，包括系统构建、系统设计、时序仿真、引脚锁定、**FPGA**硬件测试和**EPCS**配置器件编程。分别完成实验报告。

---