



# 第1章

---

# EDA技术概述



# 1.1 EDA技术及其发展

---

**EDA (Electronic Design Automation)**

**20世纪70年代**

**20世纪80年代**

**20世纪90年代**

**21世纪后**

## 1.2 EDA技术实现目标

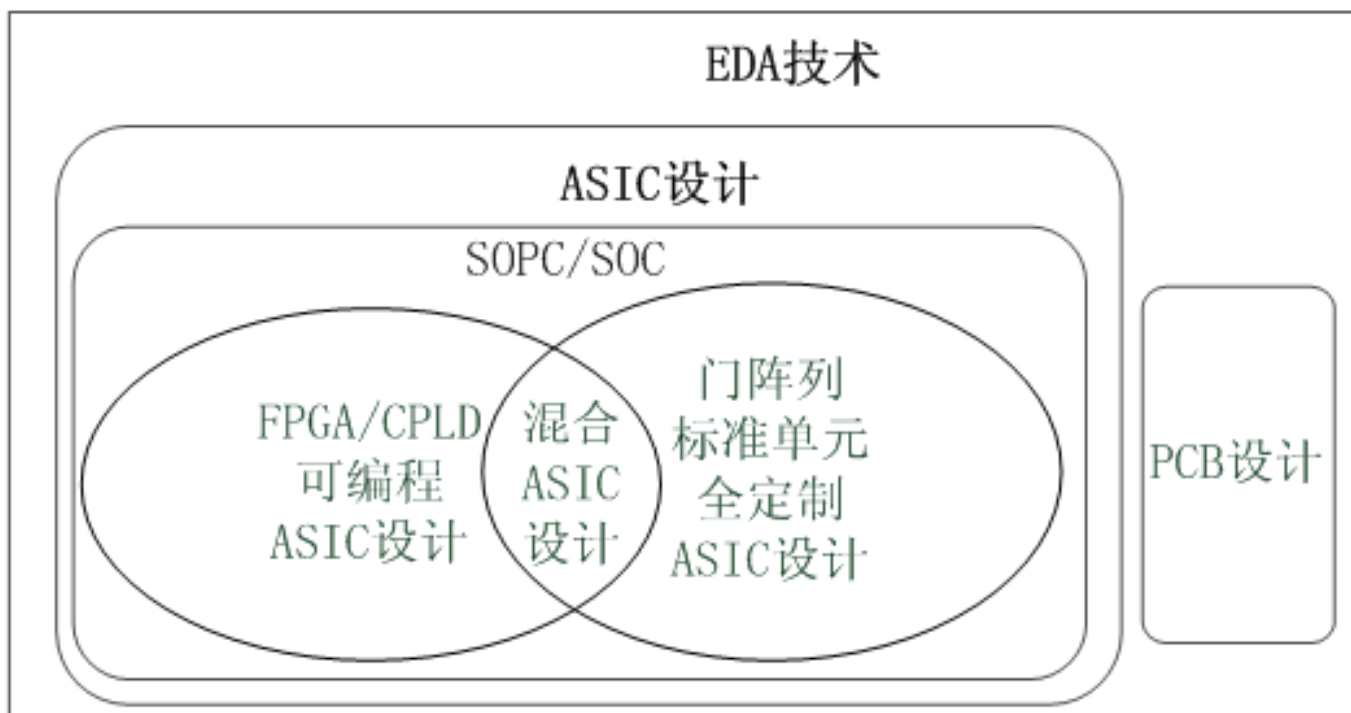


图 1-1 EDA 技术实现目标



# 1.2 EDA技术实现目标

---

1. 可编程逻辑器件

2. 半定制或全定制**ASIC**

(1) 门阵列**ASIC**

(2) 标准单元**ASIC**

3. 混合**ASIC**

# 1.3 硬件描述语言Verilog HDL



---

**VHDL**

**Verilog HDL**

**SystemVerilog**

**System C**



# 1.4 其他常用HDL

## VHDL

与Verilog相比，VHDL有下列优势：

- 语法比Verilog严谨，通过EDA工具自动语法检查，易排除许多设计中的疏忽。
- 有很好的行为级描述能力和一定的系统级描述能力，而Verilog建模时，行为与系统级抽象及相关描述能力不及VHDL。

与Verilog相比，VHDL有下列不足：

- VHDL代码较冗长，在相同逻辑功能描述时，Verilog的代码比VHDL少许多。
- VHDL对数据类型匹配要求过于严格，初学时会感到不是很方便，编程耗时也较多；而Verilog支持自动类型转换，初学者容易入门。
- VHDL对版图级、管子级这些较为底层的描述级别，几乎不支持，无法直接作集成电路底层建模。

SystemVerilog

System C

# 1.5 HDL综合

从自然语言转换到Verilog HDL语言算法表述



自然语言综合

从算法表述转换到寄存器传输级（**Register Transport Level, RTL**）表述



行为综合

从RTL级表述转换到逻辑门(包括触发器)的表述



逻辑综合

从逻辑门表示转换到版图级表述(**ASIC**设计),  
或转换到**FPGA**的配置网表文件,

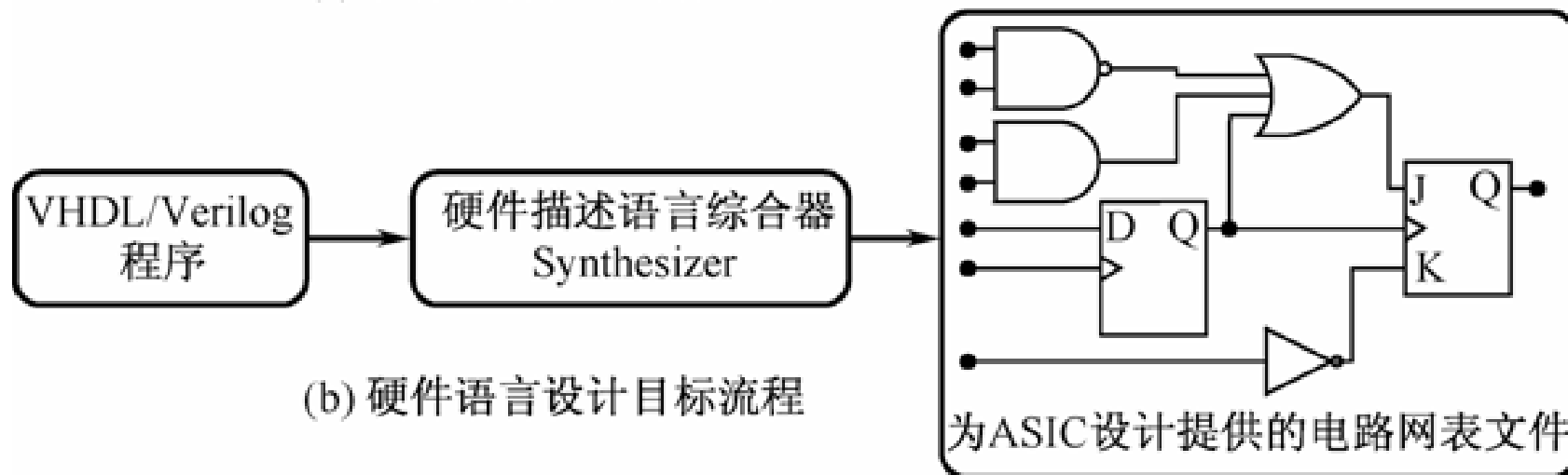


版图综合或结构综合

# 1.5 HDL综合



(a) 软件语言设计目标流程



(b) 硬件语言设计目标流程

图 1-2 编译器和综合的功能比较



## 1.5 HDL综合

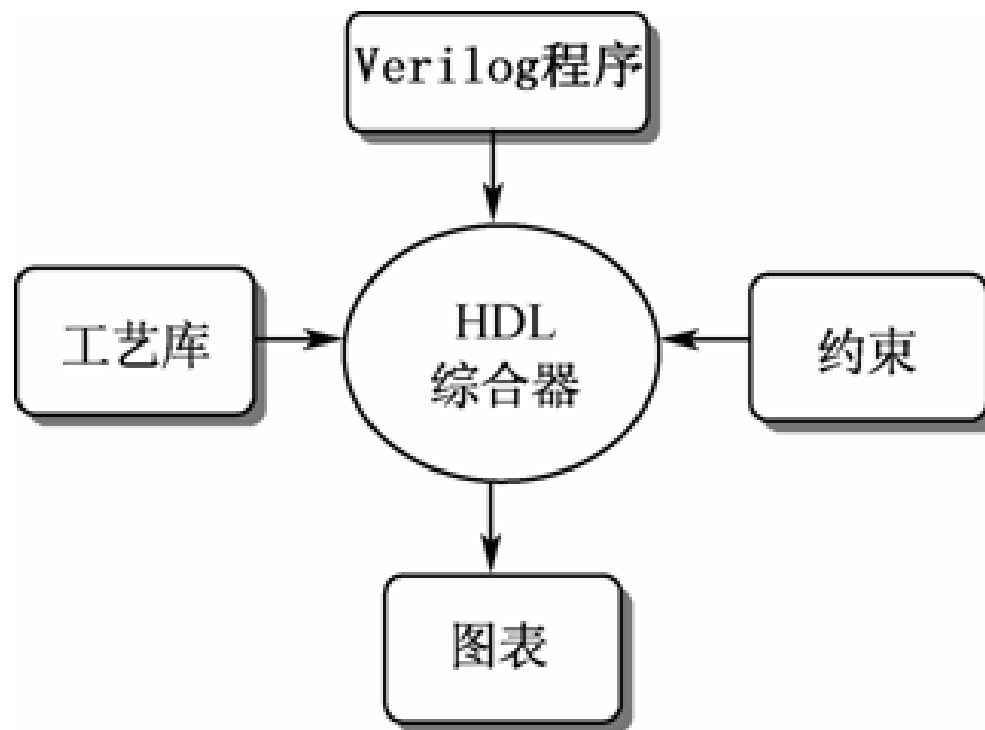


图 1-3 HDL 综合器运行流程

# 1.6 自顶向下的设计技术

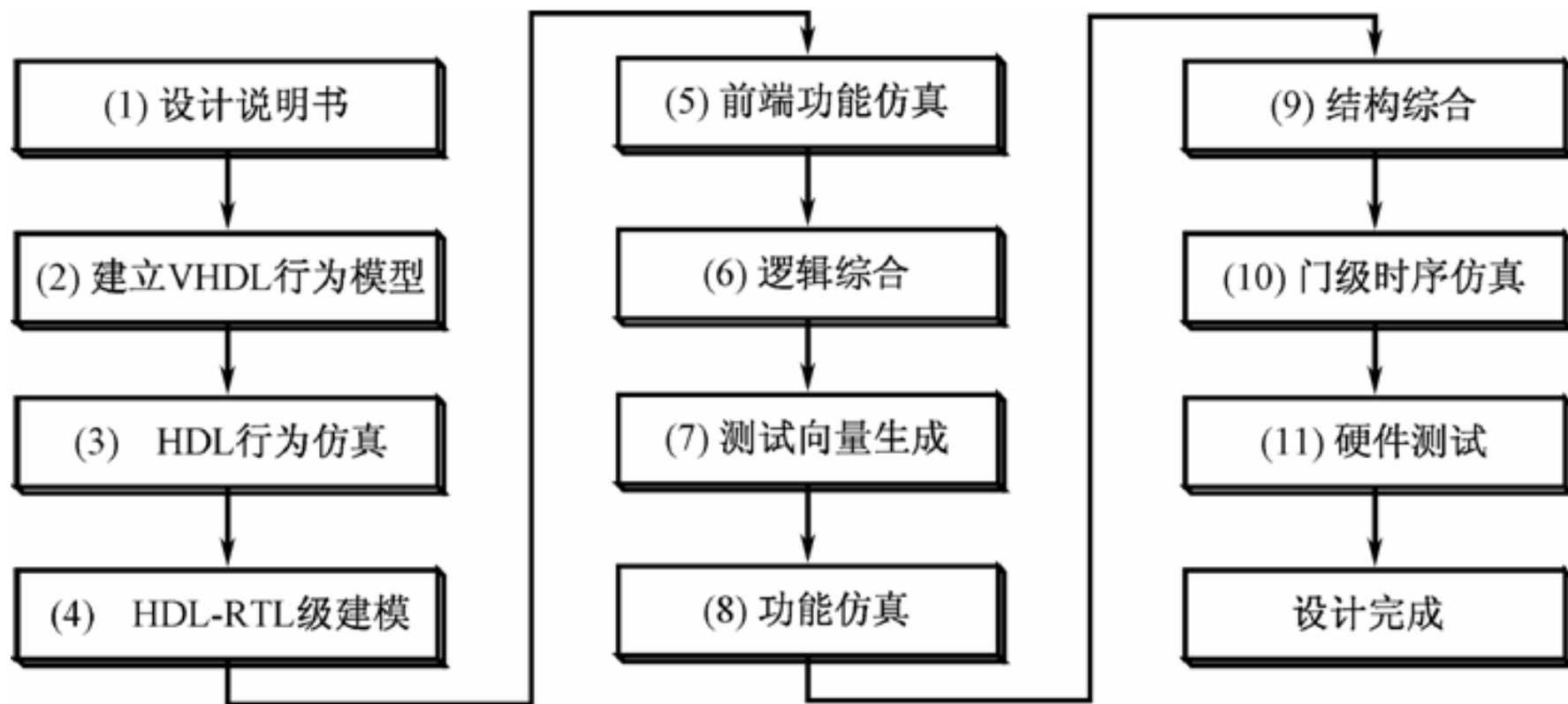


图 1-4 自顶向下的设计流程



# 1.7 EDA技术的优势

---

- (1) 大大降低设计成本，缩短设计周期。
- (2) 有各类库的支持。
- (3) 简化了设计文档的管理。
- (4) 日益强大的逻辑设计仿真测试技术。
- (5) 设计者拥有完全的自主权，再无受制于人之虞。
- (6) 设计语言标准化，开发工具规范化，设计成果通用性，良好的可移植与可测试性，为系统开发提供了可靠的保证。
- (7) 能将所有设计环节纳入统一的自顶向下的设计方案中。
- (8) 整个设计流程上充分利用计算机的自动设计能力，在各个设计层次上利用计算机完成不同内容的仿真模拟，而且在系统板设计结束后仍可利用计算机对硬件系统进行完整全面的测试。

# 1.8 EDA设计流程

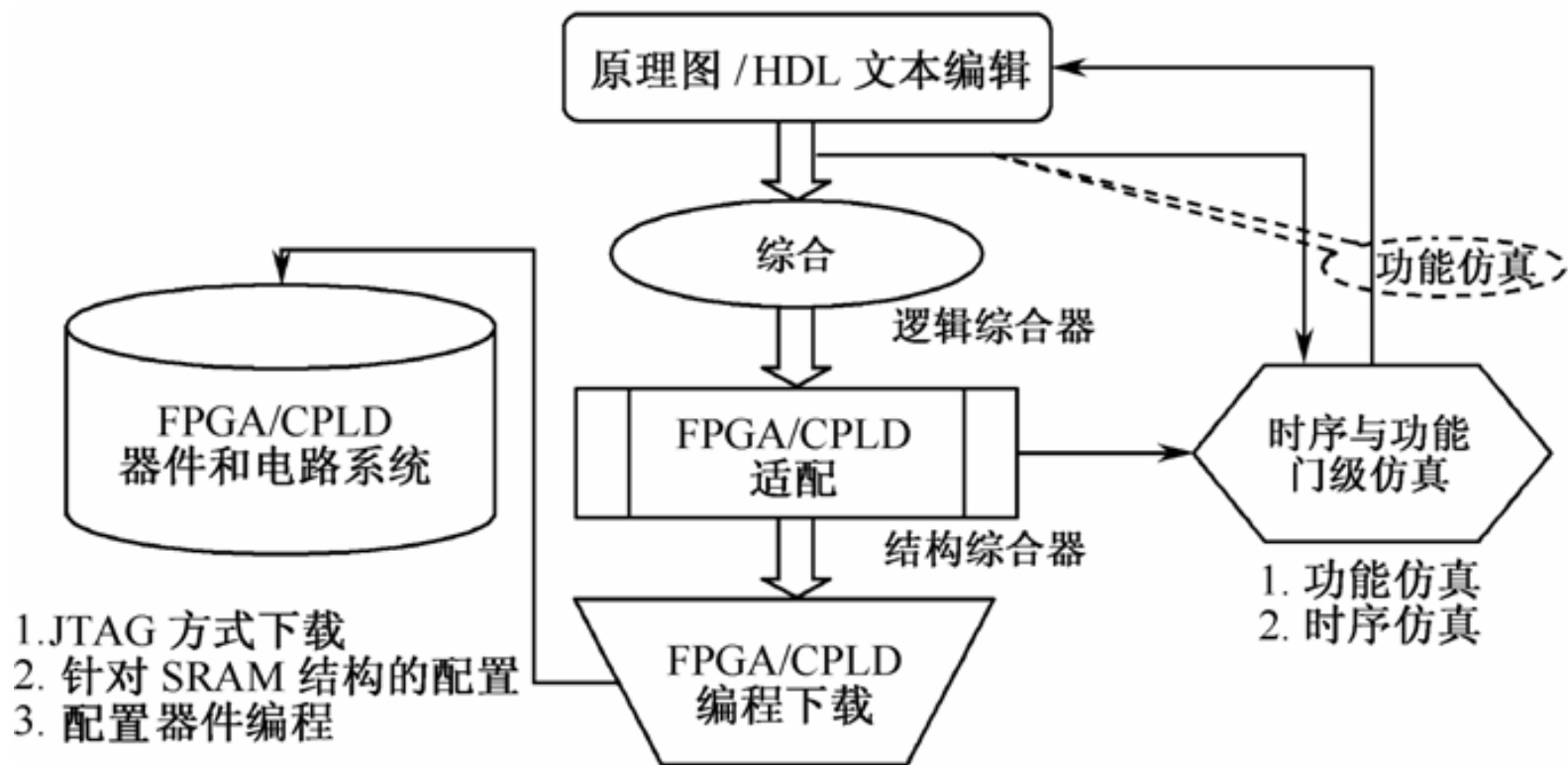


图 1-5 应用于 FPGA/CPLD 的 EDA 开发流程



# 1.8 EDA设计流程

---

## 1.8.1 设计输入（原理图/HDL文本编辑）

1. 图形输入

2. HDL文本输入

## 1.8.2 综合



# 1.8 EDA设计流程

---

1.8.3 适配

1.8.4 时序仿真与功能仿真

(1) 时序仿真

(2) 功能仿真

1.8.5 编程下载

1.8.6 硬件测试

# 1.9 ASIC及其设计流程

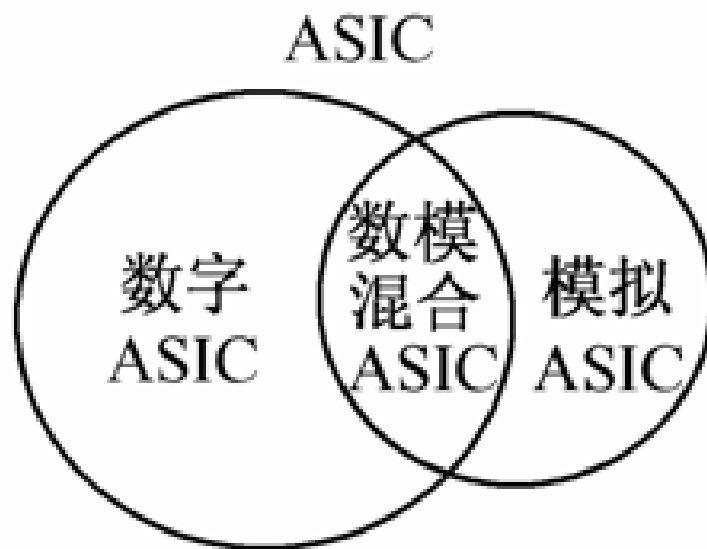


图 1-6 ASIC 分类

# 1.9 ASIC及其设计流程

## 1.9.1 ASIC设计简介

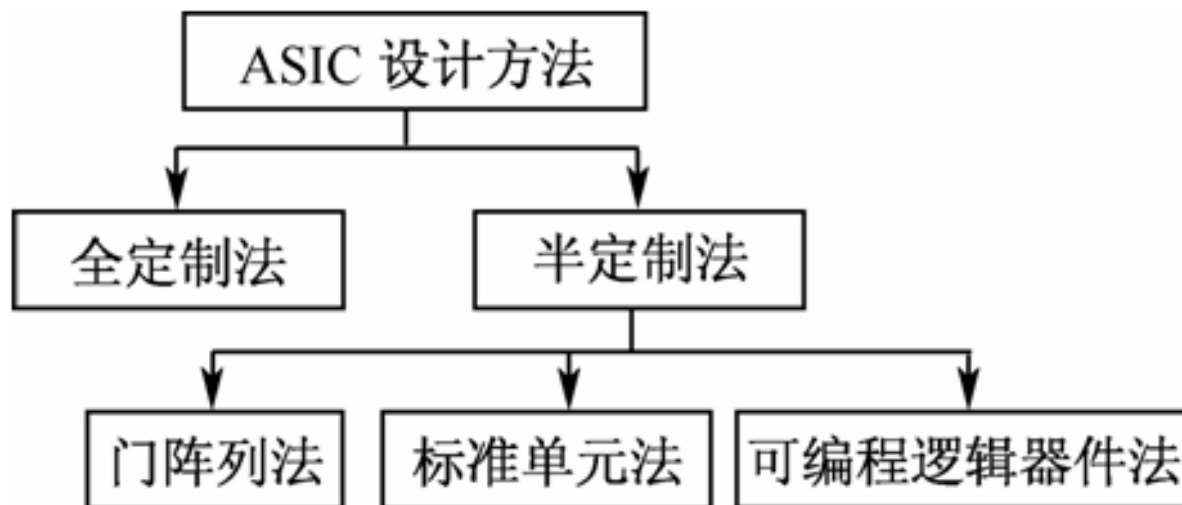


图 1-7 ASIC 实现方法



# 1.9 ASIC及其设计流程

## 1.9.2 ASIC设计一般流程简述

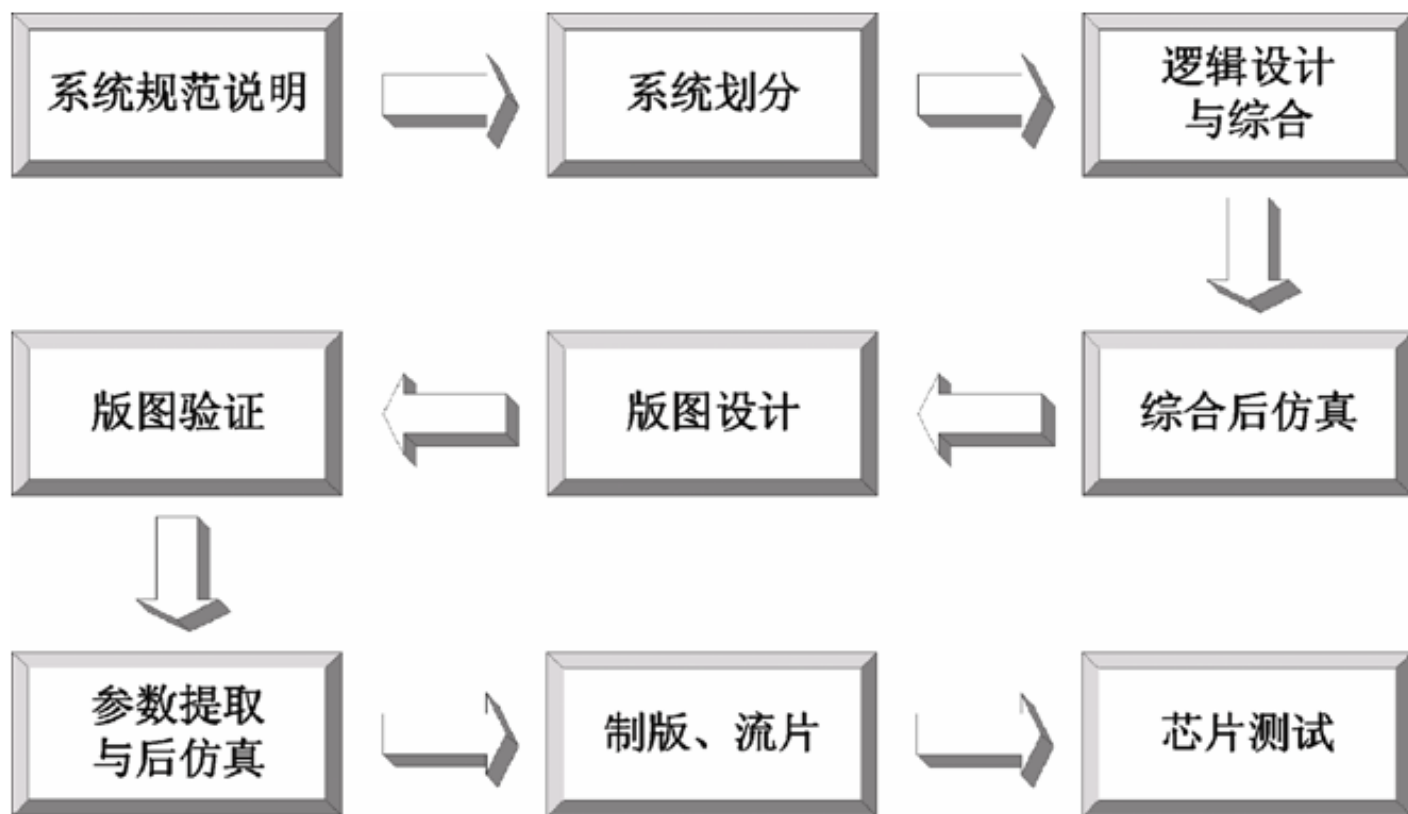


图 1-8 ASIC 设计流程



# 1.10 常用EDA工具

---

1.10.1 设计输入编辑器

1.10.2 HDL综合器

1.10.3 仿真器

1.10.4 适配器

1.10.5 下载器

# 1.11 Quartus II 概述

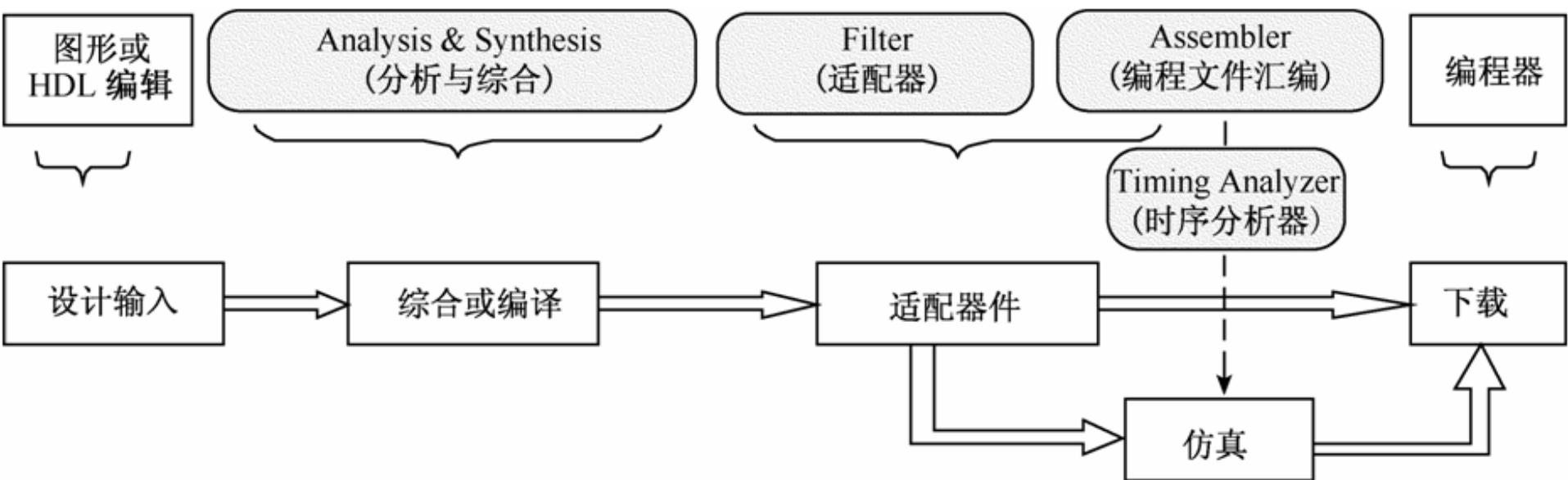


图 1-9 Quartus II 设计流程



# 1.12 IP核

---

**IP**就是知识产权核或知识产权模块的意思，在**EDA**技术开发中具有十分重要的地位。

**软IP**是用**Verilog/VHDL**等硬件描述语言描述的功能块，但是并不涉及用什么具体电路元件实现这些功能。

**固IP**是完成了综合的功能块。

**硬IP**提供设计的最终阶段产品：掩模。



# 1.13 EDA技术发展趋势管窥

---

- (1) 在一个芯片上完成系统级的集成已成为可能。
- (2) 可编程逻辑器件开始进入传统的**ASIC**市场。
- (3) **EDA**工具和**IP**核应用更为广泛。
- (4) 高性能的**EDA**工具得到长足的发展，其自动化和智能化程度不断提高，为嵌入式系统设计提供了功能强大的开发环境。
- (5) 计算机硬件平台性能大幅度提高，为复杂的**SOC**设计提供了物理基础。



# 思考题

---

**1-1 EDA技术与ASIC设计和FPGA开发有什么关系？FPGA在ASIC设计中有什么用途？**

**1-2 与软件描述语言相比，VHDL有什么特点？**

**1-3 什么是综合？有哪些类型？综合在电子设计自动化中的地位是什么？**

**1-4 在EDA技术中，自顶向下的设计方法的重要意义是什么？**

**1-5 IP在EDA技术的应用和发展中的意义是什么？**

**1-6 叙述EDA的FPGA/CPLD设计流程，以及涉及的EDA工具及其在整个流程中的作用。**