



第8章

基于单片机核的SOC技术

8.1 单片机扩展FPGA及单片机核应用技术

8.1.1 FPGA扩展方案及其系统设计流程

1. 单片机与FPGA的口线连接

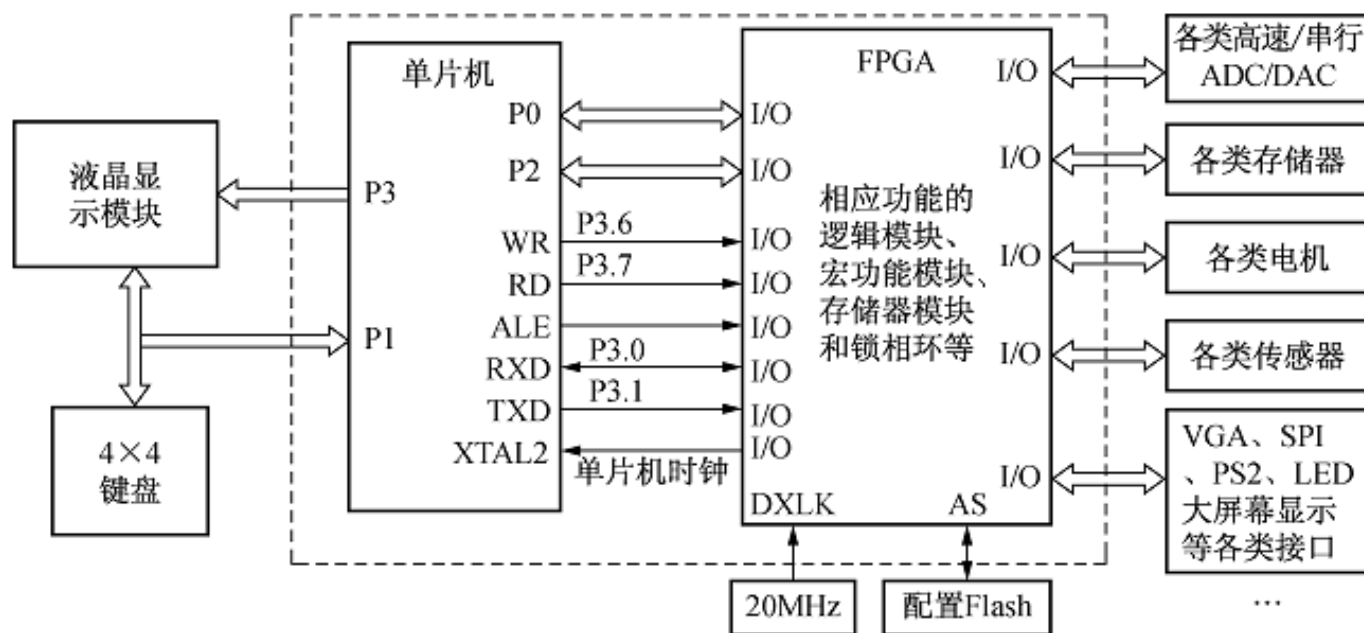


图 8-1 扩展了 FPGA 的单片机系统设计模型图



8.1 单片机扩展FPGA及单片机核应用技术

8.1.1 FPGA扩展方案及其系统设计流程

2. FPGA测控对象的接口安排

3. 单片机与液晶显示及键盘的接口

4. 设计步骤与流程

8.1 单片机扩展FPGA及单片机核应用技术

8.1.2 基于单片机IP软核的SOC设计方案

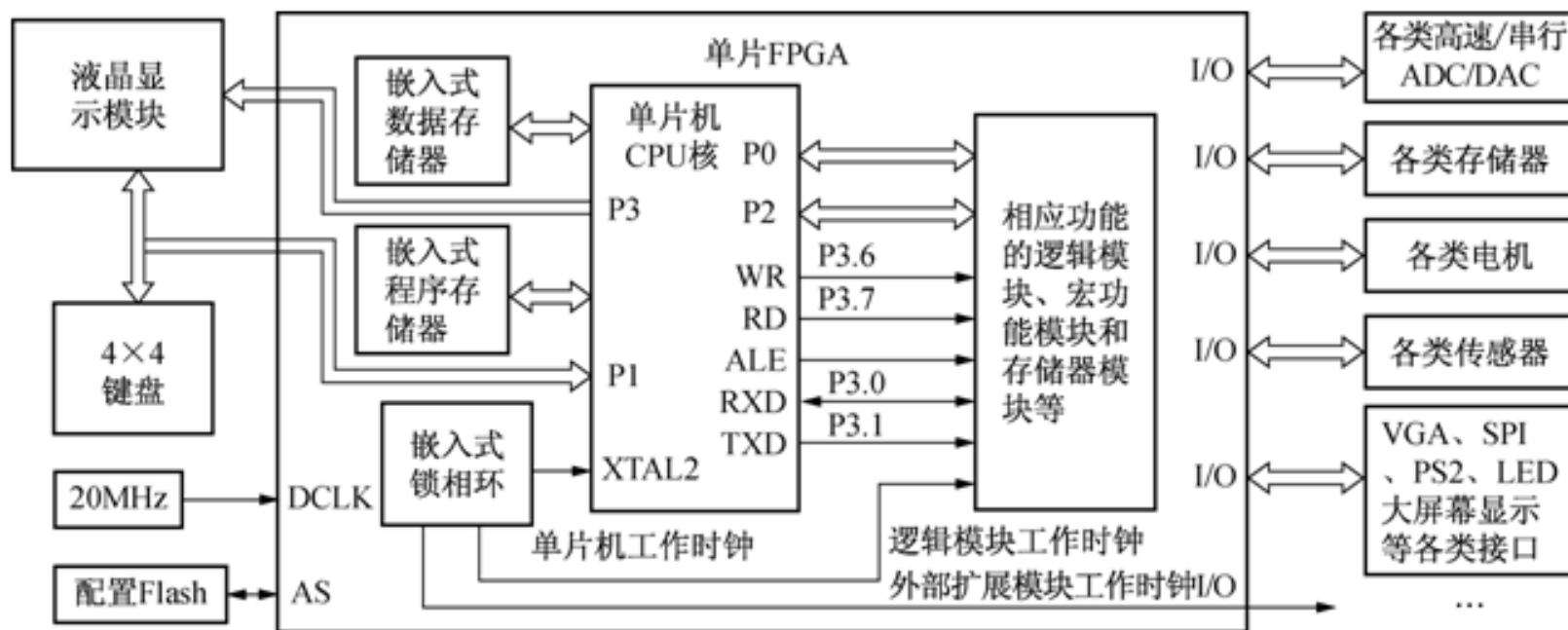


图 8-2 基于单片机软核的 FPGA 单片系统模块图



8.1 单片机扩展**FPGA**及单片机核应用技术

8.1.2 基于单片机**IP**软核的**SOC**设计方案

1. 基于**FPGA**的单片系统特点
2. 基于单片机核的**FPGA**片上系统开发

8.2 单片机扩展FPGA设计实例

8.2.1 串进并出/并进串出双向端口扩展模块设计

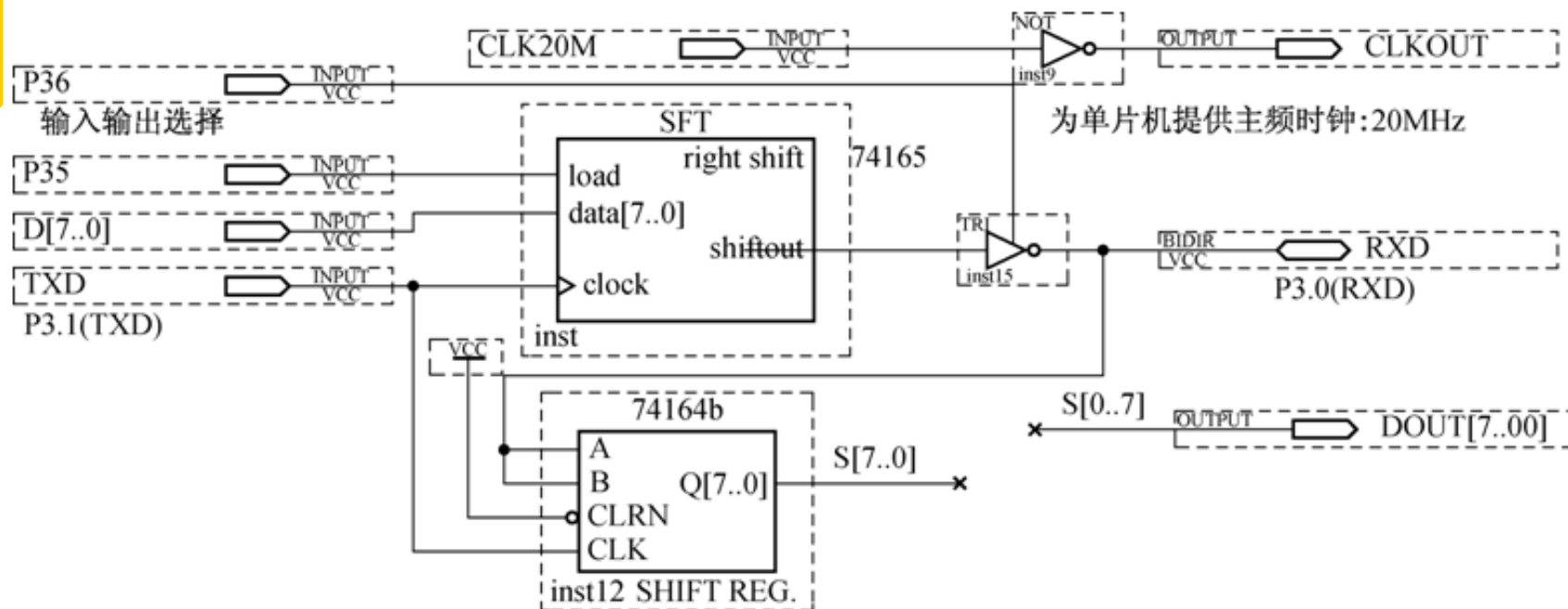


图 8-3 单片机串进并出和并进串出双向端口扩展 FPGA 模块电路图

8.2 单片机扩展FPGA设计实例

8.2.1 串进并出/并进串出双向端口扩展模块设计

【程序 8-1 (A)】汇编代码

```
SETB    P3.6      3.6=1      ; 选择SFT模块 (即74165), 读入8位数据
CLR     P3.5      ; 由于数据锁存load是同步锁存, 所以当P3.5=1时, 时钟信号到
SETB    P3.5      ; 来时, 才能把并行输入的8位数据D[7..0]锁入移位寄存器
CLR     P3.1      ;
SETB    P3.1      ; 时钟上升沿后锁存D[7..0]
CLR     P3.5      ;
MOV     SCON, #10H ; 设置串口数据读入
RT :    JNB     RI, RT ; 检测RI标志
MOV     A, SBUF   ;
CLR     RI        ; 清0 RI标志
MOV     44H, A    ; 将来自FPGA的8位数据存入44H单元
```



8.2 单片机扩展FPGA设计实例

【程序 8-1 (B)】C51 代码

```
#include <reg51.h>
sbit ctrl = P3^6;
sbit load = P3^5;
void main (void)
{
    unsigned char x;
    ctrl = 1;           //P3.6=1 : 选择SFT模块 (即74165) , 读入8位数据
    load = 0;          //由于数据锁存load是同步锁存, 所以当P3.5=1时, 时钟信号到
    load = 1;          //来时, 才能把并行输入的8位数据D[7..0]锁入移位寄存器
    TXD = 0;
    TXD = 1;           //时钟上升沿后锁存D[7..0]
    load = 1;
    SCON = 0x10;       //设置串口数据读入
    while (!RI);       //检测IRRI标志
    x = SBUF;          //将来自FPGA的8位数据存入x单元
    RI = 0;            //清OIRRI标志
    ...
}
```




8.2 单片机扩展FPGA设计实例

8.2.1 串进并出/并进串出双向端口扩展模块设计

【程序 8-2 (A)】汇编代码

```
CLR      P3.6                ; P3.6=0 : 选择74164b, 输出8位数据
        MOV      SCON, #00H
        MOV      A, #5BH      ; 输出5BH
        MOV      SBUF, A
```

【程序 8-2 (B)】C51 代码

```
Ctrl = 1;                    // P3.6=0 : 选择74164b, 输出8位数据
    SCON = 0x00;
    SBUF = 0x5b;              // 输出0x5b
```

8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

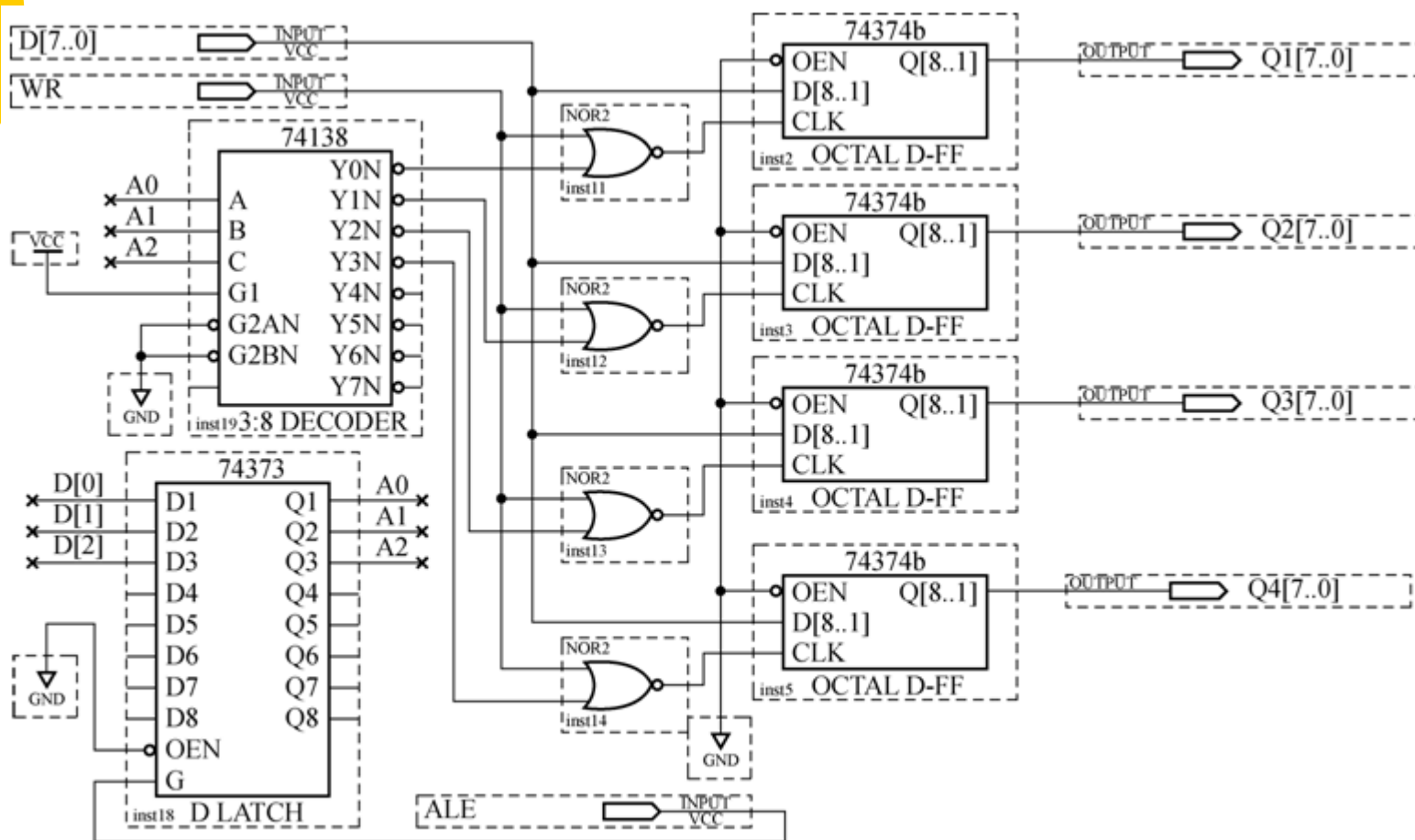


图 8-4 单片机 8 位四通道数据输出模块 FPGA 扩展电路图

8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

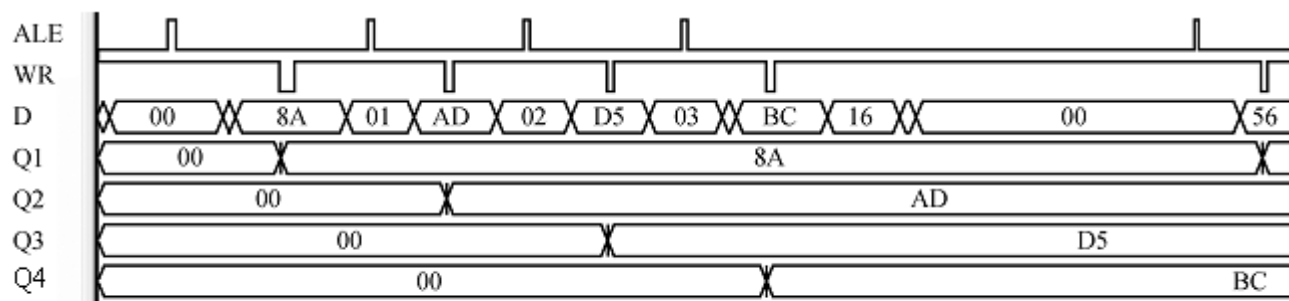


图 8-5 图 8-4 所示电路的时序仿真波形图



8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

【程序 8-3 (A)】汇编代码

```
MOV DPTR, #0000H      ; 给出锁存器00H地址信号
MOV     A, #8AH
MOVX   @DPTR, A
MOV    DPTR, #0001H   ; 给出锁存器01H地址信号
MOV    A, #0ADH
MOVX   @DPTR, A
MOV    DPTR, #0002H   ; 给出锁存器02H地址信号
MOV    A, #0D5H
MOVX   @DPTR, A
MOV    DPTR, #0003H   ; 给出锁存器03H地址信号
MOV    A, #0BCH
MOVX   @DPTR, A
```



8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

【程序 8-3 (B)】C51 代码

```
#include <absacc.h>           //注意：此头文件必须包含
void main (void)
{
    XBYTE[0x0] = 0x8A;        //给出锁存器00H地址信号
    XBYTE[0x1] = 0xAD;        //给出锁存器01H地址信号
    XBYTE[0x2] = 0xD5;        //给出锁存器02H地址信号
    XBYTE[0x3] = 0xBC; }     //给出锁存器03H地址信号
```



8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

【程序 8-4 (A)】汇编代码

```
MOV     DPTR, #0000H           ; 给出锁存器00H地址信号
MOVX    A, @DPTR              ; 通过总线方式将此地址指定端口的8位数据读入累加器
MOV     34H, A
MOV     DPTR, #0001H
MOVX    A, @DPTR
MOV     35H, A
MOV     DPTR, #0002H
MOVX    A, @DPTR
MOV     36H, A
MOV     DPTR, #0003H
MOVX    A, @DPTR
MOV     37H, A
```



8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

【程序 8-4 (B)】C51 代码 1

```
#include <absacc.H>
void main (void)
{
    unsigned char x[4];
    //给出锁存器00H地址信号，通过总线方式将此地址指定端口的8位数据读入
    x[0] = XBYTE[0x0];
    x[1] = XBYTE[0x1];
    x[2] = XBYTE[0x2];
    x[3] = XBYTE[0x3];
}
```

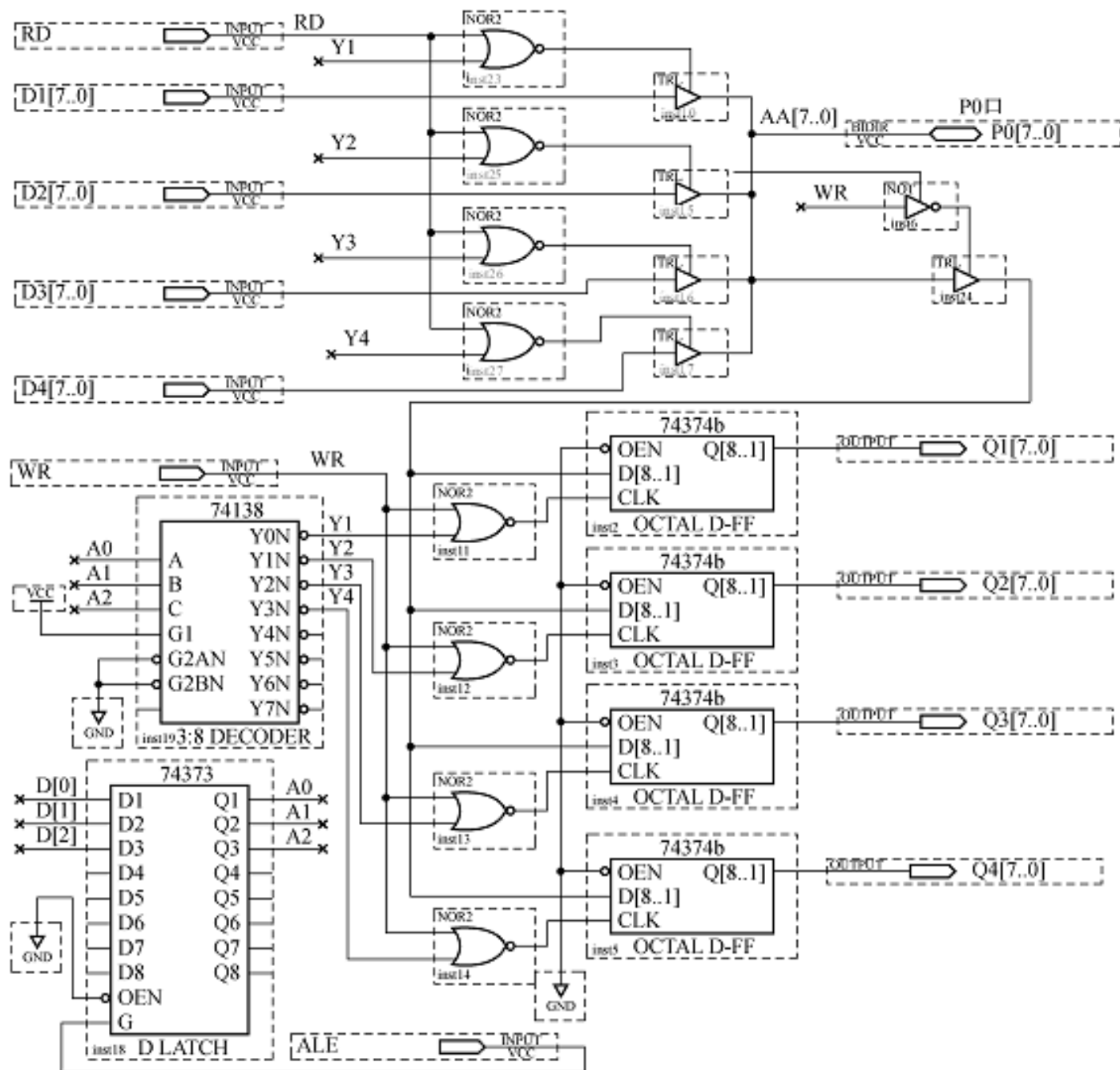
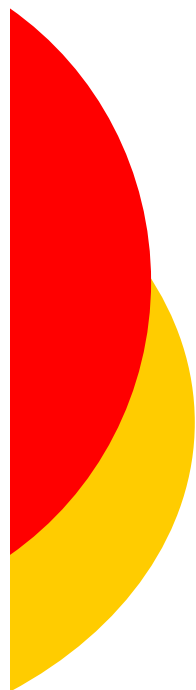


图 8-6 8 位四通道双向数据交换模块单片机扩展电路图



8.2 单片机扩展FPGA设计实例

8.2.2 8位四通道数据交换扩展模块设计

【程序 8-4 (C)】C51 代码 2

```
#include <absacc.H>
void main (void)
{
    unsigned char x[4];
    unsigned char i;
    //给出锁存器00H地址信号，通过总线方式将此地址指定端口的8位数据读入
    for (i=0; i<4; i++)
        x[i] = XBYTE[0x0+i];
}
```

8.2 单片机扩展FPGA设计实例

8.2.3 存储器读写的FPGA扩展模块设计

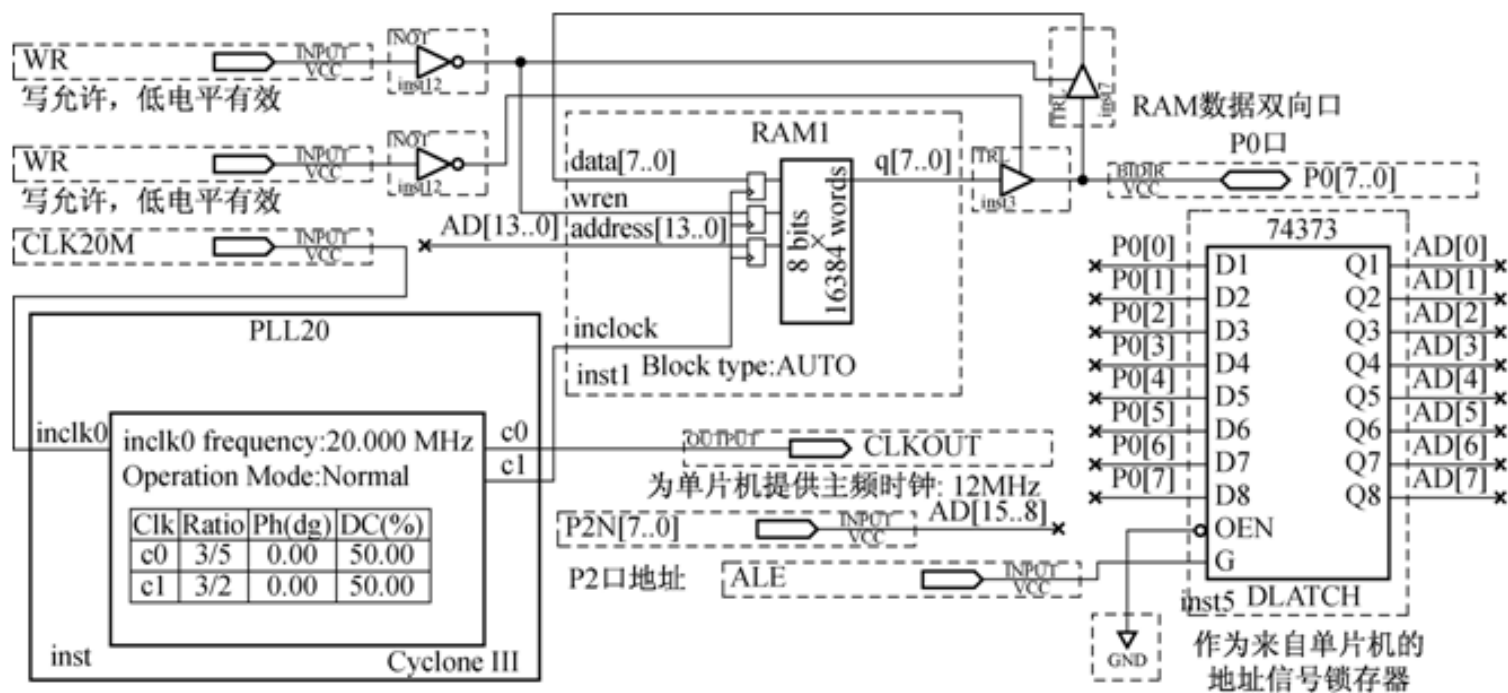


图 8-7 基于 FPGA 的 RAM 读写的单片机扩展模块电路图



8.2 单片机扩展FPGA设计实例

8.2.3 存储器读写的FPGA扩展模块设计

【程序 8-5 (A)】汇编代码

```
MOV     DPTR, #001AH           ; 写RAM地址001AH的赋值
        MOV     A, #78H
        MOVX    @DPTR, A       ; 向RAM的001AH地址单元写入数据78H
        MOV     DPTR, #131AH
        MOV     A, #0ACH
        MOVX    @DPTR, A
```

【程序 8-5 (B)】C51 代码

```
#include <absacc.h>
Void main (void)
{
    XBYTE[0x001a] = 0x78;    //向RAM的0x001a地址单元写入数据0x78
    XBYTE[0x131a] = 0xac;    //向RAM的0x131a地址单元写入数据0xac
}
```



8.2 单片机扩展FPGA设计实例

8.2.3 存储器读写的FPGA扩展模块设计

【程序 8-6 (A)】汇编代码

```
MOV    DPTR, #001BH    ; 读RAM地址001BH的赋值
MOVX   A, @DPTR
MOV    40H, A
MOV    DPTR, #231AH
MOVX   A, @DPTR        ; 从RAM的231AH地址单元读出数据于累加器A
MOV    41H, A
```

【程序 8-6 (B)】C51 代码

```
#include <absacc.h>
Void main (void)
{
Unsigned char x[2];
X[0] = XBYTE[0x001b];           //读RAM地址0x001b的赋值
X[1] = XBYTE[0x231a];           //从RAM的0x231a地址单元读出数据
}
```

8.2 单片机扩展FPGA设计实例

8.2.4 四通道PWM信号发生器接口模块设计

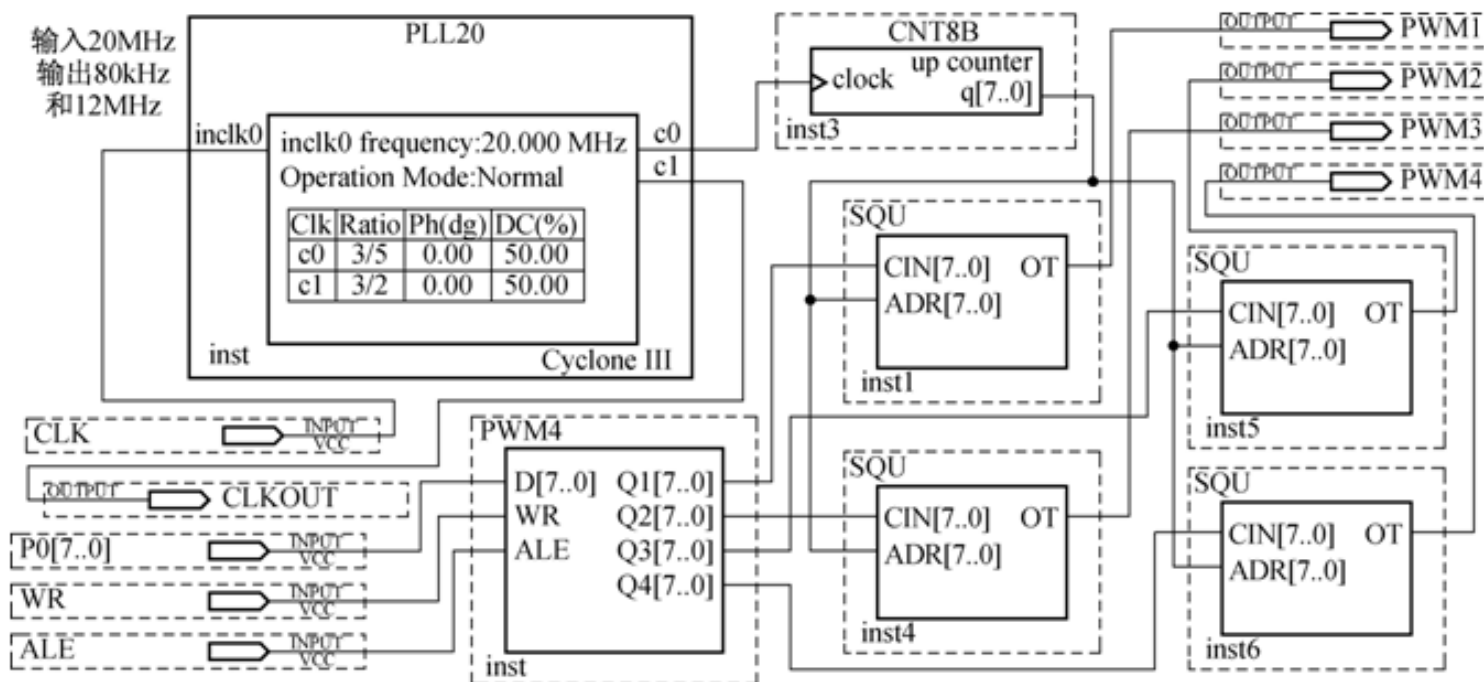


图 8-8 四通道 PWM 信号发生模块的单片机扩展模块电路图

8.2 单片机扩展FPGA设计实例

8.2.4 四通道PWM信号发生器接口模块设计



图 8-9 四通道 PWM 信号发生模块时序仿真波形图

8.2 单片机扩展FPGA设计实例

8.2.5 移相信号发生器扩展模块设计

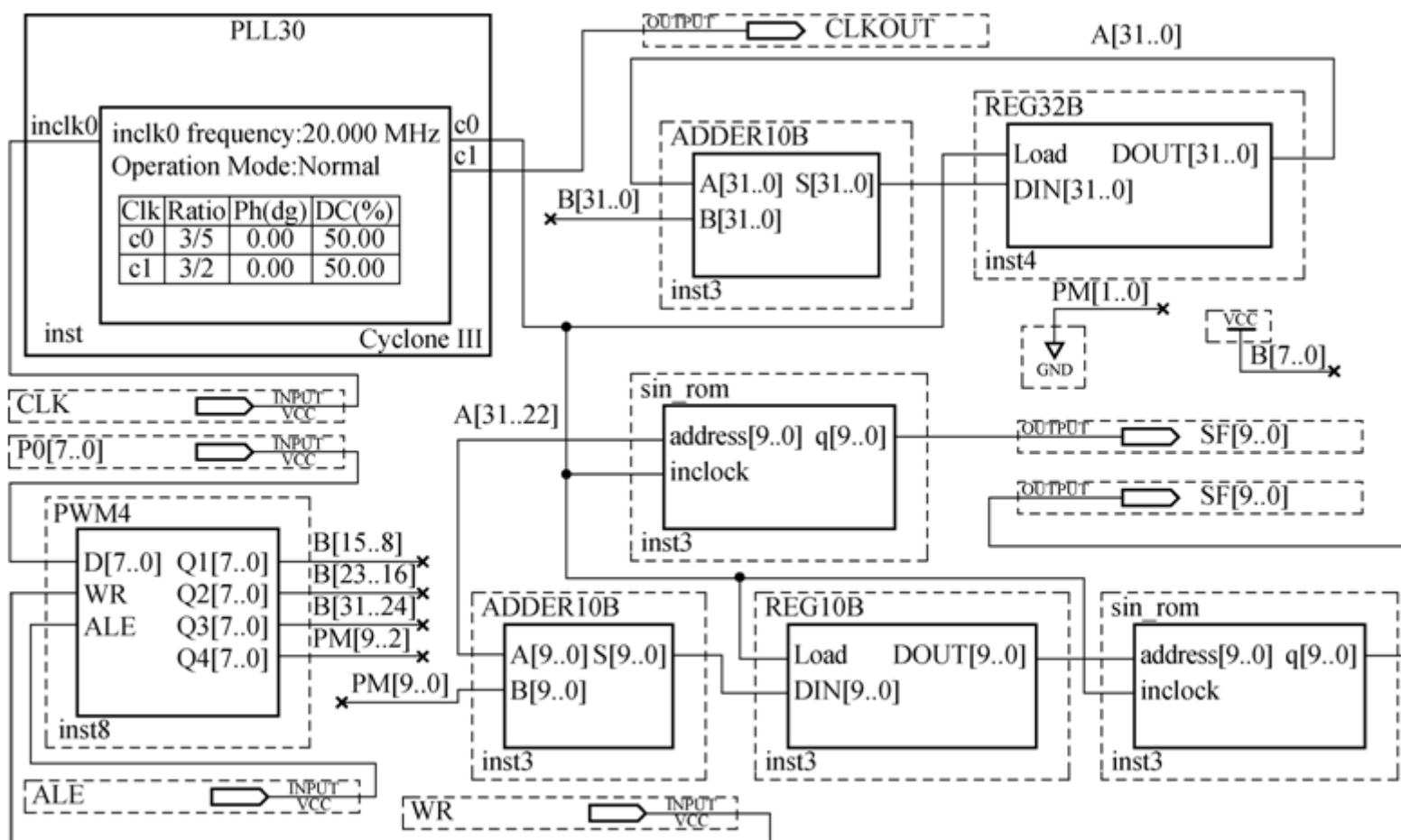


图 8-10 基于 FPGA 的移相信号发生模块的单片机扩展模块电路图

8.2 单片机扩展FPGA设计实例

8.2.5 移相信号发生器扩展模块设计

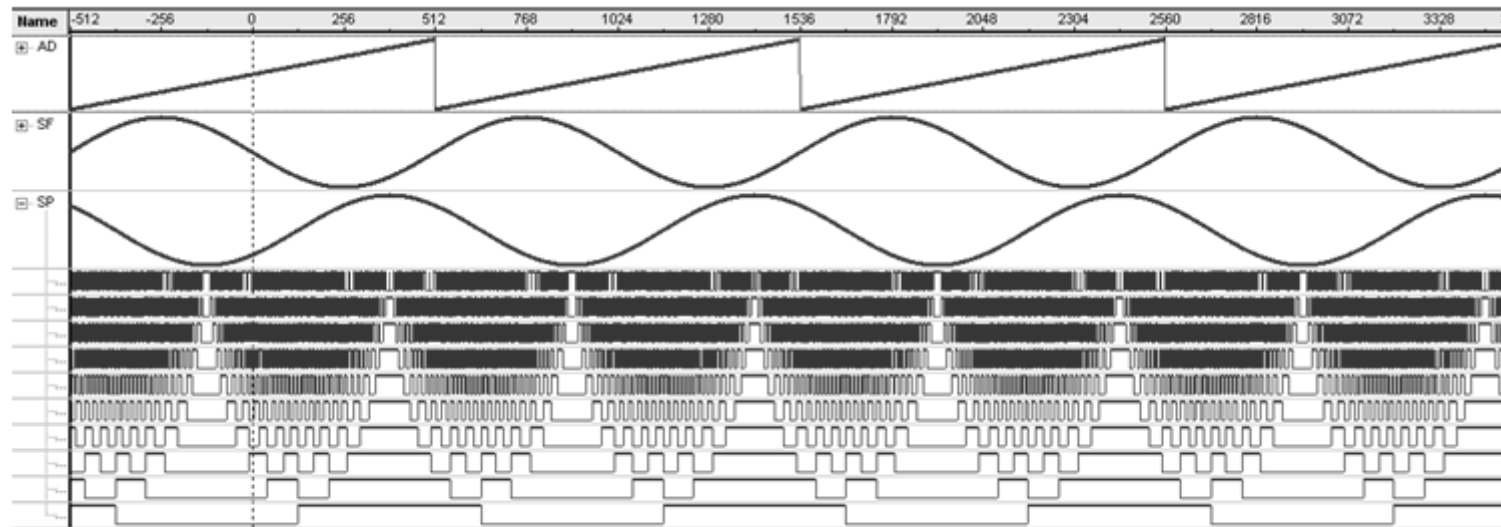


图 8-11 基于 SignalTap II 的图 8-10 电路输出信号实测波形数据图

8.2.6 里萨如图波形发生器扩展模块设计

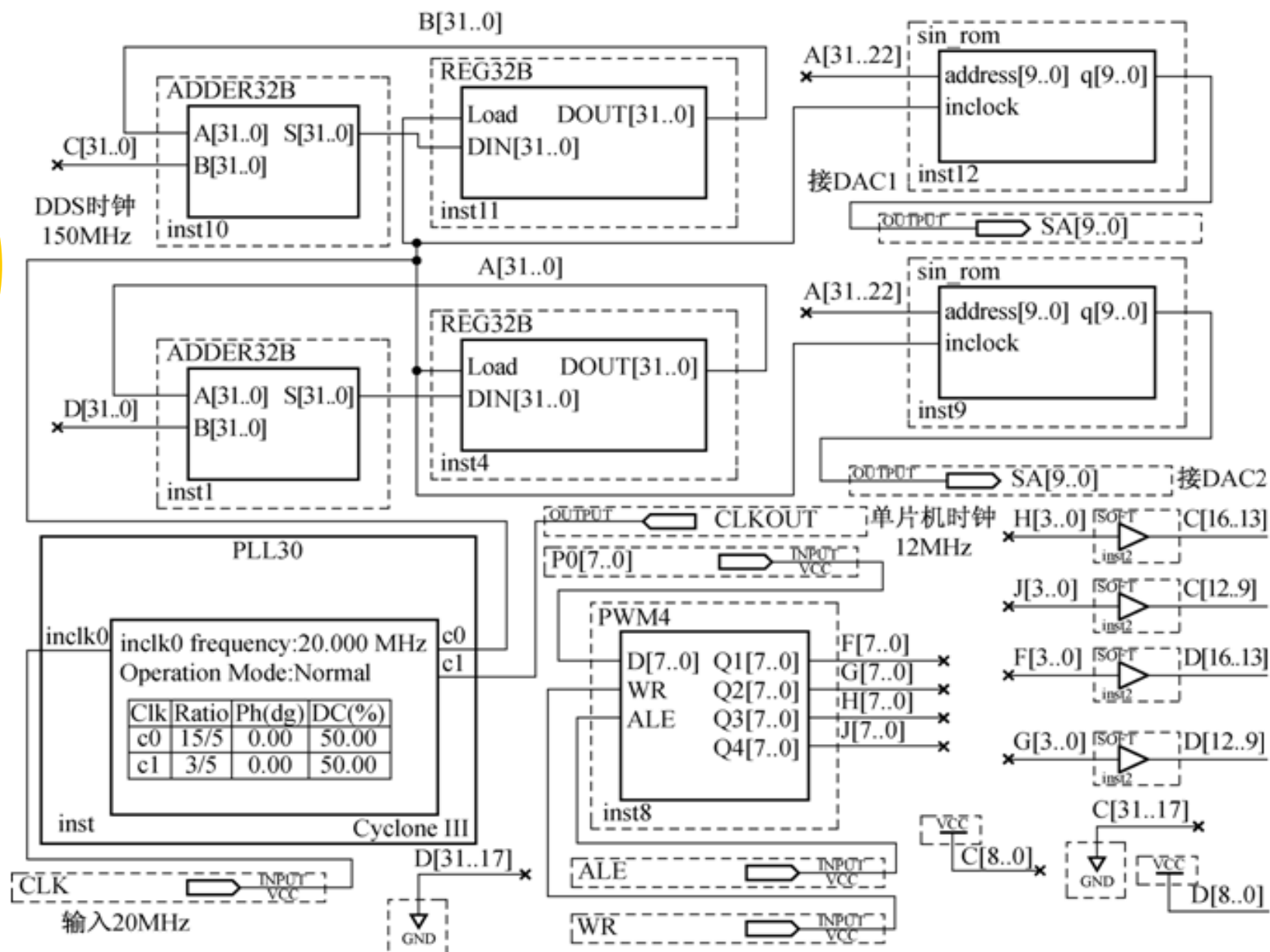


图 8-12 基于 FPGA 的里萨如图波形发生模块的单片机扩展模块电路图

8.2.6 里萨如图波形发生器扩展模块设计

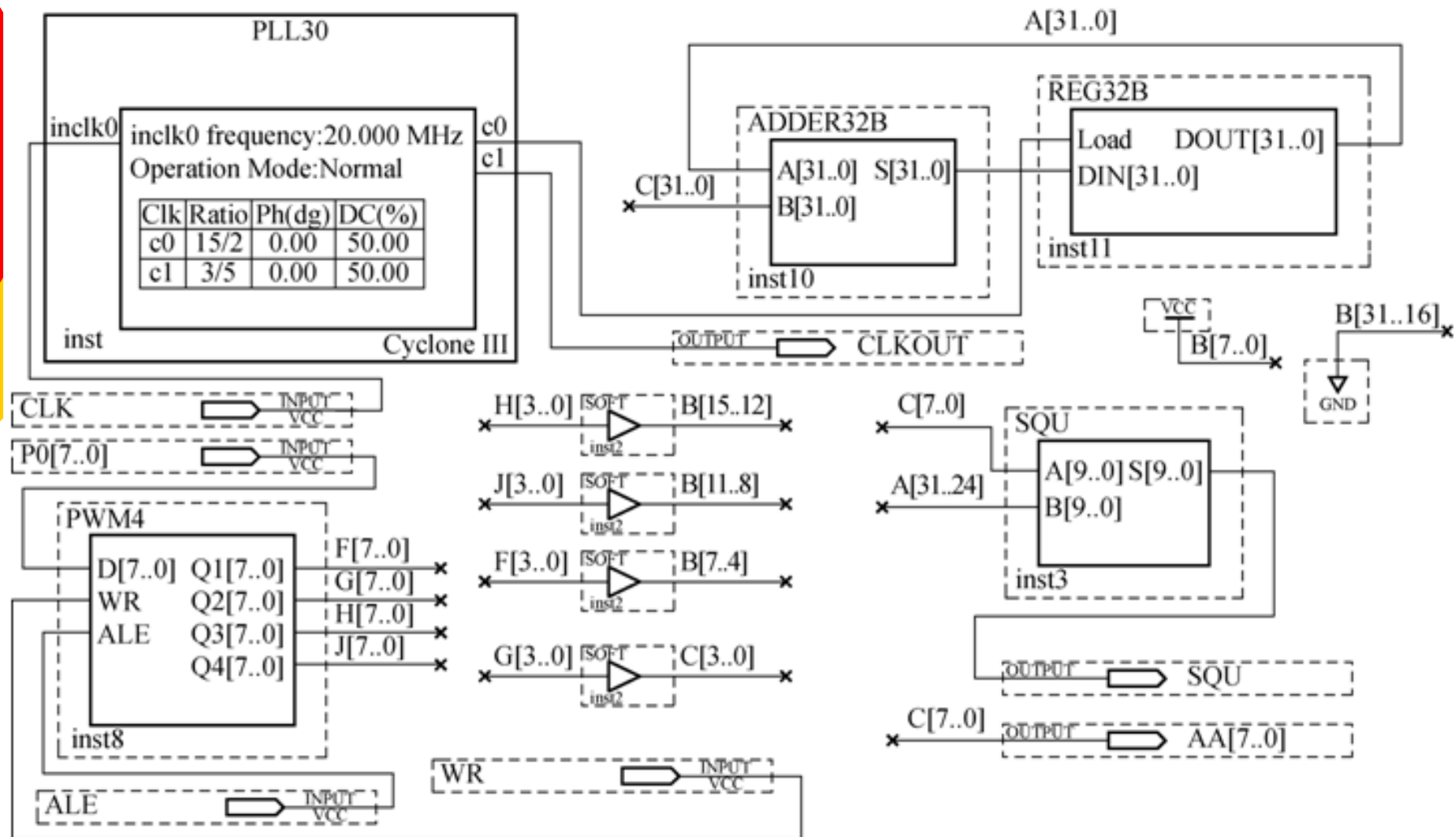


图 8-13 基于 DDS 的频率和占空比可数控的单片扩展模块电路图

$$f_{\text{out}} = \frac{B[31..0]}{2^{32}} \cdot f_{\text{clk}}$$

8.2 单片机扩展FPGA设计实例

8.2.7 数字电压表扩展模块设计

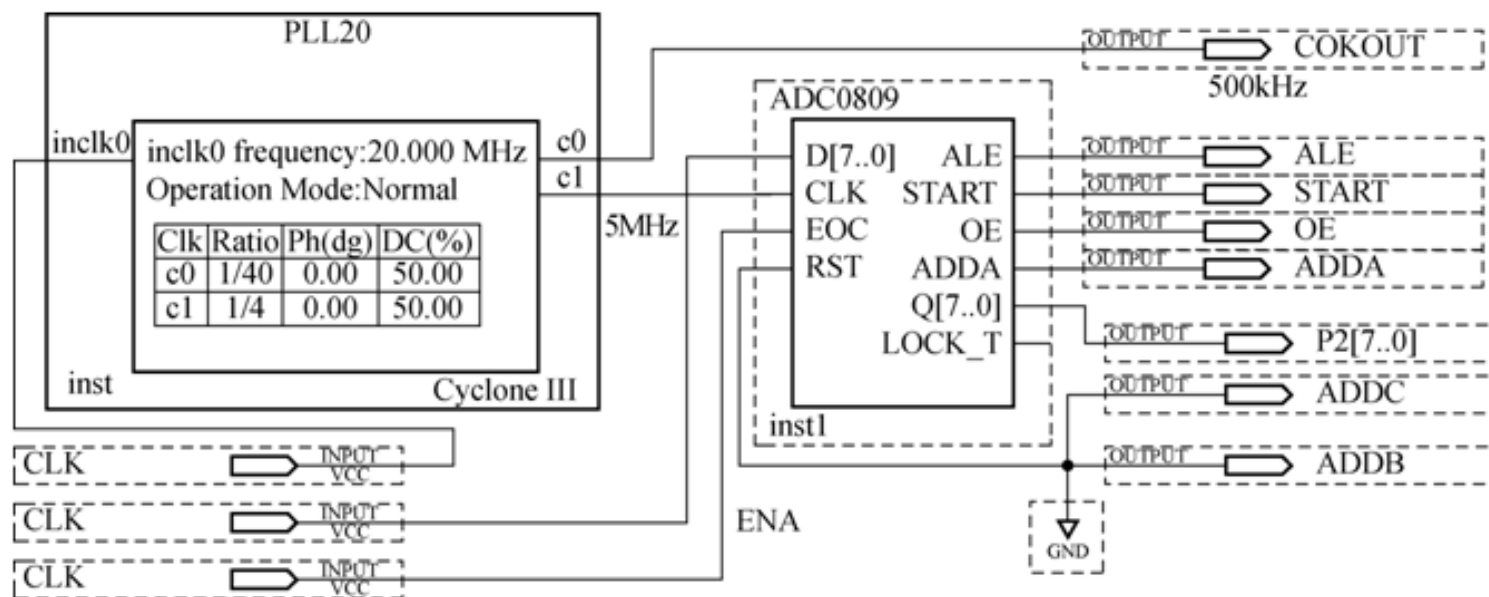


图 8-14 基于 ADC0809 的数字电压表单片机扩展模块电路图

8.2 单片机扩展FPGA设计实例

8.2.8 数字频率计扩展模块设计

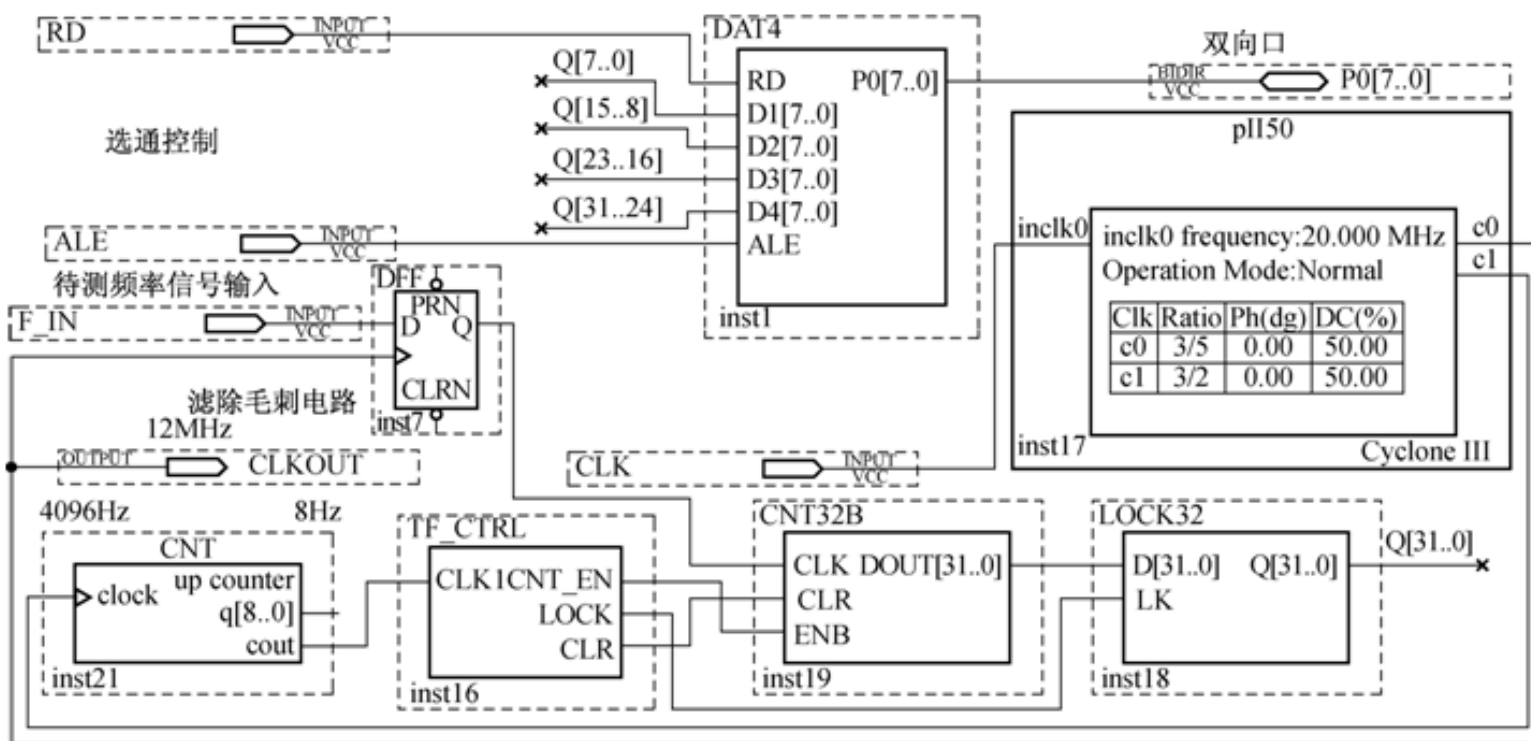


图 8-15 数字频率计单片机扩展模块电路图

8.2 单片机扩展FPGA设计实例

8.2.8 数字频率计扩展模块设计

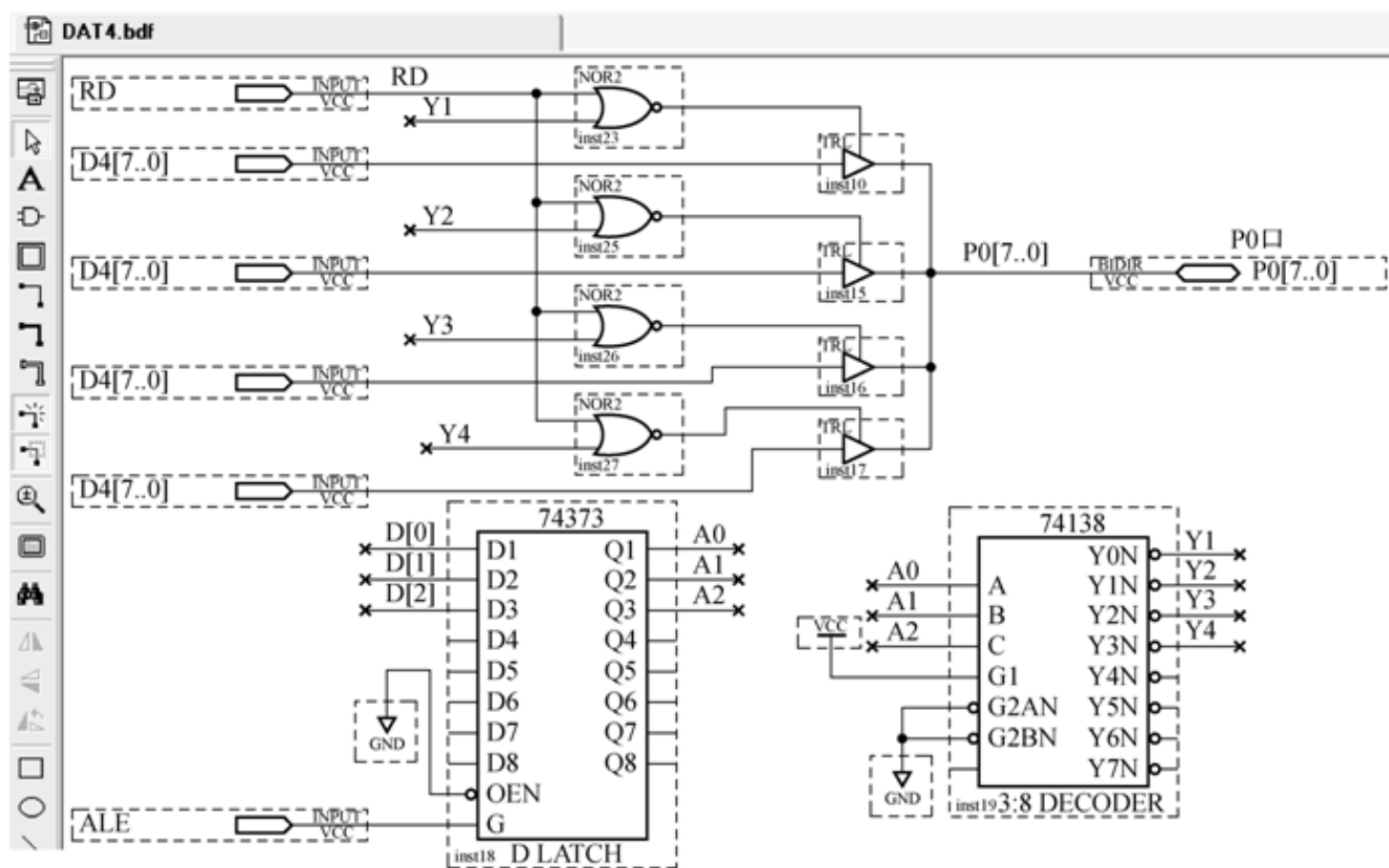


图 8-16 DAT4 读数据模块电路图

8.2 单片机扩展FPGA设计实例

8.2.8 数字频率计扩展模块设计

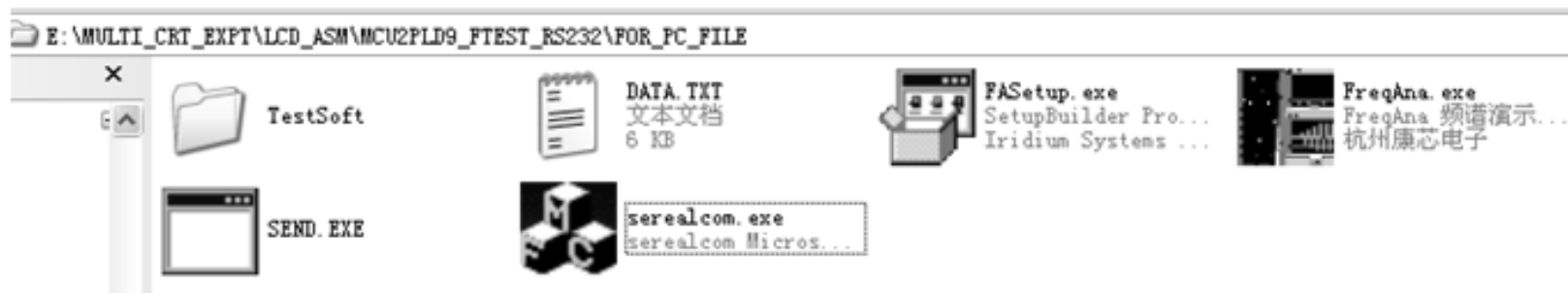


图 8-17 单片机与 PC 机串行通信上位机文件

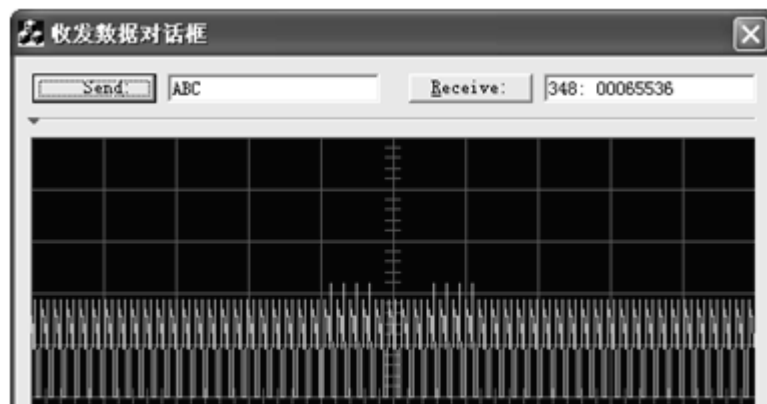


图 8-18 来自单片机传送的频率值显示窗口

8.2 单片机扩展FPGA设计实例

8.2.9 等精度频率计扩展模块设计

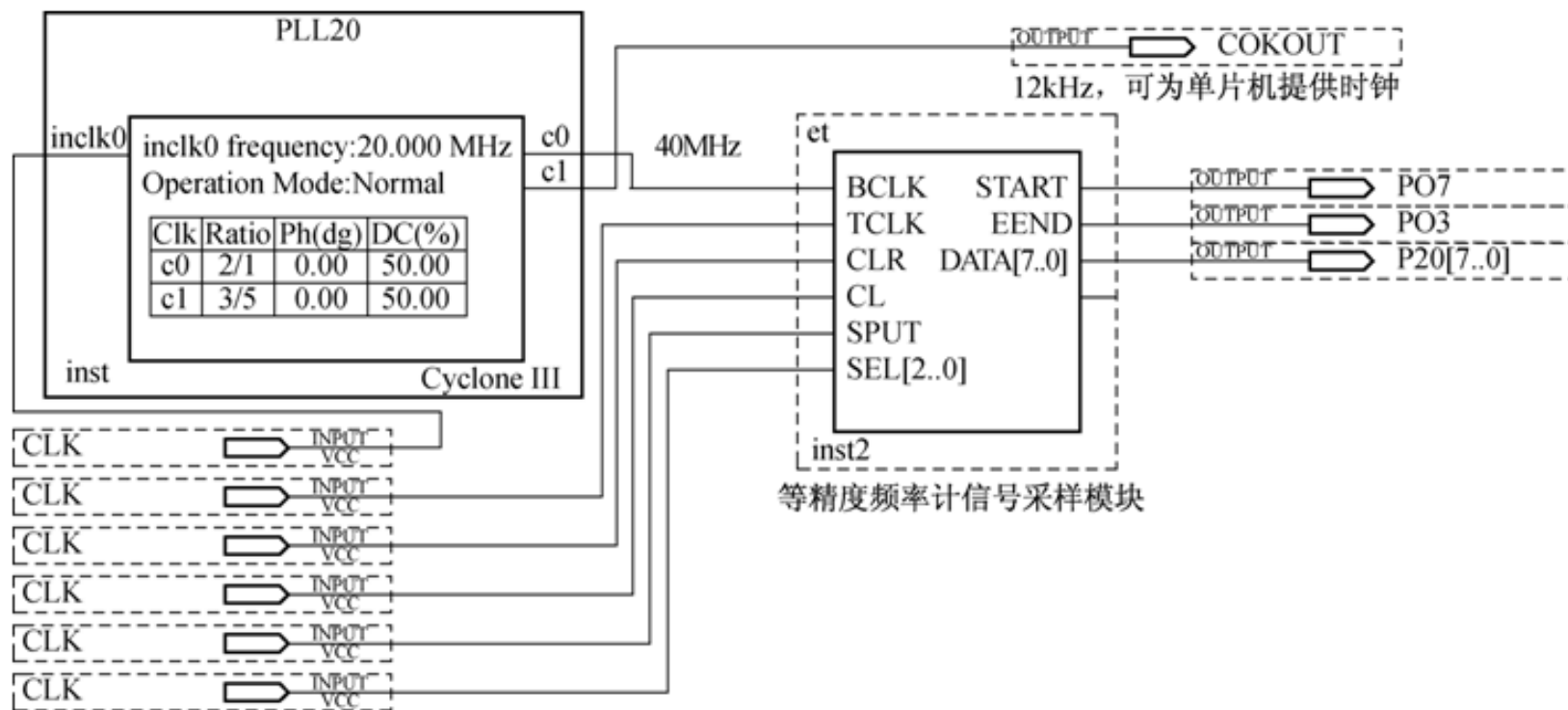


图 8-19 等精度频率计单片机扩展模块电路图

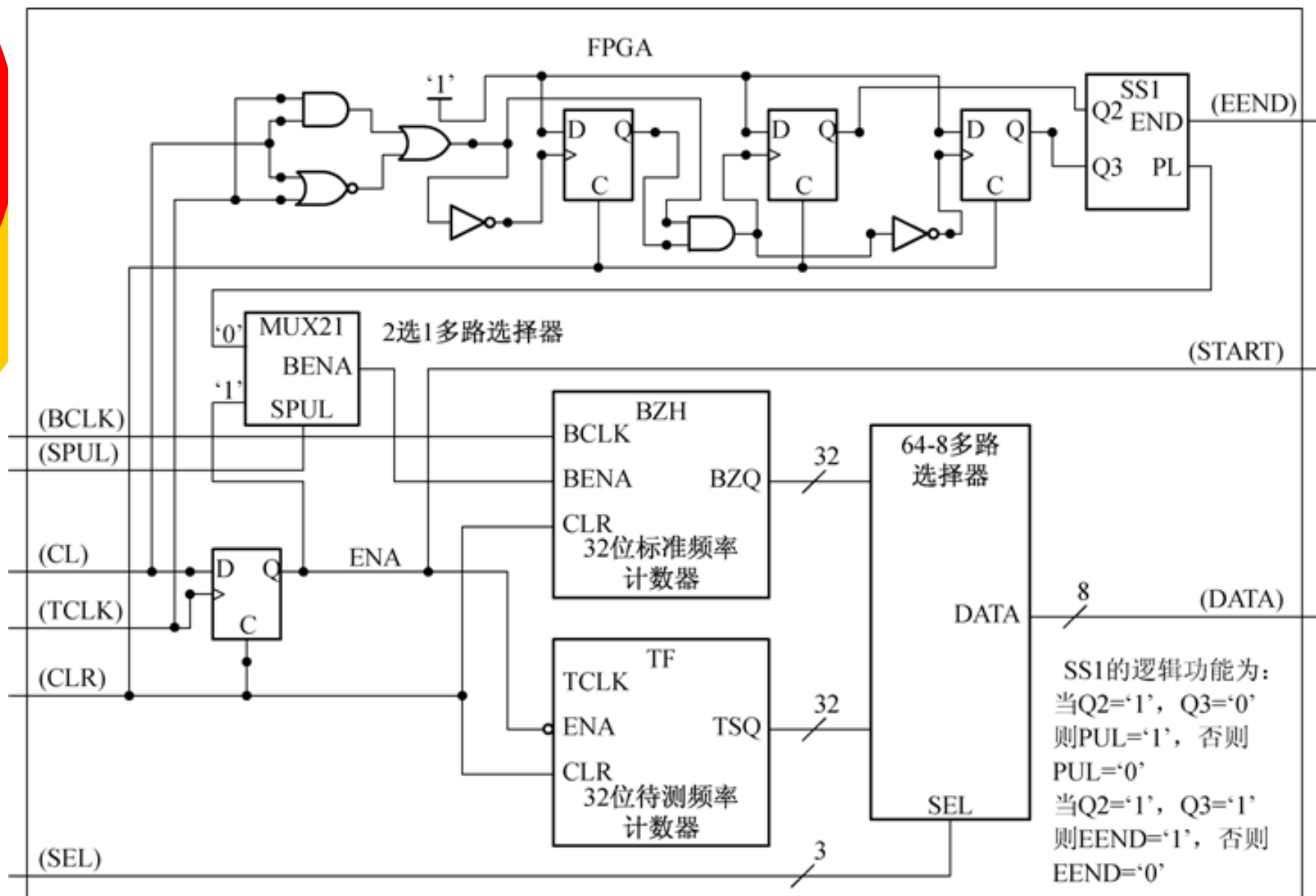


图 8-20 等精度频率计采样扩展模块 et 电路结构图

8.2 单片机扩展FPGA设计实例

8.2.10 直流电机闭环控制扩展电路模块设计

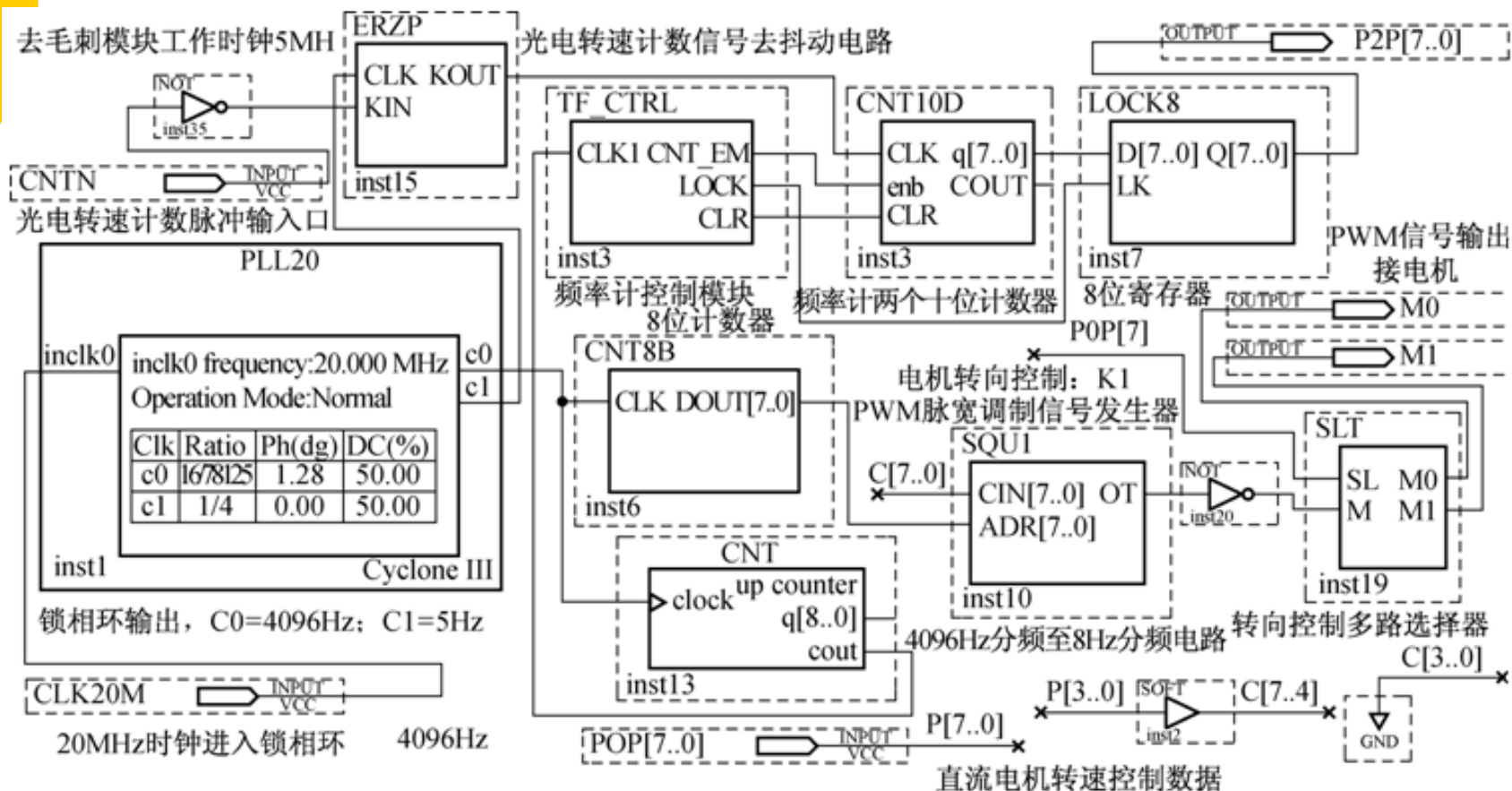


图 8-21 直流电机闭环控制扩展模块电路图



8.3 基于单片机IP核的FPGA片上系统设计

8.3.1 单片机扩展串进并出/并进串出模块的FPGA片上系统设计

1. CPU核及其端口信号

- (1) 单片机CPU核文件。
- (2) 单片机CPU核工作时钟。
- (3) CPU核常用的控制信号。
- (4) CPU核的存储器总线及存储器接口。
- (5) CPU核的I/O口。
- (6) CPU核双向I/O端口构建。

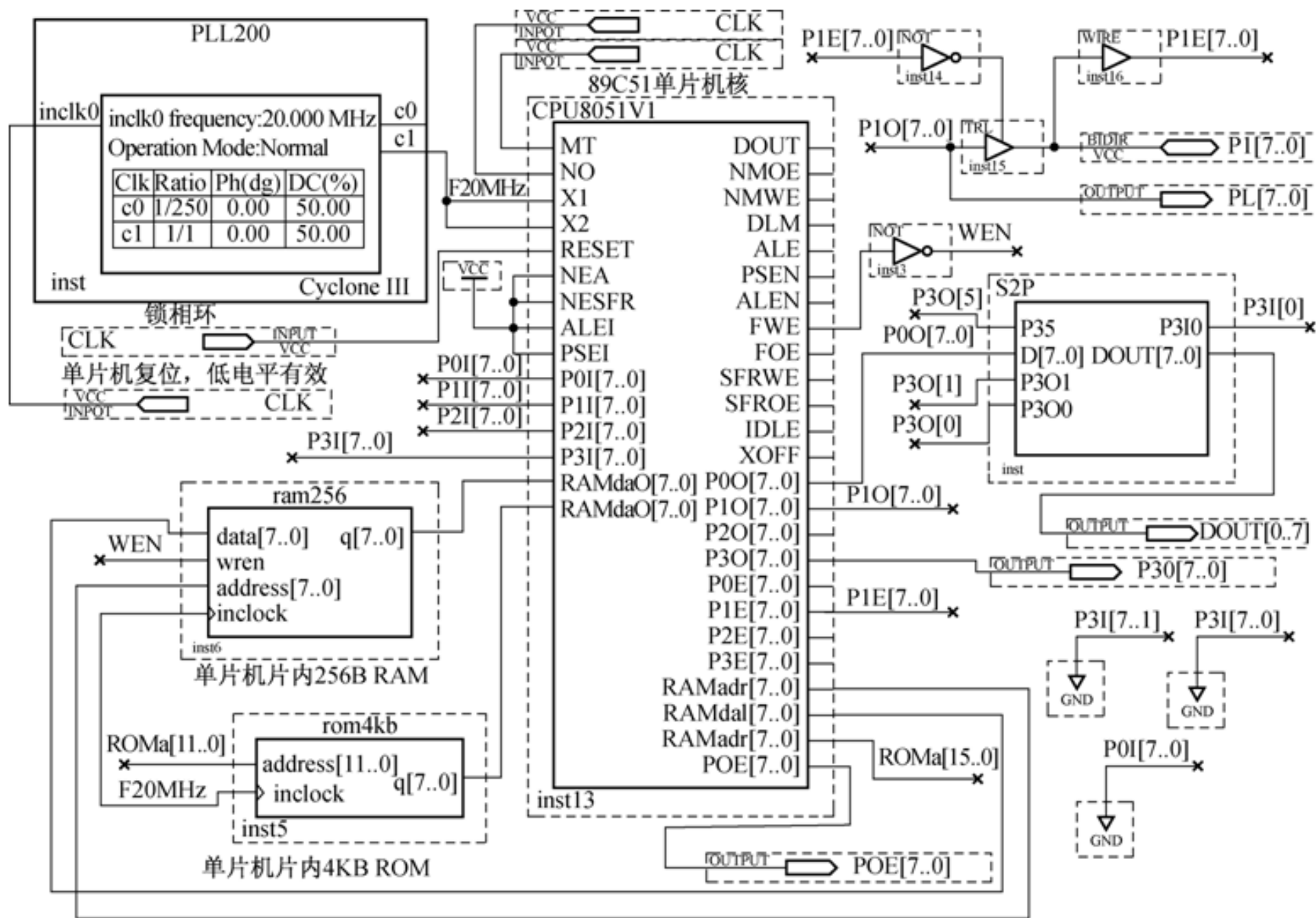


图 8-22 单片机扩展串进并出/并进串出模块的 FPGA 片上系统电路图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.1 单片机扩展串进并出/并进串出模块的FPGA片上系统设计

2. CPU核工作存储器

3. 扩展模块及其设计

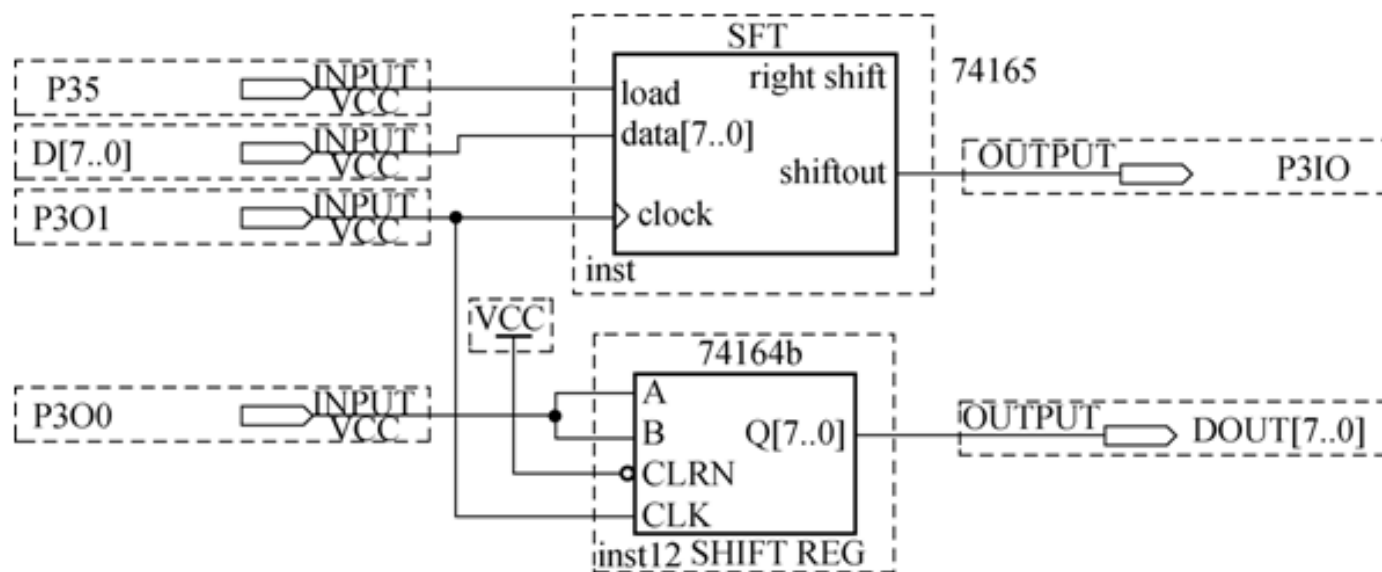


图 8-23 S2P 模块电路结构图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.1 单片机扩展串进并出/并进串出模块的FPGA片上系统设计

4. 锁相环应用

5. 软件设计与调试

```
MULTI_CRT_EXPT\MCU_51CORE_S0
:串进并出/并进串出控制程序
RS EQU P3.2
RW EQU P3.3
E EQU P3.4
DAT EQU 30H
DAT1 EQU 31H

ORG 0000H
MOV SP, #60H
MOV DAT, #01H
LCALL ENABLE
LCALL DISP3
MOV DAT, #01H
LCALL ENABLE

MOV A, #40H
MOV B, #80H
LCALL DISP2
MOV A, #3AH
MOV B, #81H
LCALL DISP2
MOV A, #33H
MOV B, #82H
```

图 8-24 汇编程序

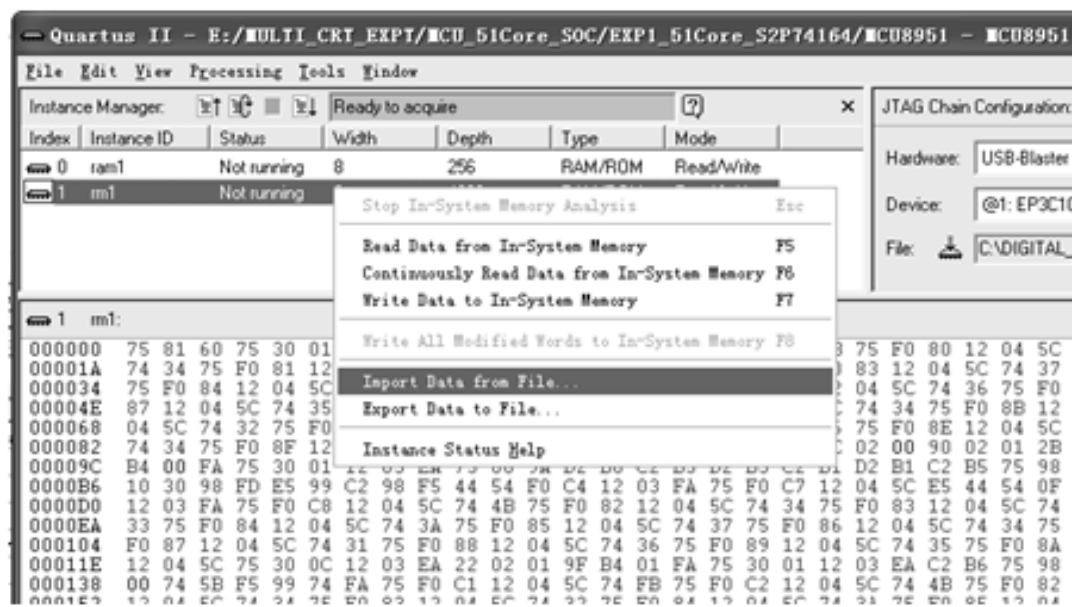


图 8-25 用 In-System Memory Content Editor 下载汇编程序代码

8.3 基于单片机IP核的FPGA片上系统设计

8.3.2 单片机扩展SRAM模块的FPGA片上系统设计

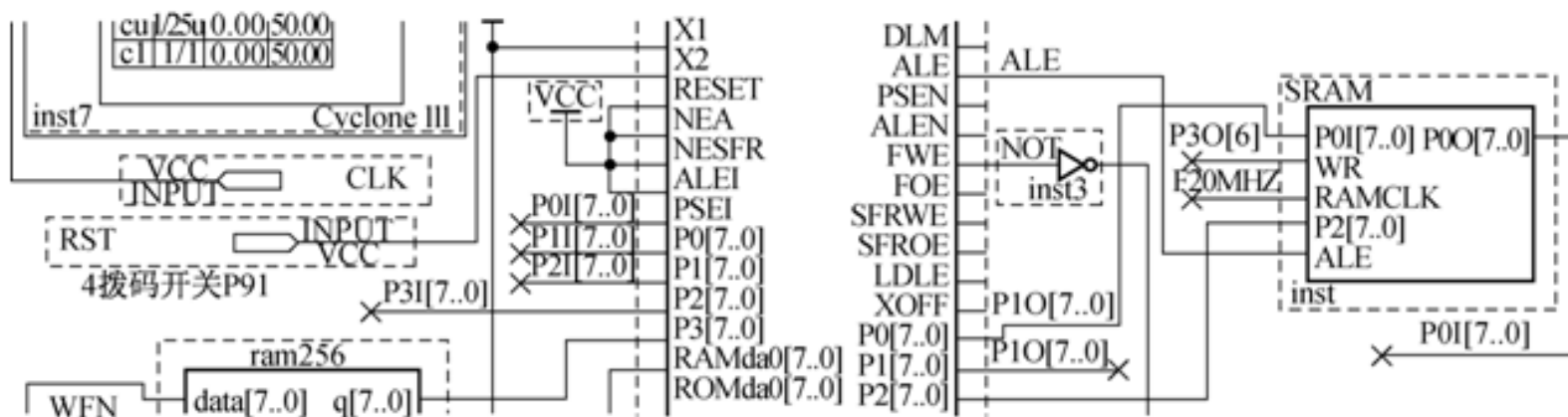


图 8-26 单片机扩展 SRAM 模块的 FPGA 片上系统电路图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.2 单片机扩展SRAM模块的FPGA片上系统设计

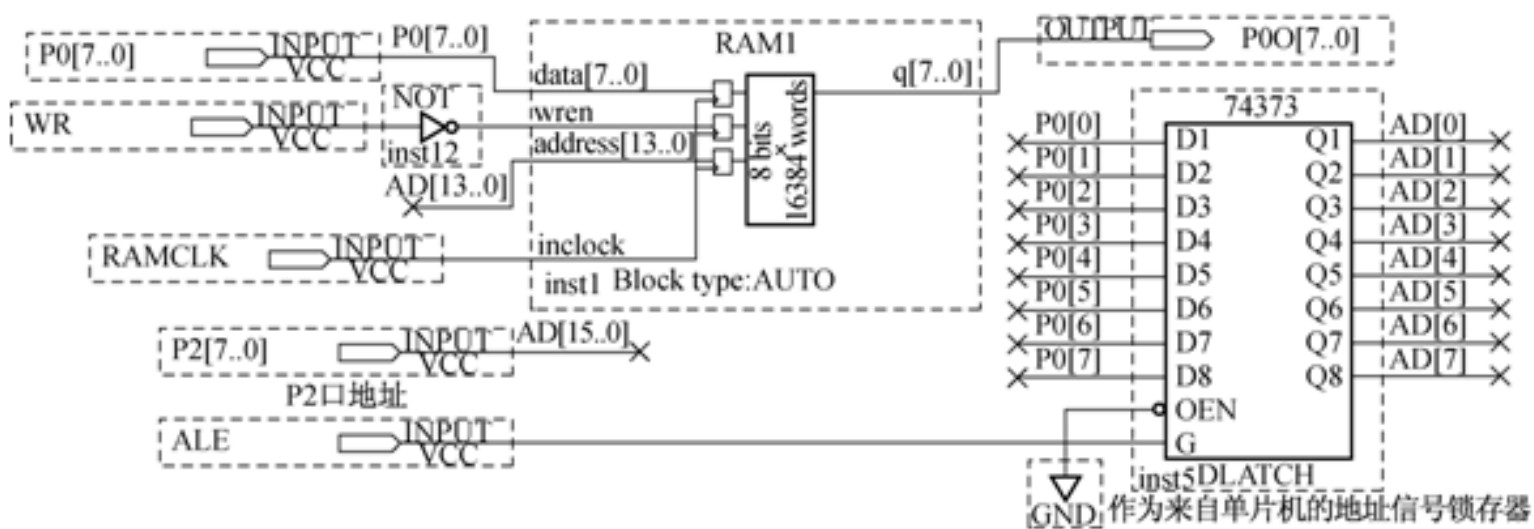


图 8-27 图 8-26 所示模块 SRAM 中的电路结构

8.3 基于单片机IP核的FPGA片上系统设计

8.3.4 单片机扩展移相信号发生器模块的FPGA片上系统设计

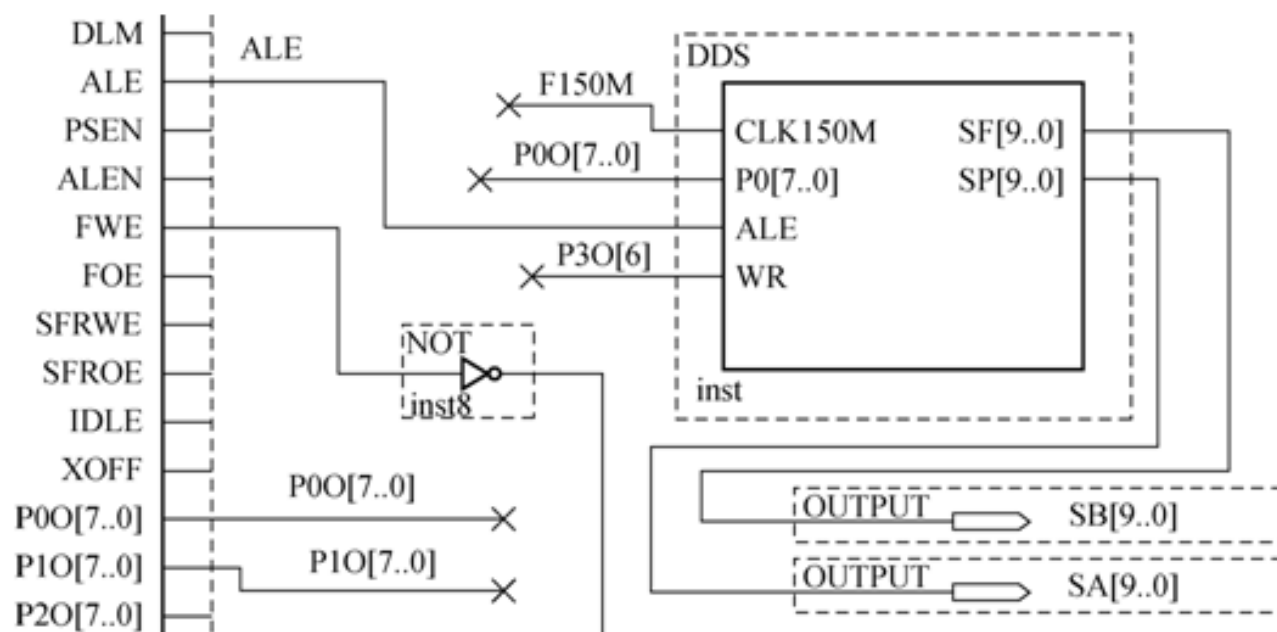


图 8-29 单片机扩展移相信号发生器模块的 FPGA 片上系统电路图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.5 单片机扩展直流电机控制模块的FPGA片上系统设计

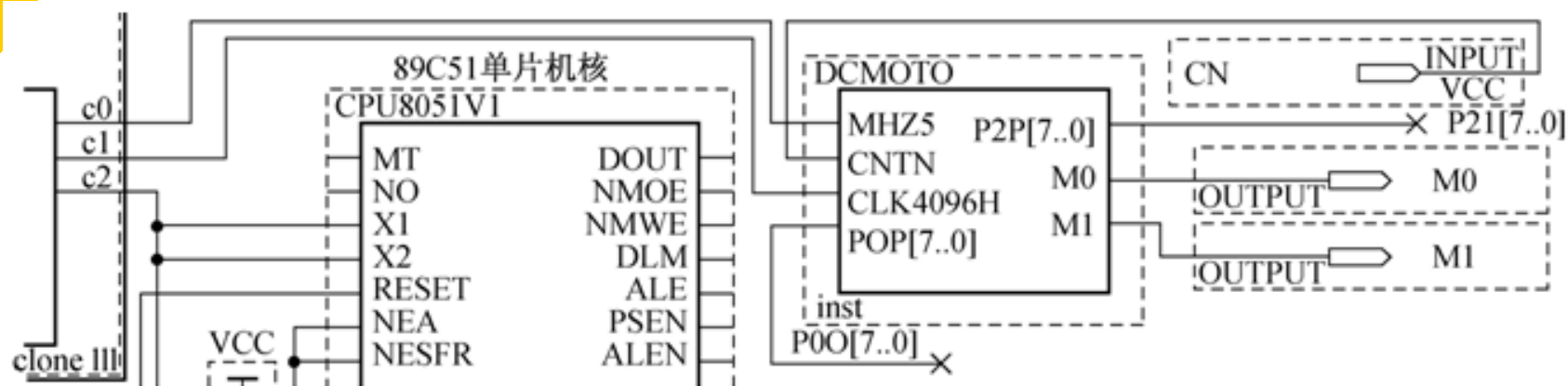


图 8-30 单片机扩展直流电机控制模块的 FPGA 片上系统电路图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.6 单片机扩展数字频率计模块的FPGA片上系统设计

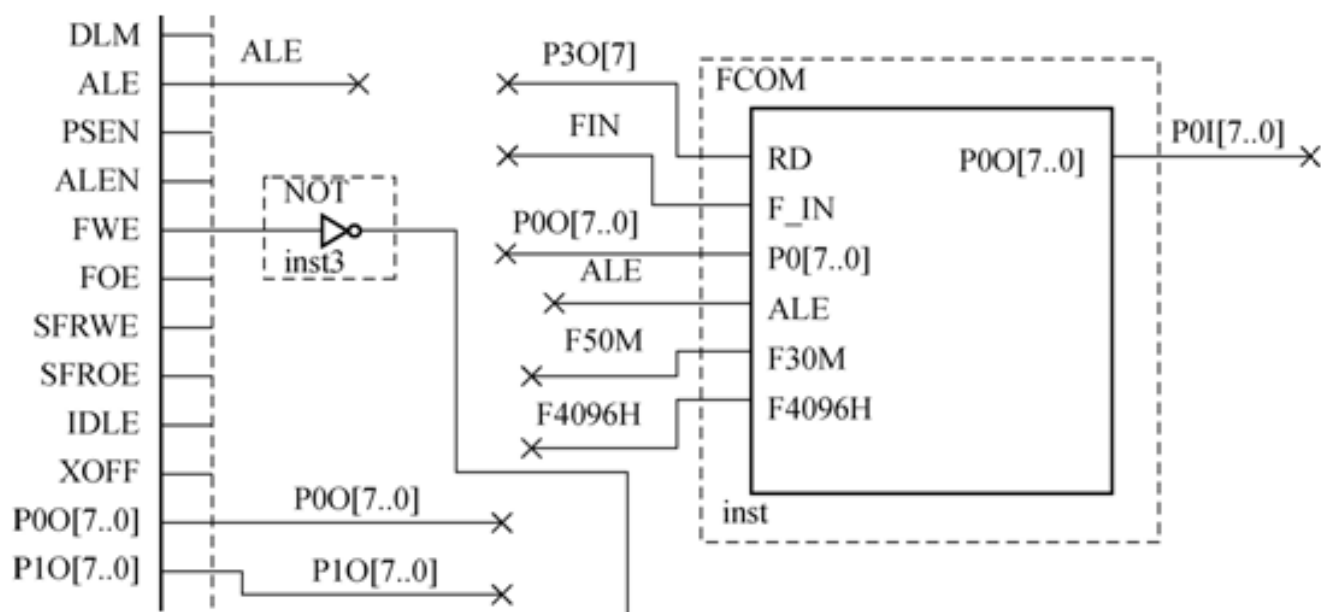


图 8-31 单片机扩展数字频率计模块的 FPGA 片上系统电路图

8.3 基于单片机IP核的FPGA片上系统设计

8.3.7 单片机扩展等精度频率测试模块的FPGA片上系统设计

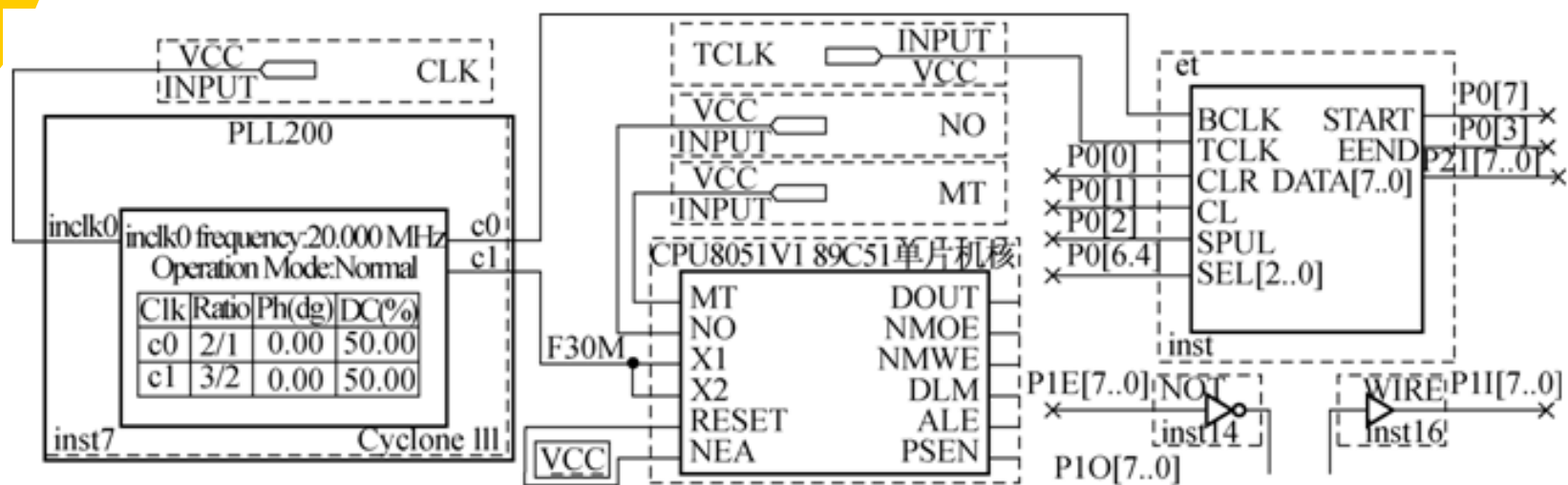


图 8-32 单片机扩展等精度频率测试模块的 FPGA 片上系统电路图

实验与设计

8-1 单片机串口扩展FPGA片上系统设计

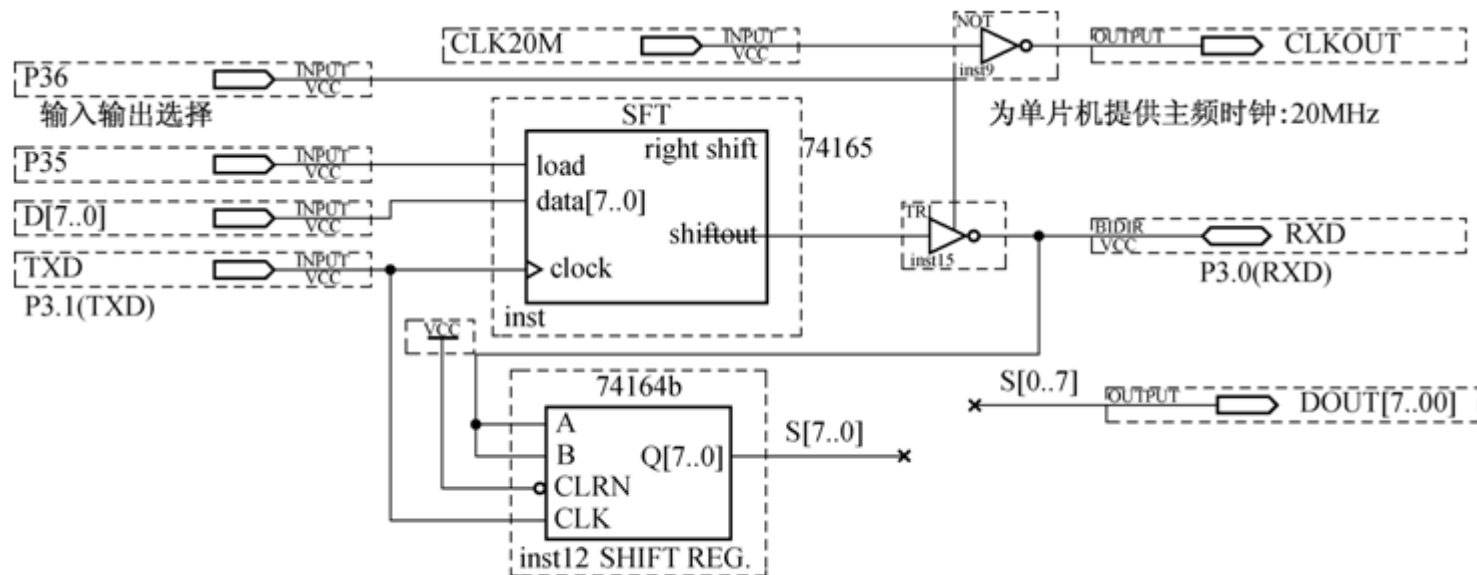


图 8-3 单片机串进并出和并进串出双向端口扩展 FPGA 模块电路图

实验与设计

8-2 单片机数据交换FPGA扩展电路设计

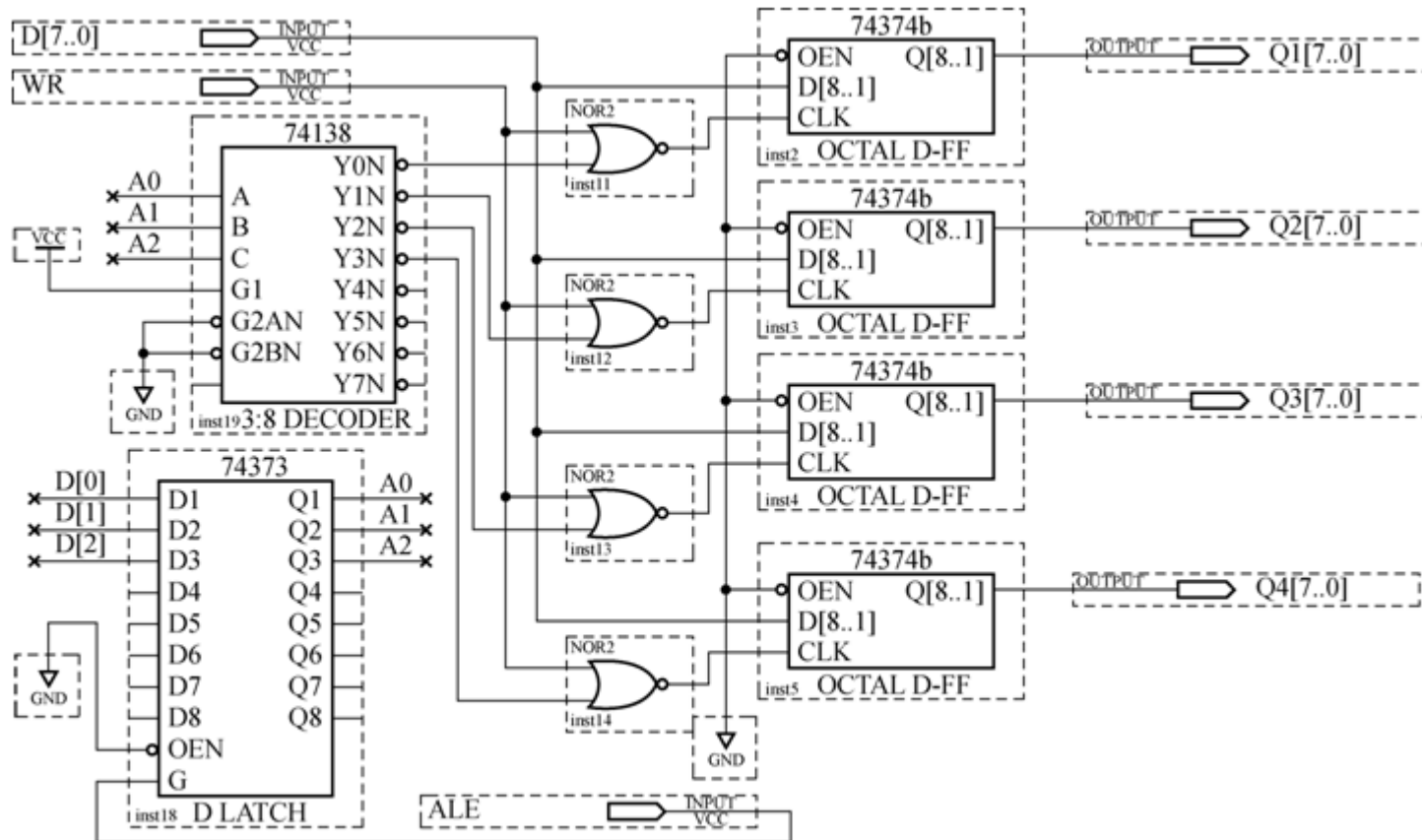


图 8-4 单片机 8 位四通道数据输出模块 FPGA 扩展电路图



实验与设计

8-3 扩展外部数据存储器的FPGA单片系统设计

8-4 四通道PWM信号发生器及其单片机控制系统设计

8-5 移相信号发生器的FPGA片上系统设计

8-6 里萨如图波形发生器的FPGA片上系统设计



实验与设计

8-7 数字电压表**FPGA**单片系统设计

8-8 数字频率计与单片机串行通信接口功能设计

8-9 直流电机测控**FPGA**单片系统设计

8-10 等精度频率计**FPGA**单片系统设计

实验与设计

8-11 其于FPGA的红外双向通信电路设计

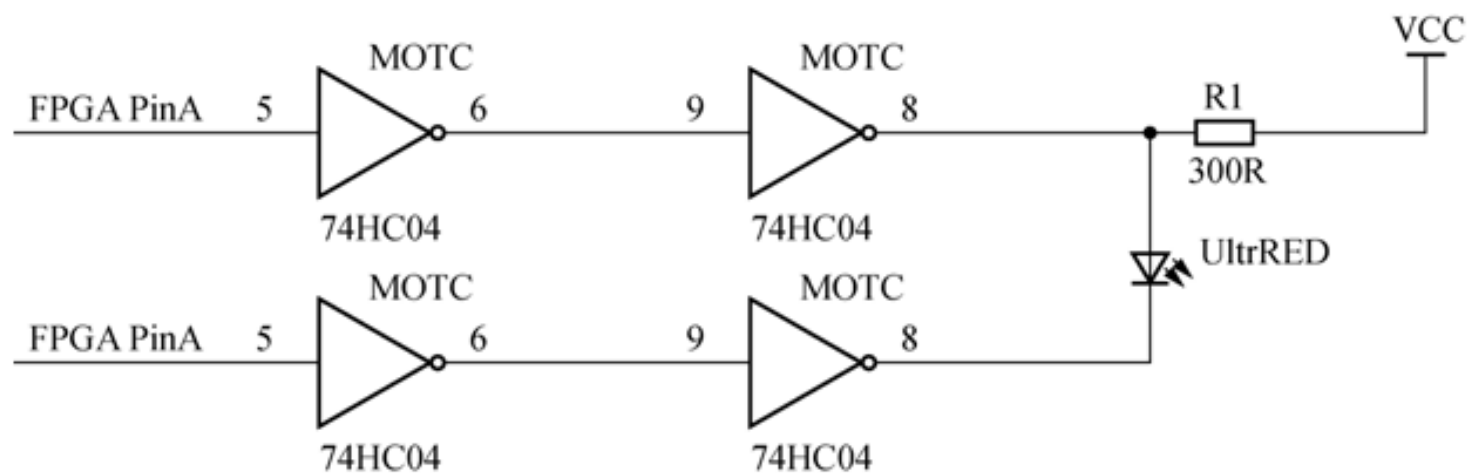


图 8-33 红外管发射电路