

第7章



时序逻辑电路的分析与设计

7.1 时序逻辑电路的特点与功能

7.1.1 时序电路的结构

$$y_i = f_i(x_1, \dots, x_n, w_1, \dots, w_l) \quad (i = 1, 2, \dots, j) \quad (7-1)$$

$$z_i = g_i(y_1, \dots, y_j, w_1, \dots, w_l) \quad (i = 1, 2, \dots, k) \quad (7-2)$$

$$w_i = h_i(y_1, \dots, y_j, w_1, \dots, w_l) \quad (i = 1, 2, \dots, l) \quad (7-3)$$

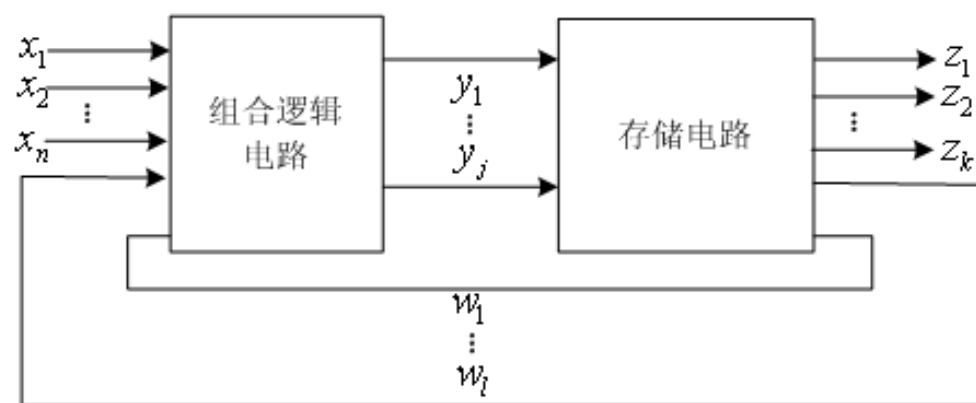


图 7-1 时序电路的一般结构

7.1 时序逻辑电路的特点与功能

7.1.2 时序电路的分类

$$\begin{cases} z_1 = g_1(w_1, \dots, w_l) \\ \vdots \\ z_k = g_k(w_1, \dots, w_l) \end{cases} \quad (7-4)$$

7.2 时序电路的手工分析方法

7.2.1 同步时序电路分析

【例7-1】试分析图7-2所示的同步时序电路的功能。

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases} \quad (7-5)$$

$$\begin{cases} Q_1^{n+1} = J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n = \bar{Q}_1^n \\ Q_2^{n+1} = J_2 \bar{Q}_2^n + \bar{K}_2 Q_2^n = A \oplus Q_1^n \oplus Q_2^n \end{cases} \quad (7-6)$$

$$Y = \overline{\overline{Q_1^{n+1}} \cdot \overline{Q_2^{n+1}} \cdot \overline{A} \cdot \overline{Q_2^{n+1}}} = Q_1^{n+1} Q_2^{n+1} + A + Q_2^{n+1} = A + Q_2^{n+1} \quad (7-7)$$

7.2 时序电路的手工分析方法

7.2.1 同步时序电路分析

【例7-1】试分析图7-2所示的同步时序电路的功能。

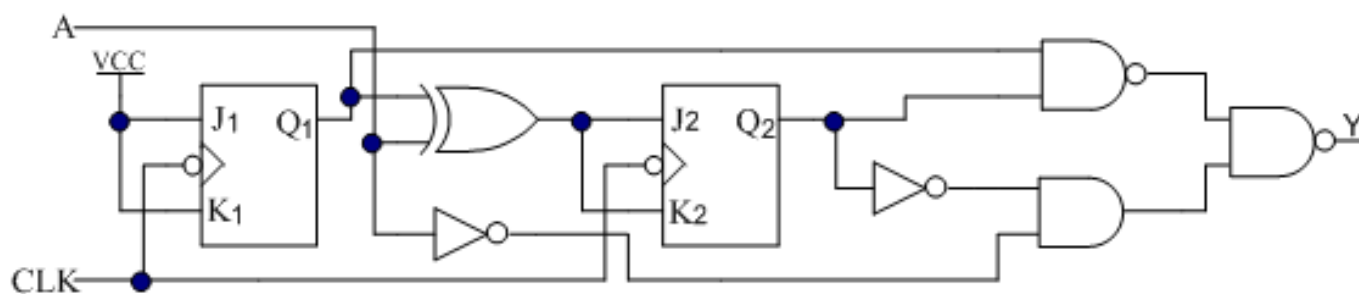


图 7-2 例 7-1 的逻辑电路图

7.2 时序电路的手工分析方法

7.2.1 同步时序电路分析

表 7-1 状态转换表

输入 A	现态		次态		输出 Y
	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	
0	0	0	0	1	0
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	1
1	1	1	1	0	1

7.2 时序电路的手工分析方法

7.2.1 同步时序电路分析

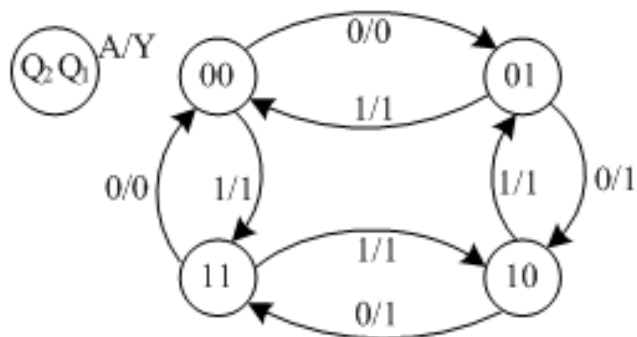


图 7-3 状态转换图

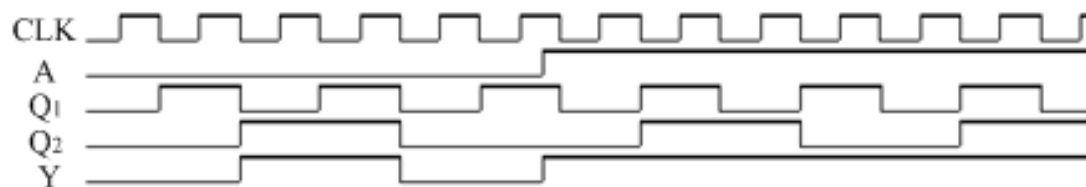


图 7-4 时序图

7.2 时序电路的手工分析方法

7.2.2 异步时序电路的分析举例

【例7-2】试分析图7-5所示的异步时序电路的功能。

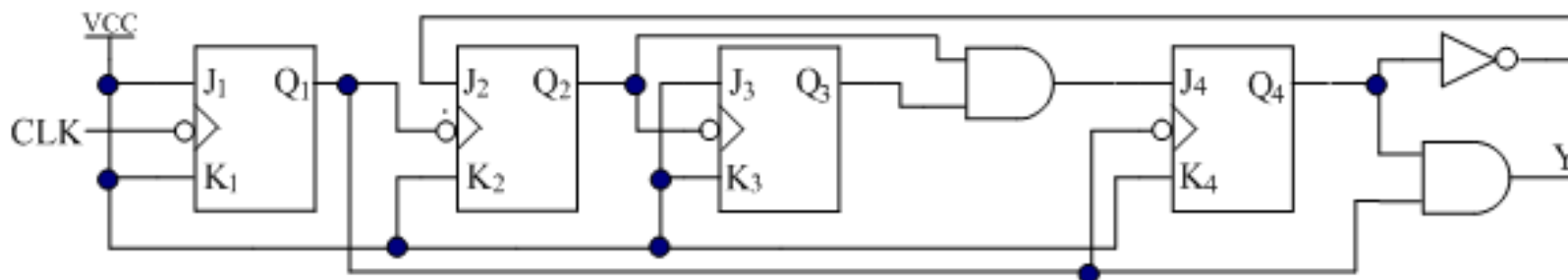


图 7-5 例 7-2 的异步时序电路图

7.2 时序电路的手工分析方法

7.2.2 异步时序电路的分析举例

【例7-2】试分析图7-5所示的异步时序电路的功能。

$$\begin{cases} CP_1 = CLK \downarrow \\ CP_2 = CP_4 = Q_1 \downarrow \\ CP_3 = Q_2 \downarrow \end{cases} \Rightarrow \begin{cases} CP_1 = CLK \downarrow = (1) \rightarrow (0) \\ CP_2 = CP_4 = Q_1^n(1) \rightarrow Q_1^{n+1}(0) \\ CP_3 = Q_2^n(1) \rightarrow Q_2^{n+1}(0) \end{cases} \quad (7-8)$$

$$\begin{cases} J_1 = K_1 = 1; J_2 = \bar{Q}_4^n, K_2 = 1 \\ J_3 = K_3 = 1; J_4 = Q_2^n Q_3^n, K_4 = 1 \end{cases} \quad (7-9)$$

$$\begin{cases} Q_1^{n+1} = \bar{Q}_1^n \cdot CP_1 & ; & Q_2^{n+1} = \bar{Q}_4^n \bar{Q}_2^n \cdot CP_2 \\ Q_3^{n+1} = \bar{Q}_3^n \cdot CP_3 & ; & Q_4^{n+1} = Q_2^n Q_3^n \bar{Q}_4^n \cdot CP_4 \end{cases} \quad (7-10)$$

$$Q_i^{n+1} = Q_i^n, \quad i=1, 2, 3, 4。$$

7.2 时序电路的手工分析方法

7.2.2 异步时序电路的分析举例

表 7-2 例 7-2 的状态转换表

时钟 顺序	时钟信号	触发器状态(现态)	触发器状态(次态现态)	输出 Y
	$CP_4CP_3CP_2CP_1$	$Q_4^n Q_3^n Q_2^n Q_1^n$	$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	
1	0 0 0 1	0 0 0 0	0 0 0 1	0
2	1 0 1 1	0 0 0 1	0 0 1 0	0
3	0 0 0 1	0 0 1 0	0 0 1 1	0
4	1 1 1 1	0 0 1 1	0 1 0 0	0
5	0 0 0 1	0 1 0 0	0 1 0 1	0
6	1 0 1 1	0 1 0 1	0 1 1 0	0
7	0 0 0 1	0 1 1 0	0 1 1 1	0
...

7.2 时序电路的手工分析方法

7.2.2 异步时序电路的分析举例

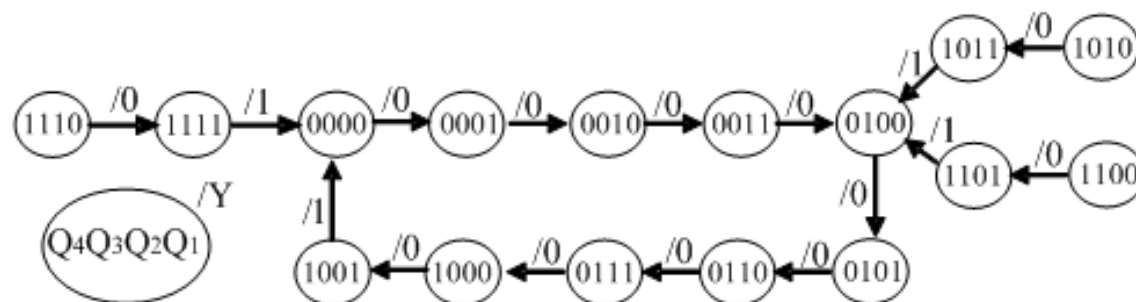


图 7-6 例 7-2 的状态图

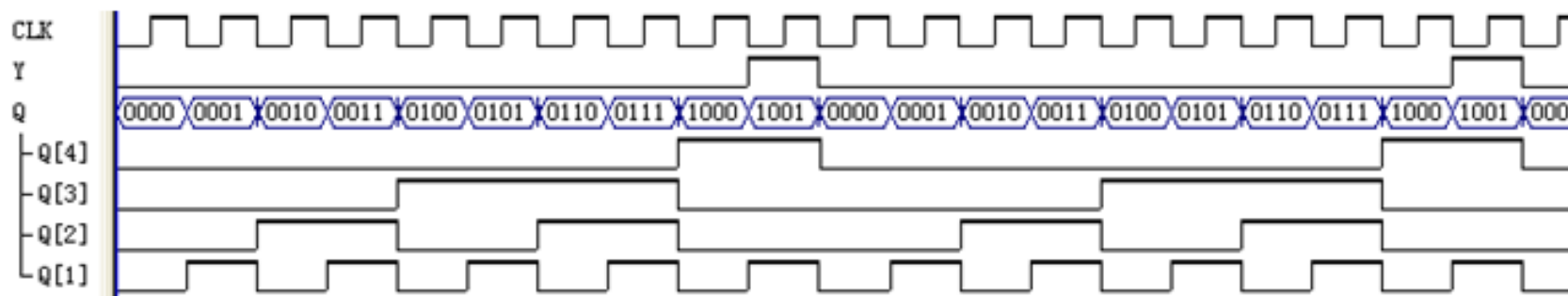


图 7-7 例 7-2 的时序仿真波形图

7.3 时序电路的手工设计方法

7.3.1 时序电路的手工设计步骤

1. 建立原始状态图
2. 状态化简
3. 状态编码
4. 求出逻辑方程
5. 画出电路图并检查电路的功能

7.3 时序电路的手工设计方法

7.3.2 设计举例

【例7-3】要求使用D触发器设计一个同步8421 BCD码的十进制加法计数器。

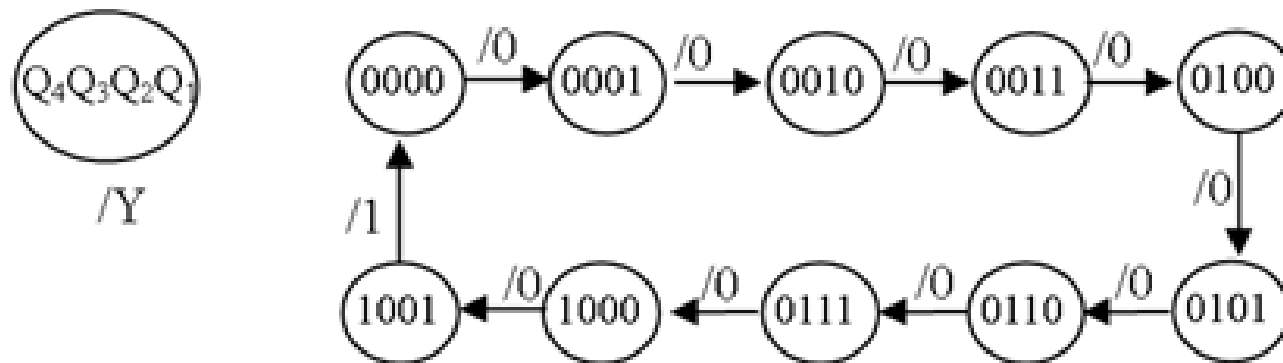


图 7-8 例 7-3 的状态图

7.3 时序电路的手工设计方法

7.3.2 设计举例

【例7-3】 要求使用D触发器设计一个同步8421 BCD码的十进制加法计数器。

$$Q_4^{n+1} = Q_3 Q_2 Q_1 + \bar{Q}_1 Q_4$$

$$Q_3^{n+1} = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_2 + Q_3 \bar{Q}_1 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_2 \bar{Q}_1$$

$$Q_2^{n+1} = \bar{Q}_4 Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2 ; \quad Q_1^{n+1} = \bar{Q}_1$$

7.3 时序电路的手工设计方法

7.3.2 设计举例

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	00	0001	0101	xxxx	1001
01	00	0010	0110	xxxx	0000
11	01	0100	1000	xxxx	xxxx
10	00	0011	0111	xxxx	xxxx

(a) 次态卡诺图

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	00	0	0	x	1
01	00	0	0	x	0
11	01	0	1	x	x
10	00	0	0	x	x

(b) Q_4^{n+1} 卡诺图

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	00	0	1	x	0
01	00	0	1	x	0
11	01	1	0	x	x
10	00	0	1	x	x

(c) Q_3^{n+1} 卡诺图

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	00	0	0	x	0
01	00	1	1	x	0
11	01	0	0	x	x
10	00	1	1	x	x

(d) Q_2^{n+1} 卡诺图

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	00	1	1	x	1
01	00	0	0	x	0
11	01	0	0	x	x
10	00	1	1	x	x

(e) Q_1^{n+1} 卡诺图

图 7-9 例 7-3 的次态卡诺图

7.3 时序电路的手工设计方法

7.3.2 设计举例

$$D_4 = Q_3 Q_2 Q_1 + \bar{Q}_1 Q_4$$

$$D_3 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_2 + Q_3 \bar{Q}_1 = \bar{Q}_3 Q_2 Q_1 + Q_3 \overline{Q_2 Q_1}$$

$$D_2 = \bar{Q}_4 Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2$$

$$D_1 = \bar{Q}_1$$

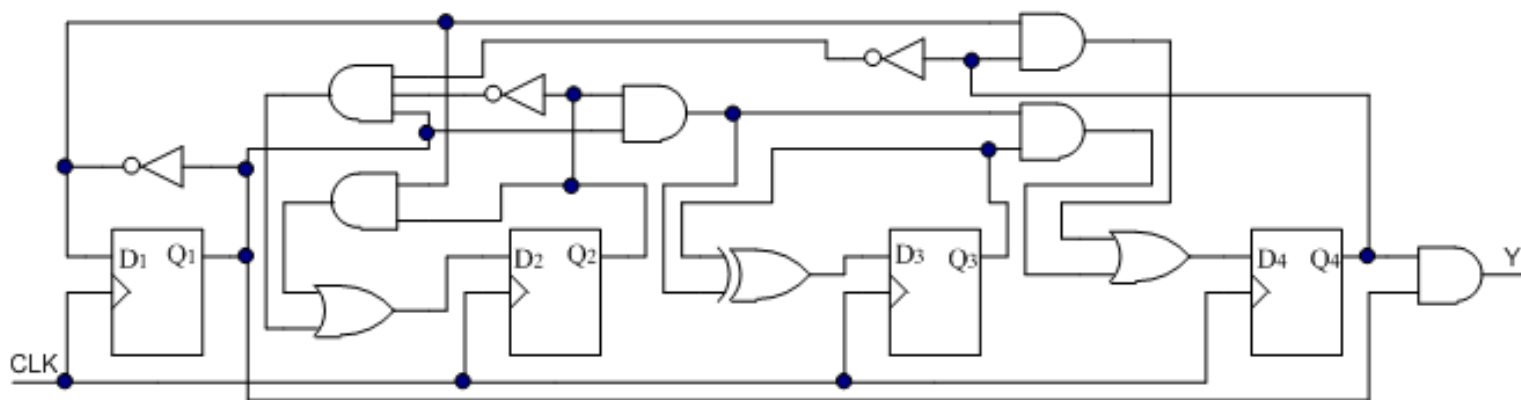


图 7-10 例 7-3 的逻辑电路原理图

7.3 时序电路的手工设计方法

7.3.2 设计举例

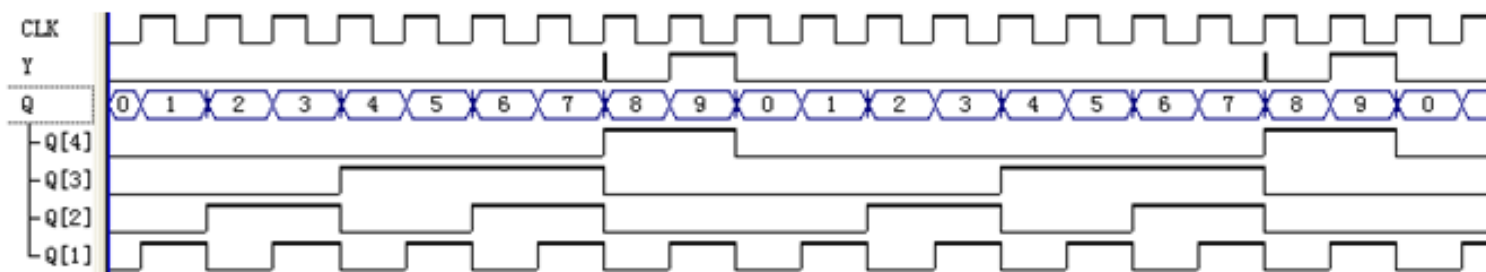


图 7-11 例 7-3 的时序仿真波形

7.3 时序电路的手工设计方法

7.3.2 设计举例

【例7-4】试设计一个**1010**序列检测器，画出状态表、状态图和逻辑电路图。设该同步时序电路有一根输入线**x**，一根输出线**z**，对应于序列**1010**的最后一个**0**，输出**z=1**。序列可以重复， 例如：**x = 00101001010101110** ； **z = 00000100001010000**

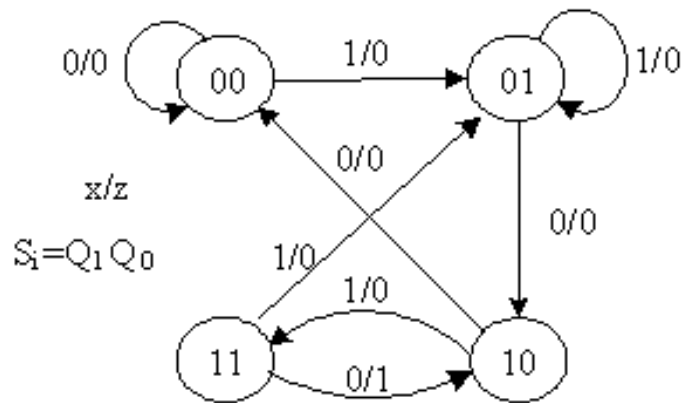


图 7-12 例 7-4 的状态转换图

表 7-3 例 7-4 的状态转换表

x	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	z
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	1	1	0	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0

7.3 时序电路的手工设计方法

7.3.2 设计举例

【例7-4】试设计一个1010序列检测器，画出状态表、状态图和逻辑电路图。设该同步时序电路有一根输入线x，一根输出线z，对应于序列1010的最后一个0，输出z=1。序列可以重复，例如：x = 00101001010101110 ; z = 00000100001010000

$$Q_0^{n+1} = x \quad ; \quad Q_1^{n+1} = \bar{x}Q_0 + x\bar{Q}_0Q_1 = (x \oplus Q_0)Q_1 \quad \bar{x}Q_0\bar{Q}_1$$

$$z = \bar{x}Q_0Q_1$$

Q_1Q_0 x	00	01	11	10
0	0	1	1	0
1	0	0	0	1

(b) Q_1^{n+1} 卡诺图

Q_1Q_0 x	00	01	11	10
0	0	0	0	0
1	1	1	1	1

(a) Q_0^{n+1} 卡诺图

图 7-13 例 7-4 的次态卡诺图

7.3 时序电路的手工设计方法

7.3.2 设计举例

【例7-4】试设计一个1010序列检测器，画出状态表、状态图和逻辑电路图。设该同步时序电路有一根输入线x，一根输出线z，对应于序列1010的最后一个0，输出z=1。序列可以重复，例如：x = 00101001010101110 ; z = 00000100001010000

$$\begin{cases} J_0 = x, & K_0 = \bar{x} \\ J_1 = \bar{x}Q_0, & K_1 = x \oplus Q_0 \end{cases}$$

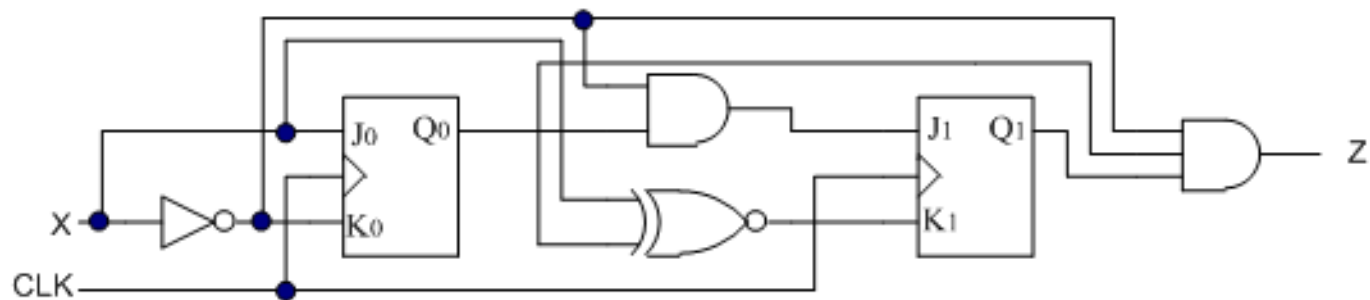


图 7-14 例 7-4 的逻辑电路原理图

7.4 寄存器

7.4.1 并行寄存器

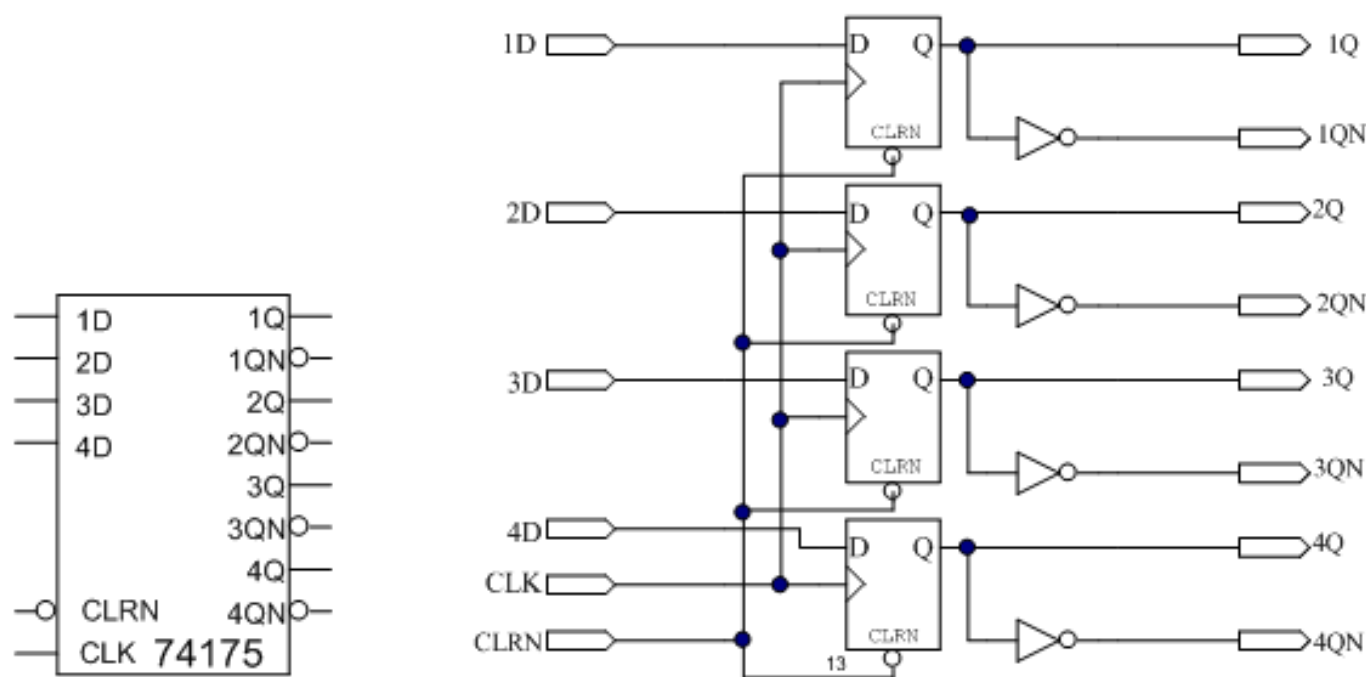


图 7-15 四位边沿触发型寄存器 74LS175 的逻辑符号和内部逻辑电路图

7.4 寄存器

7.4.1 并行寄存器

清零	时钟脉冲	输入				输出				工作模式
CLR _N	CLK	1D	2D	3D	4D	1Q	2Q	3Q	4Q	
0	×	×	×	×	×	0	0	0	0	异步清零
1	↑	D ₀	D ₁	D ₂	D ₃	D ₀	D ₁	D ₂	D ₃	数据寄存
1	1	×	×	×	×		保	持		数据保持
1	0	×	×	×	×		保	持		数据保持

7.4 寄存器

7.4.2 移位寄存器

1. 串行输入/串行输出/并行输出移位寄存器

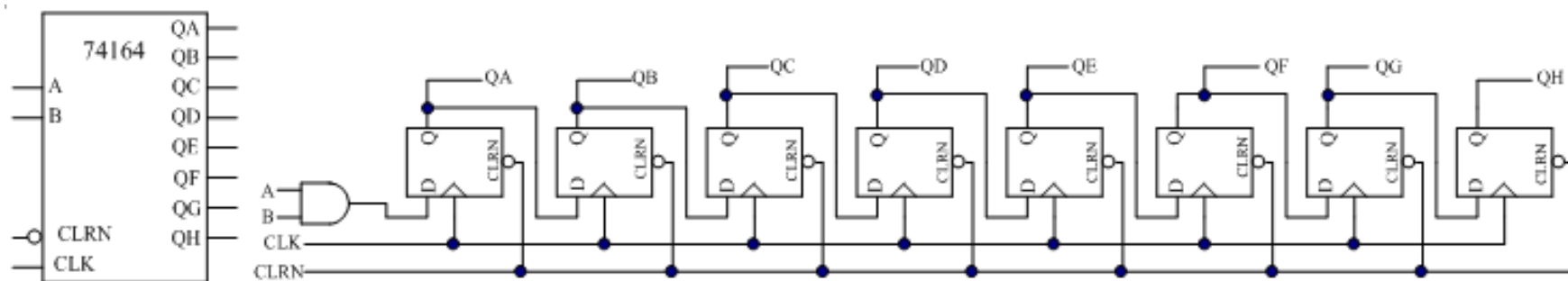


图 7-16 74LS164 的逻辑符号及其内部逻辑电路图

7.4 寄存器

7.4.2 移位寄存器

1. 串行输入/串行输出/并行输出移位寄存器

表 7-6 74LS164 的真值表						
输 入				输 出		功能
CLK	CLR	A	B	QA	QB...QH	
×	0	×	×	0	0...0	清零
0	1	×	×	QA ₀	QB ₀ ...QH ₀	保持
↑	1	1	1	1	QA ⁿ ...QH ⁿ	移位
↑	1	0	×	0	QA ⁿ ...QH ⁿ	移入 0
↑	1	×	0	0	QA ⁿ ...QH ⁿ	移入 0

7.4 寄存器

7.4.2 移位寄存器

1. 串行输入/串行输出/并行输出移位寄存器

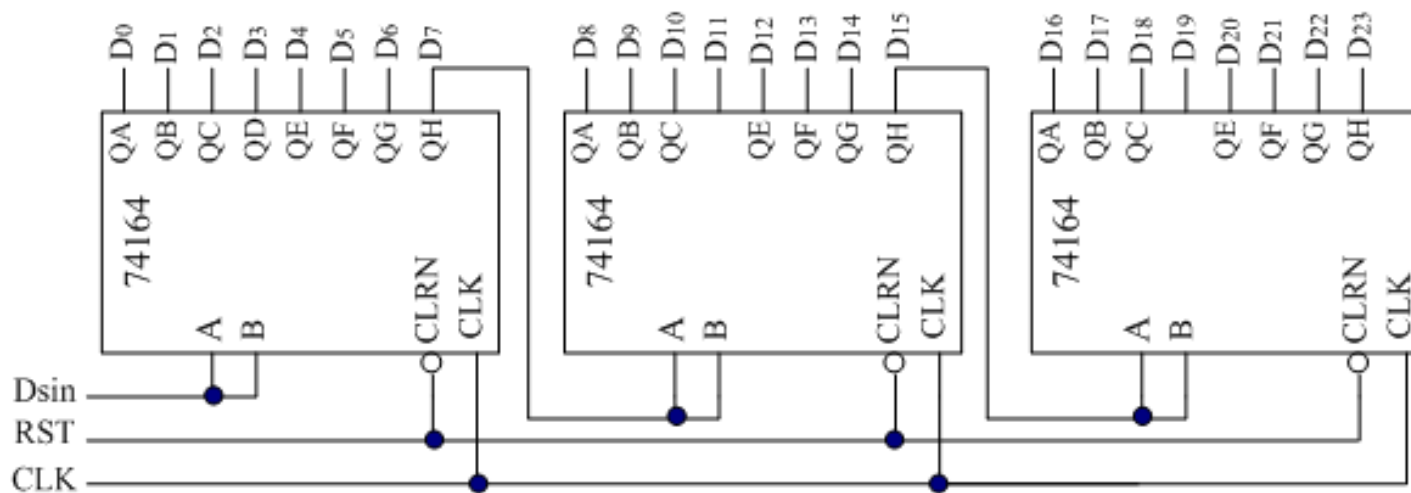


图 7-17 3 片 74LS164 将两位数据输出口扩展为 24 位并行数据输出口

7.4 寄存器

7.4.2 移位寄存器

2. 并行输入/串行输出移位寄存器

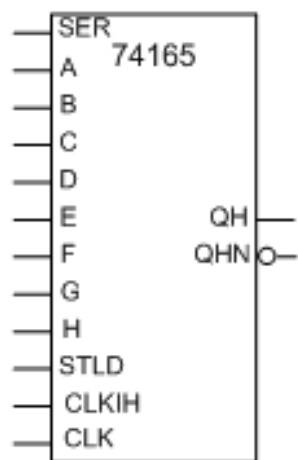


图 7-18 74LS165 的逻辑符号

表 7-7 74LS165 真值表

输入					内部输出		输出	功能
STLD	CLKIH	CLK	SER	并行 A...H	QA	QB	QH	
0	×	×	×	a...h	a	b	h	置入数据
1	0	0	×	×	QA0	QB0	QH0	保持
1	0	↑	1	×	1	QA0	QG0	移位
1	0	↑	0	×	0	QA0	QG0	移位
1	1	×	×	×	QA0	QB0	QH0	禁止移位

7.4 寄存器

7.4.2 移位寄存器

2. 并行输入/串行输出移位寄存器

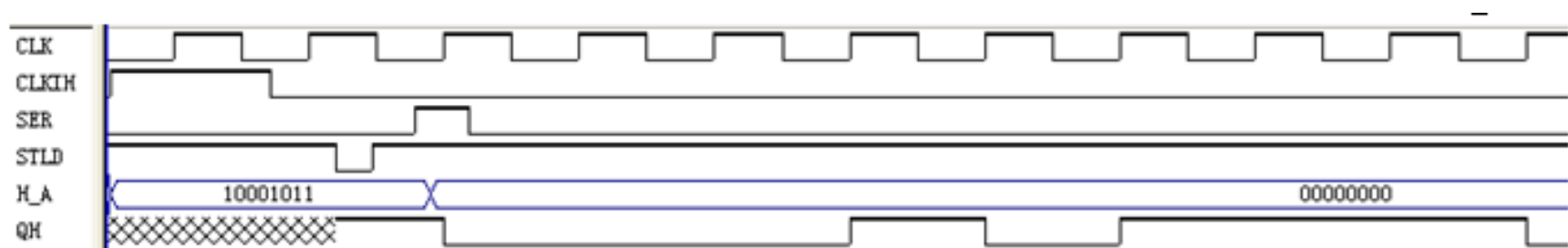


图 7-19 74LS165 的仿真波形

7.4 寄存器

7.4.2 移位寄存器

3. 双向移位寄存器及其应用举例

表 7-8 移位寄存器 74LS194 的真值表

输 入										输出				工作模式
清零	控制		串行输入		时钟	并行输入				QA	QB	QC	QD	
CLR _N	S ₁	S ₀	SLSI	SRSI	CLK	A	B	C	D	QA	QB	QC	QD	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	0	×	×	×	×	×	×	×	QA	QB	QC	QD	保持
1	0	1	×	1	↑	×	×	×	×	1	QA	QB	QC	右移, SRSI 串行输入, QA 串行输出
1	0	1	×	0	↑	×	×	×	×	0	QA	QB	QC	
1	1	0	1	×	↑	×	×	×	×	QB	QC	QD	1	左移, SLSI 串行输入, QD 串行输出
1	1	0	0	×	↑	×	×	×	×	QB	QC	QD	0	
1	1	1	×	×	↑	A	B	C	D	A	B	C	D	并行置数

7.4 寄存器

7.4.2 移位寄存器

3. 双向移位寄存器及其应用举例

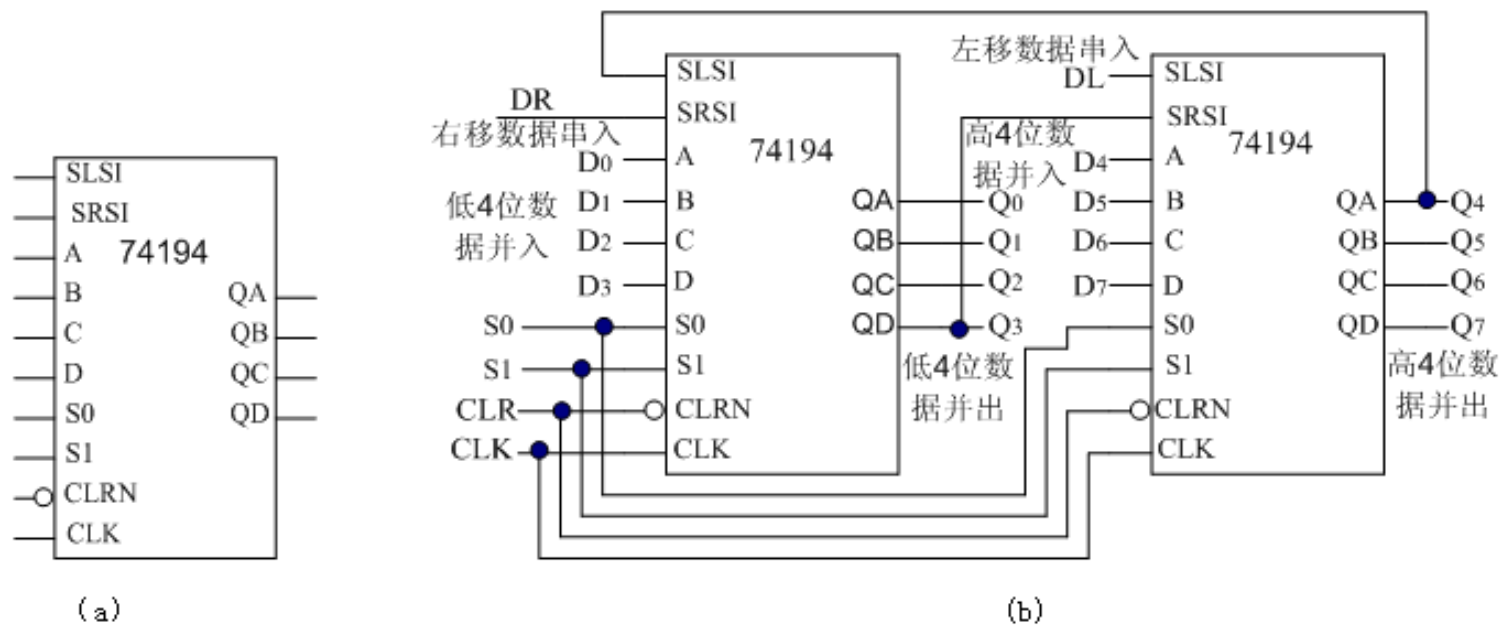


图 7-20 74LS194 的逻辑符号及其应用示例电路图

7.5 计数器及其手工设计技术

7.5.1 异步计数器设计

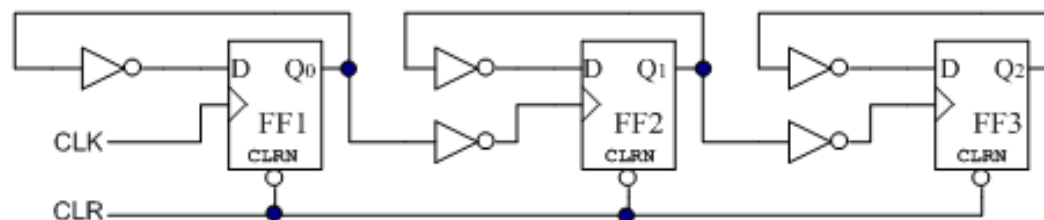


图 7-21 三个 D 触发器构成的二进制异步加法计数器

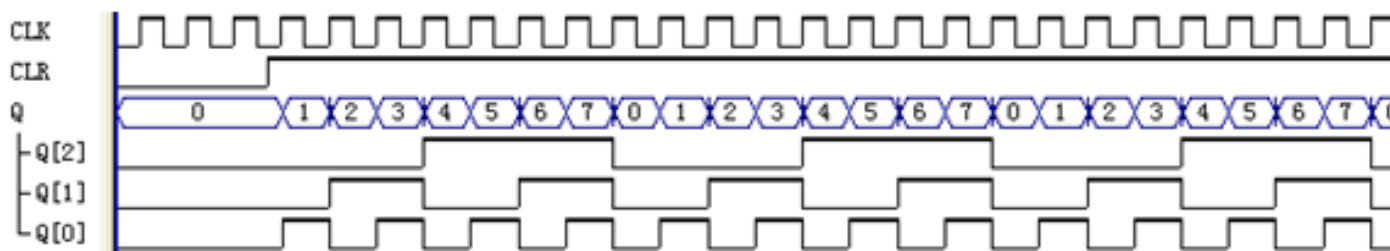


图 7-22 三位二进制异步加法计数器仿真波形

7.5 计数器及其手工设计技术

7.5.2 同步计数器设计

1. 同步二进制加法计数器

$$D_i = (Q_0 Q_1 \cdots Q_{i-1}) \oplus Q_i \quad (7-11)$$

$$D_0 = \bar{Q}_0 ; \quad D_1 = Q_0 \oplus Q_1 ; \quad D_2 = (Q_0 Q_1) \oplus Q_2 \quad (7-12)$$

$$Q_i^{n+1} = D_i \quad ; \quad C = Q_2 Q_1 Q_0 \quad (7-13)$$

7.5 计数器及其手工设计技术

7.5.2 同步计数器设计

1. 同步二进制加法计数器

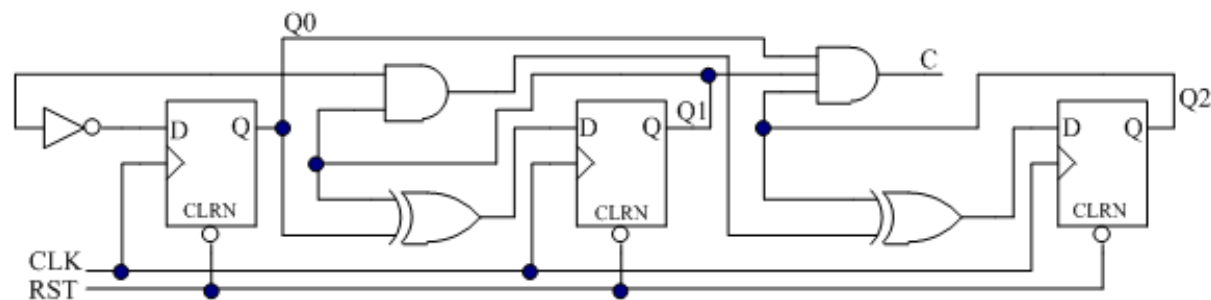


图 7-23 D 触发器构成的三位二进制同步加法计数器

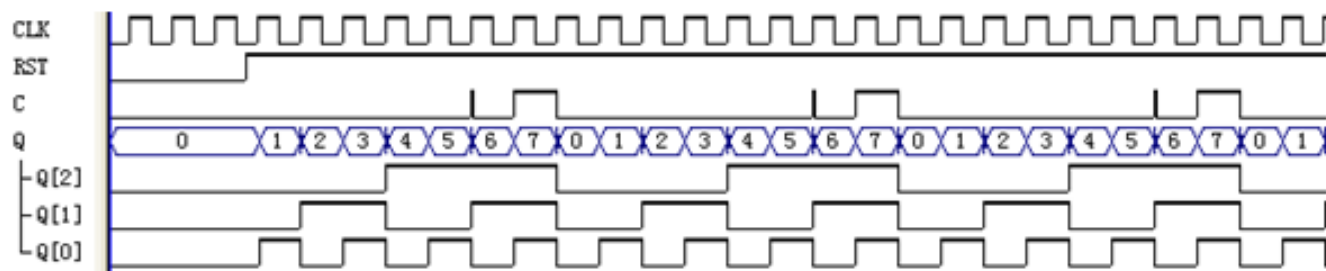


图 7-24 三位二进制加法计数器的仿真波形

7.5 计数器及其手工设计技术

2. 同步二进制减法计数器设计

$$D_i = (Q_0 + Q_1 + \dots + Q_{i-1}) \odot Q_i \quad (7-14)$$

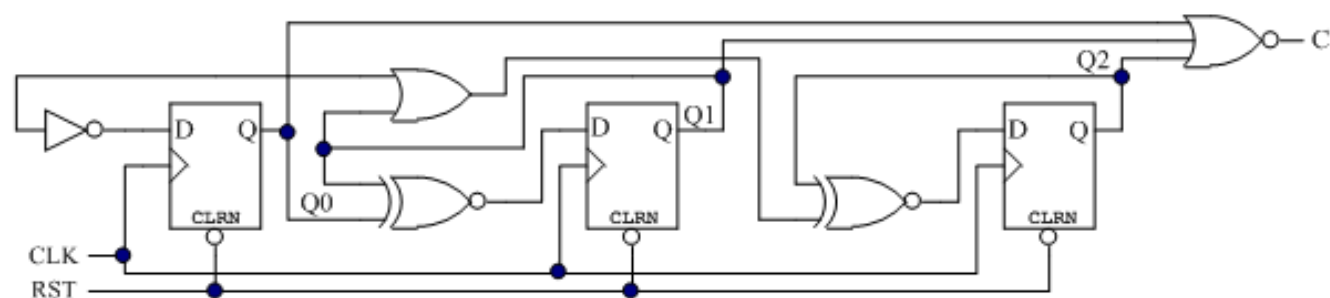


图 7-25 用 D 触发器构成的三位二进制减法计数器电路原理图

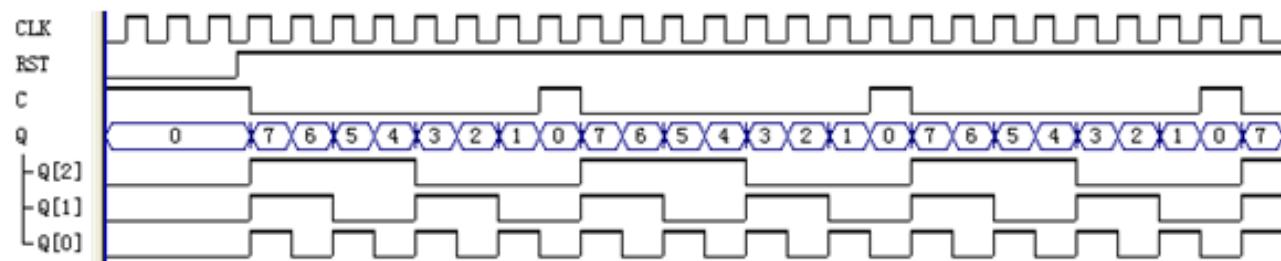


图 7-26 三位二进制减法计数器的仿真波形

7.5 计数器及其手工设计技术

3. 同步非二进制计数器设计

【例7-5】采用“反馈清零”法设计一个含异步清0的十进制加法计数器。

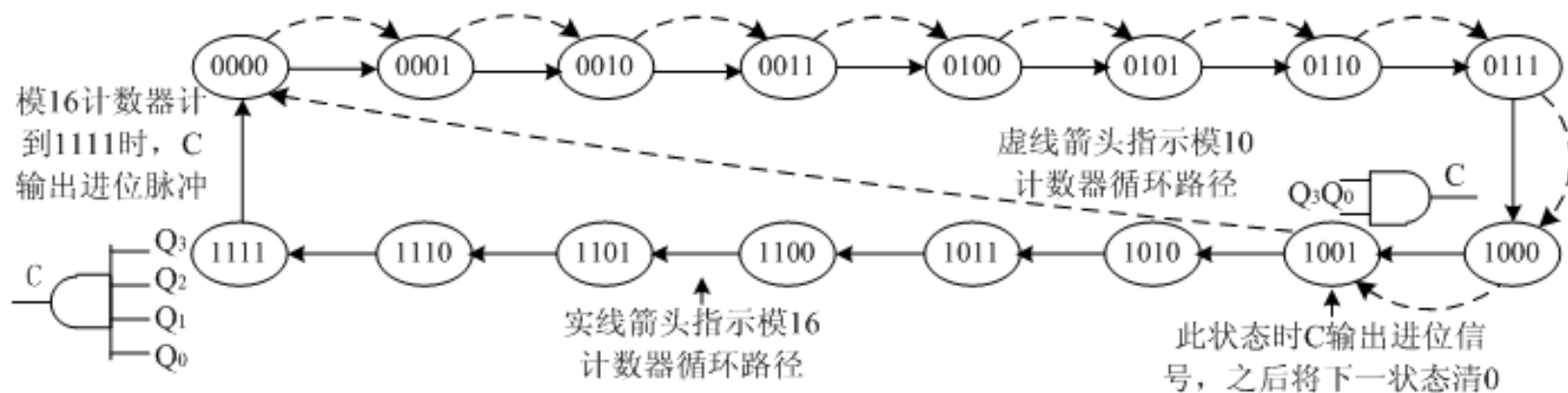


图 7-27 状态图。虚线箭头指示出模 10 计数器输出状态循环路径

7.5 计数器及其手工设计技术

3. 同步非二进制计数器设计

【例7-5】 采用“反馈清零”法设计一个含异步清0的十进制加法计数器。

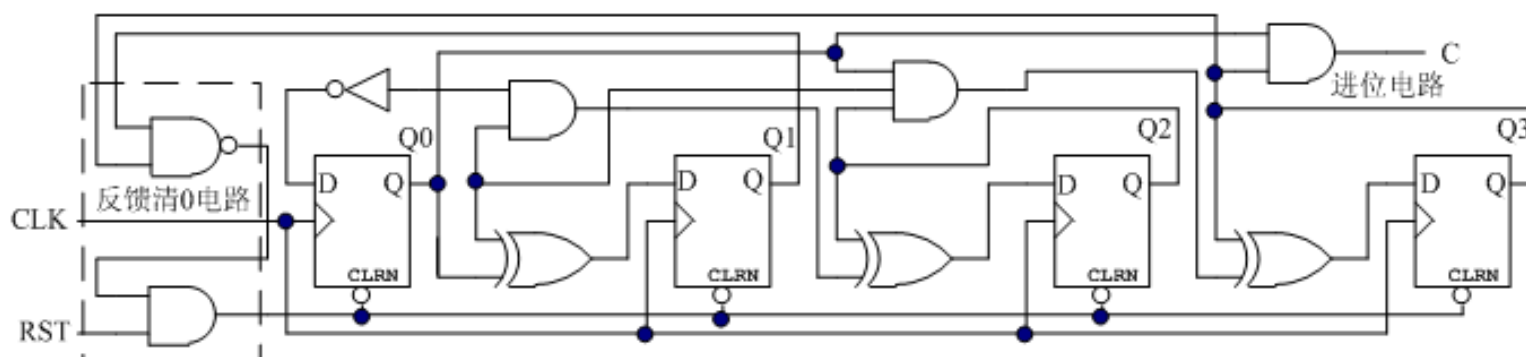


图 7-28 模 10 同步加法计数器的电路原理图

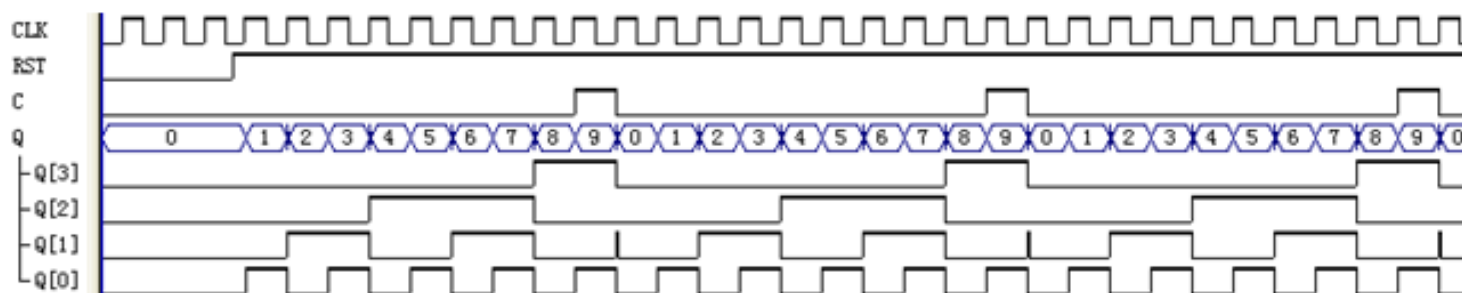


图 7-29 模 10 同步加法计数器的仿真波形

7.5 计数器及其手工设计技术

【例7-6】设计一个模可控同步加法计数器。要求当控制信号 $M=0$ 时，以模5计数器工作；当 $M=1$ 时，以模7计数器工作。

$M=0$ 时， $N=5$ ； $M=1$ 时， $N=7$ 。

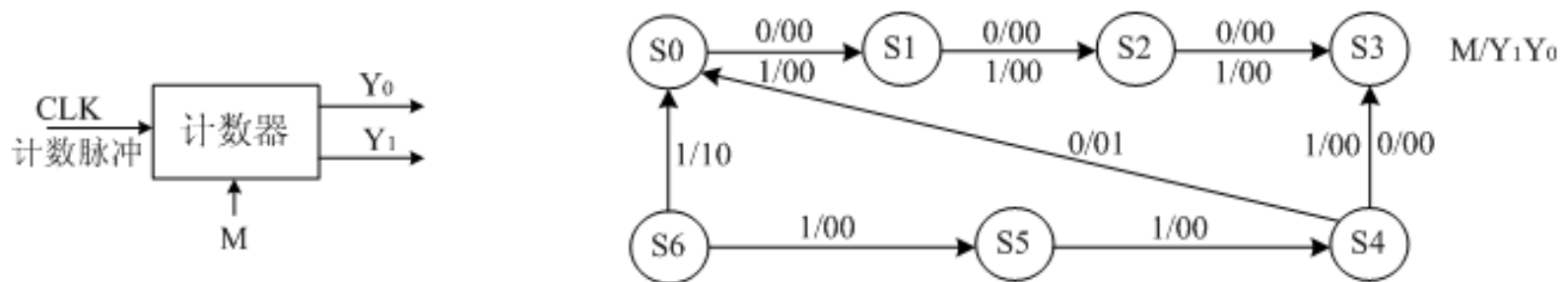


图 7-30 电路模块结构和原始状态图

7.5 计数器及其手工设计技术

【例7-6】设计一个模可控同步加法计数器。要求当控制信号**M=0**时，以模5计数器工作；当**M=1**时，以模7计数器工作。

$$\begin{aligned}Q_2^{n+1} &= M\bar{Q}_1Q_2 + Q_1Q_0\bar{Q}_2 \\Q_1^{n+1} &= \bar{Q}_1Q_0 + \bar{Q}_2Q_1\bar{Q}_0 \\Q_0^{n+1} &= M\bar{Q}_1\bar{Q}_0 + \bar{Q}_2Q_0\end{aligned}\tag{7-14}$$

$$Y_0 = \bar{M}Q_2 ; \quad Y_1 = Q_1Q_2\tag{7-15}$$

7.5 计数器及其手工设计技术

【例7-6】设计一个模可控同步加法计数器。要求当控制信号 $M=0$ 时，以模5计数器工作；当 $M=1$ 时，以模7计数器工作。

	$Q_2 Q_0$	00	01	11	10
$M Q_1$	00	001	010	100	011
	01	000	xxx	xxx	xxx
	11	101	110	xxx	000
	10	001	010	100	011

图 7-31 计数器的次态卡诺图

	$Q_2 Q_0$	00	01	11	10
$M Q_1$	00	0	0	0	0
	01	1	x	x	x
	11	0	0	x	0
	10	0	0	0	0

(a) Y_0 的卡诺图

	$Q_2 Q_0$	00	01	11	10
$Q_2 Q_1$	00	0	0	0	0
	01	0	x	x	x
	11	0	0	x	1
	10	0	0	0	0

(b) Y_1 的卡诺图

图 7-32 输出卡诺图

7.5 计数器及其手工设计技术

【例7-6】设计一个模可控同步加法计数器。要求当控制信号 $M=0$ 时，以模5计数器工作；当 $M=1$ 时，以模7计数器工作。

表 7-9 当 $M=0$ 时的情况

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y_1	Y_0
1	0	1	0	1	0	0	0
1	1	0	0	0	0	0	1
1	1	1	0	0	0	0	1

表 7-10 当 $M=1$ 时的情况

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y_1	Y_0
1	1	1	0	0	0	0	1

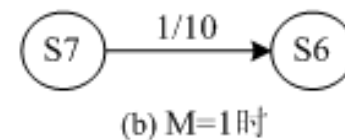
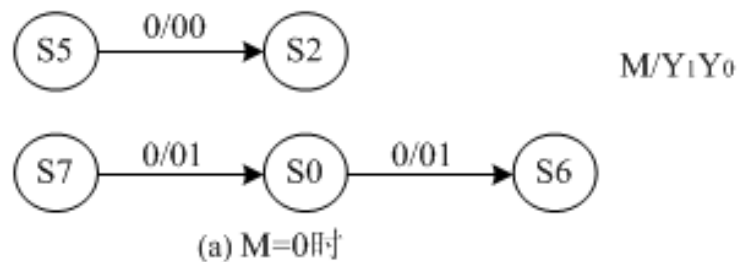


图 7-33 无效状态转换图

7.5 计数器及其手工设计技术

【例7-6】设计一个模可控同步加法计数器。要求当控制信号 $M=0$ 时，以模5计数器工作；当 $M=1$ 时，以模7计数器工作。

$$\begin{aligned} J_2 &= Q_1 Q_0, & ; & & K_2 &= \overline{M} \overline{Q_1} \\ J_1 &= Q_0, & ; & & K_1 &= \overline{\overline{Q_2} \overline{Q_0}} = Q_2 + Q_0 \\ J_0 &= M \overline{Q_1} + \overline{Q_2} & ; & & K_0 &= 1 \end{aligned}$$

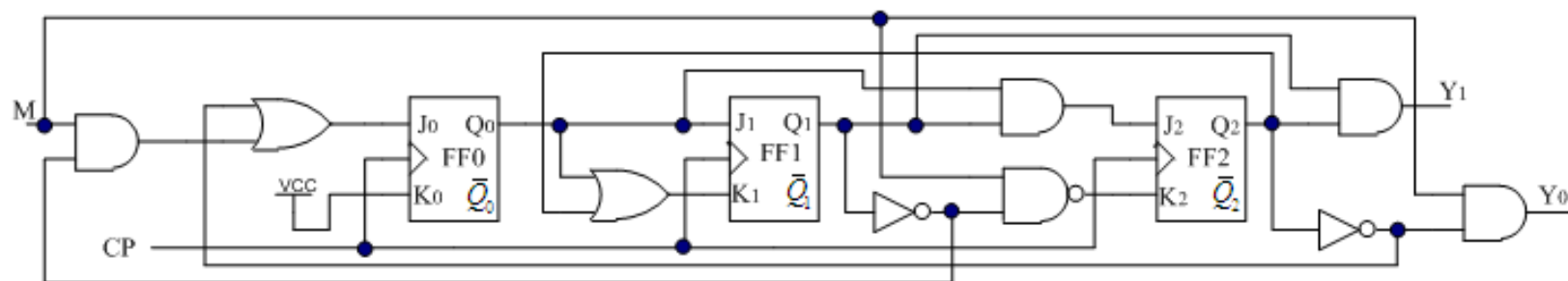


图 7-34 例 7-6 的逻辑电路图

7.6 专用集成计数器应用示例

7.6.1 用74LS161构成十二进制加法计数器

表 7-11 74LS161 功能表

清零	置数	使能		时钟	预置数据				输出				工作模式
									QD	QC	QB	QA	
CLR _N	LD _N	ENP	ENT	CLK	D	C	B	A	QD	QC	QB	QA	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d ₃	d ₂	d ₁	d ₀	d ₃	d ₂	d ₁	d ₀	同步置数
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	计数				加法计数

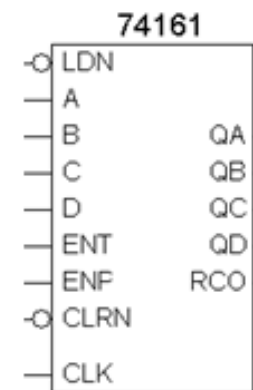


图 7-35 74161 逻辑符号

7.6 专用集成计数器应用示例

【例7-7】用74LS161构成十二进制加法计数器。

1. 反馈清零法

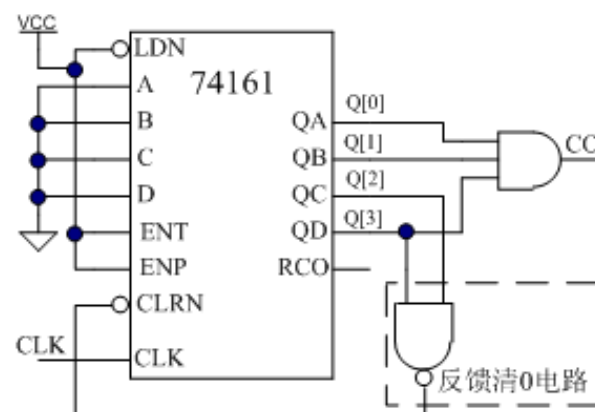


图 7-36 反馈清零法的计数器电路

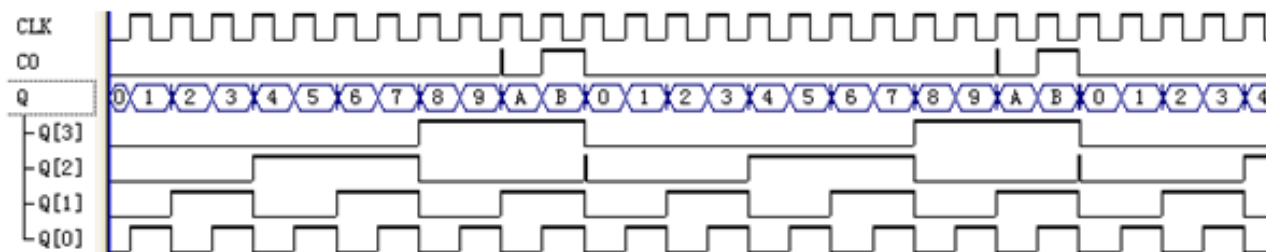


图 7-38 由 74161 构成的模 12 加法计数器仿真波形

7.6 专用集成计数器应用示例

【例7-7】用74LS161构成十二进制加法计数器。

2. 反馈置数法

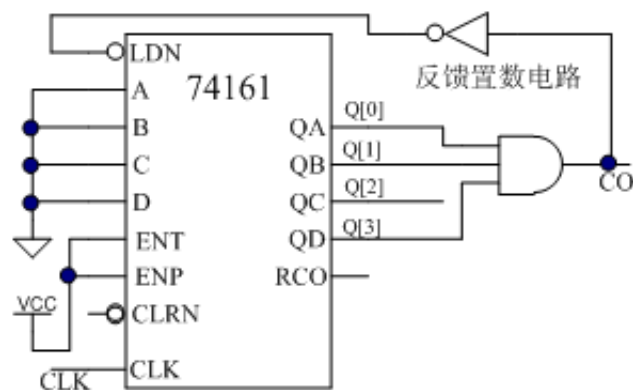


图 7-37 反馈置 0 方法的计数器电路

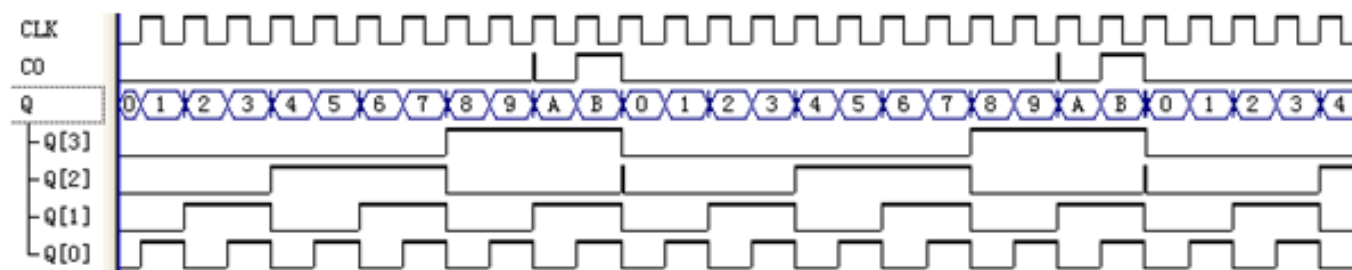


图 7-38 由 74161 构成的模 12 加法计数器仿真波形

7.6 专用集成计数器应用示例

【例7-7】用74LS161构成十二进制加法计数器。

2. 反馈置数法

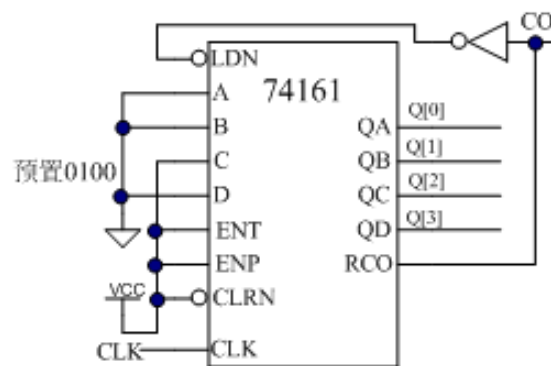


图 7-39 反馈置数法的计数器电路

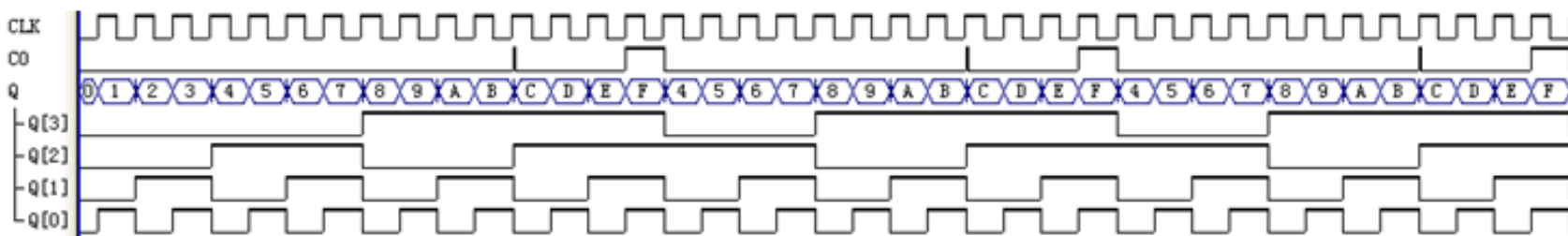


图 7-40 反馈置数 0100 构建的模 12 的加法计数器仿真波形

7.6 专用集成计数器应用示例

7.6.2 用74LS160构成67进制的十位加法计数器

【例7-8】 试用两片74LS160构成一个模为67的十进制加法计数器。

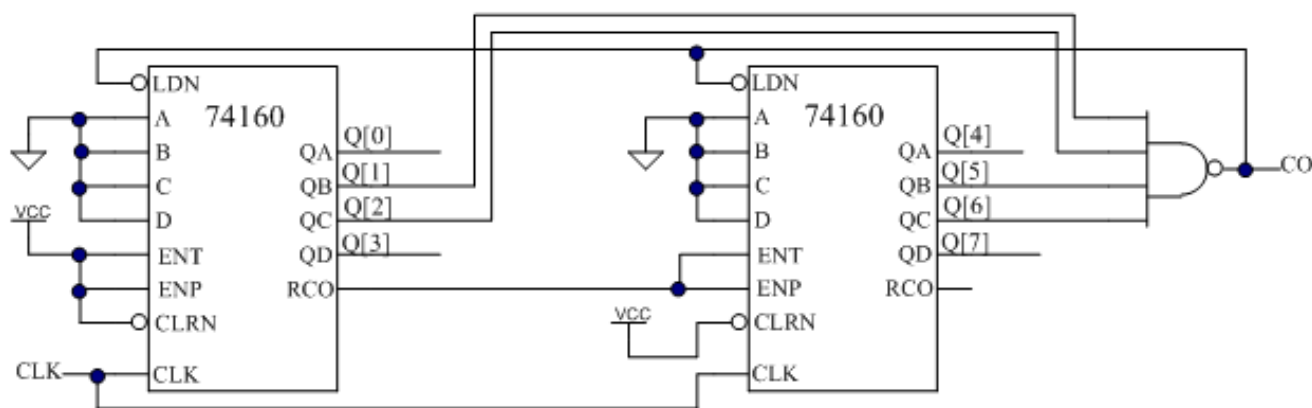


图 7-41 由两片 74LS160 构成的十进制计数器（模 67）

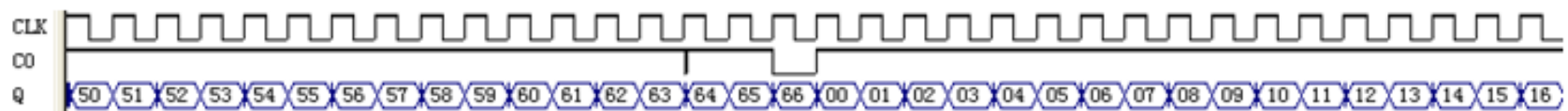


图 7-42 例 7-8 的仿真波形图

7.6 专用集成计数器应用示例

7.6.3 用74LS161设计一个8位二进制可预置计数器

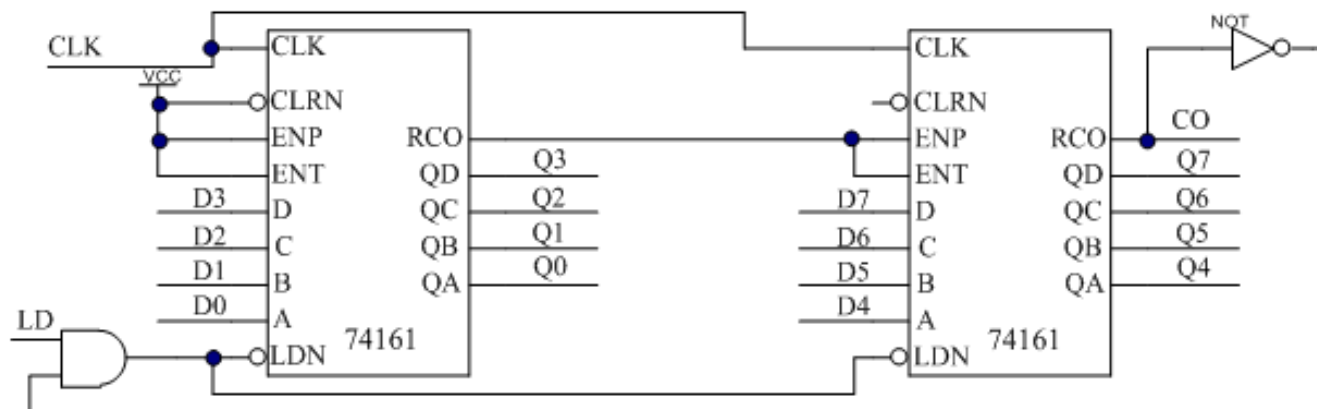


图 7-43 用 2 片 74LS161 构成 8 位二进制可预置计数器

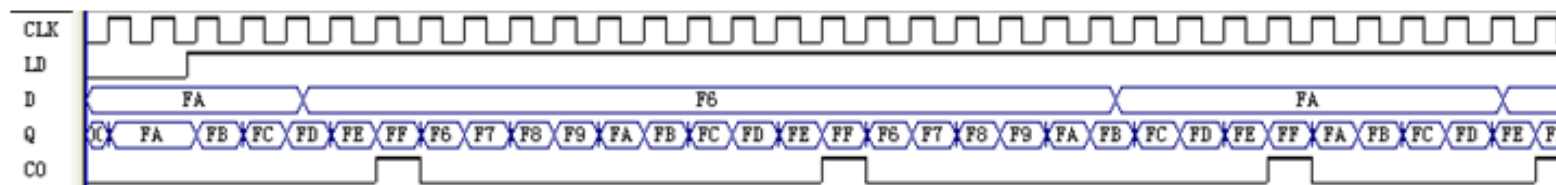


图 7-44 图 7-43 电路的仿真波形图

习题

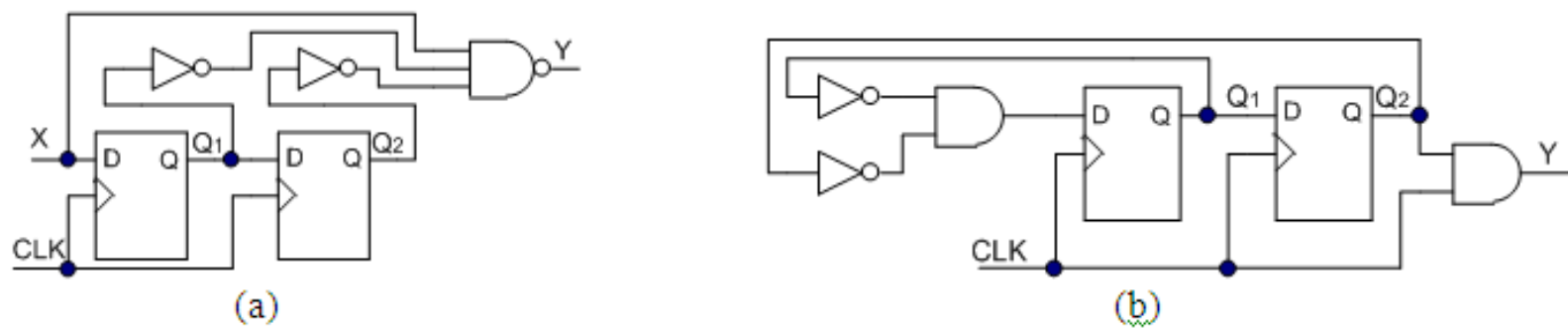


图 7-45 题 7-1 的逻辑图

习题

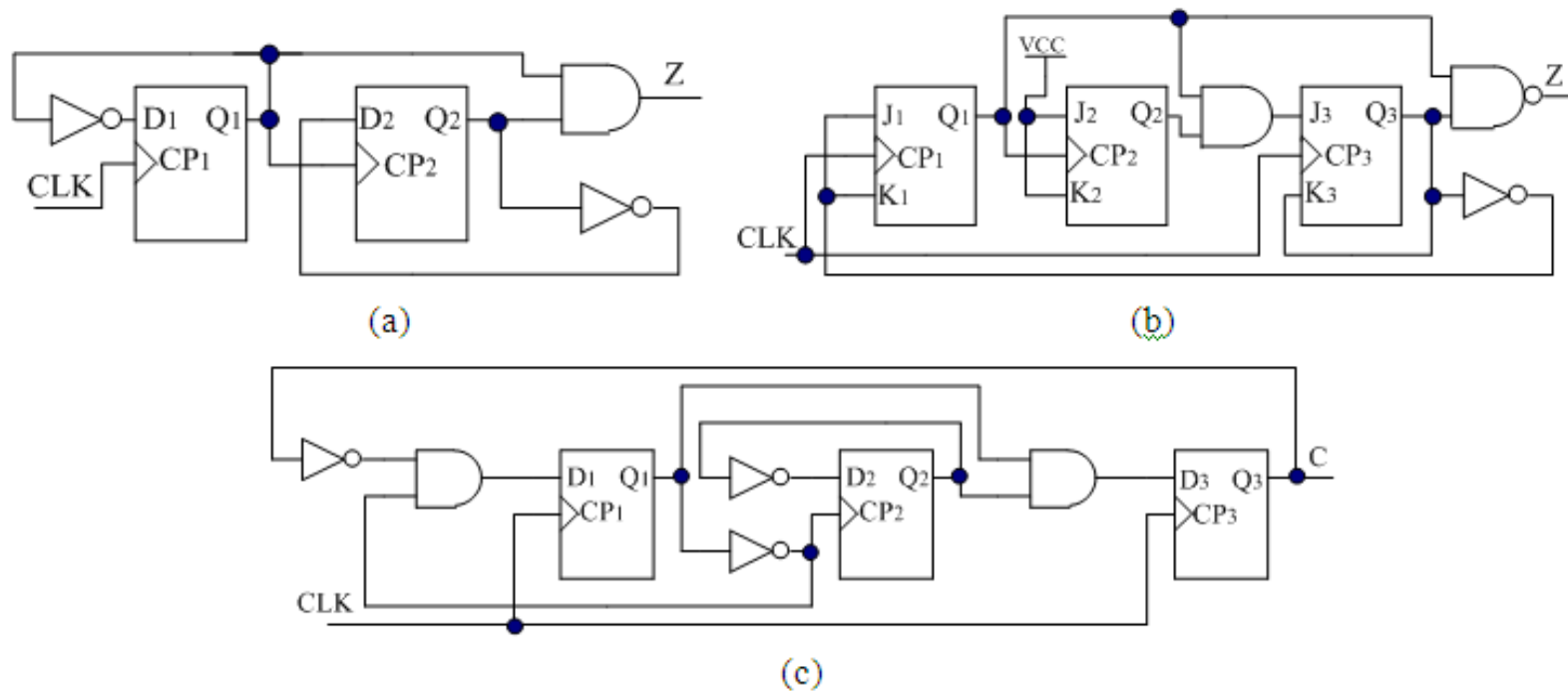


图 7-46 题 7-2 的逻辑图

习题

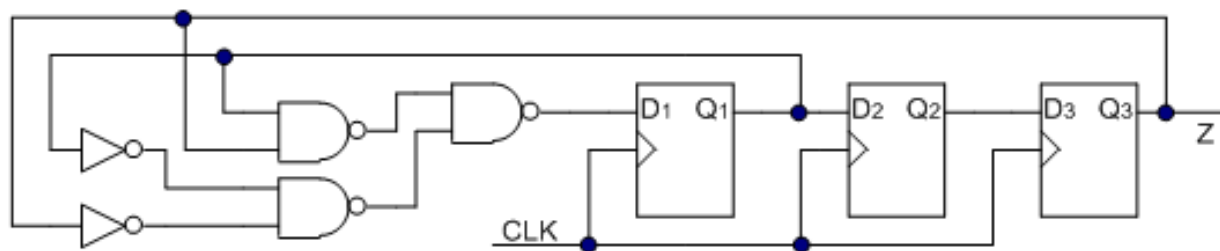


图 7-47 题 7-3 的逻辑图

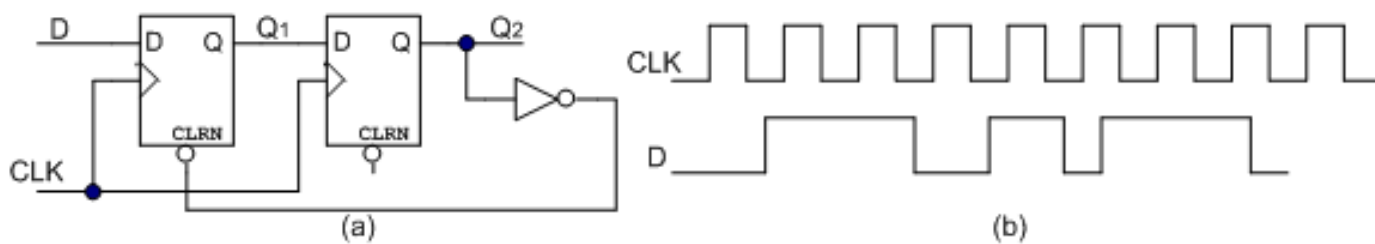


图 7-48 题 7-4 (a)逻辑图和(b)激励波形图

习题

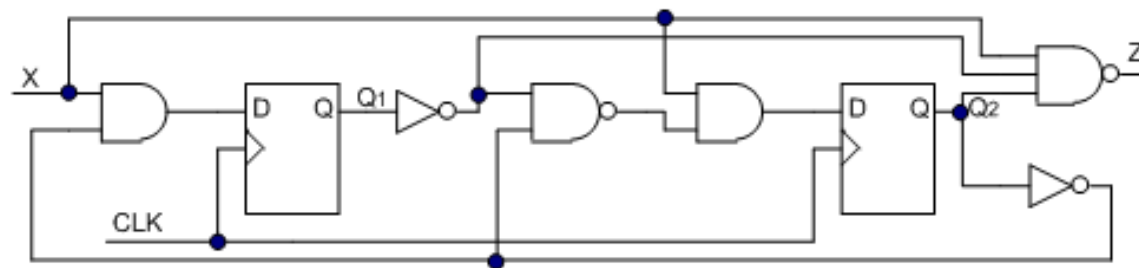


图7-49 题7-5的逻辑图

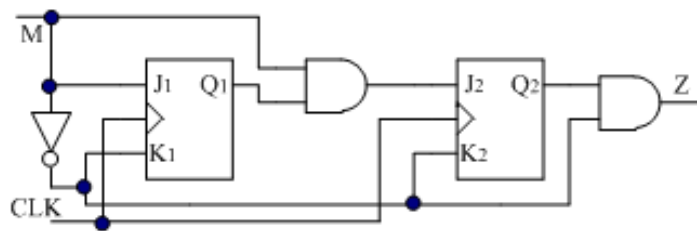


图 7-50 题 7-6 的逻辑图

习题

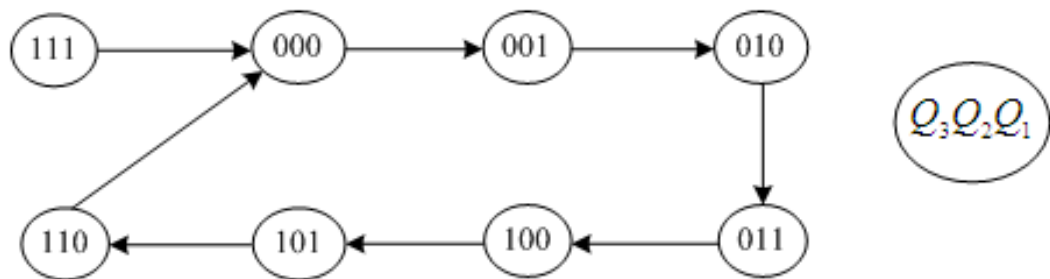


图 7-51 题 7-13 的状态图

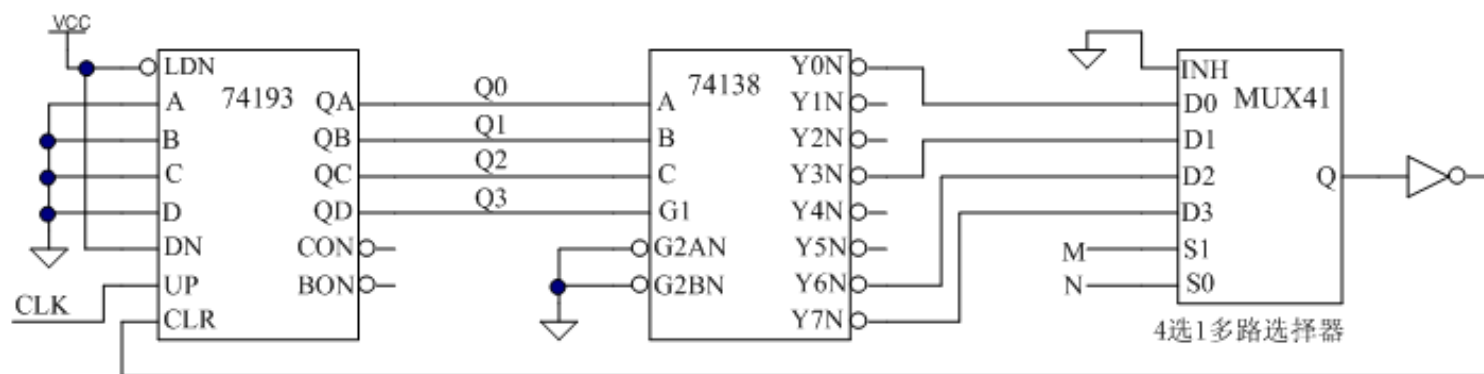


图 7-52 题 7-15 的逻辑图

实验与设计

7-1. 用74系列的专用集成器件设计不同类型的数字电路

7-2. 基于D触发器的机械键去抖动电路设计

7-3. 设计一个能将信号延时800ns的延时电路