

第4章

FPGA硬件实现

4.1 代码编辑输入和系统编译

4.1.1 编辑和输入设计文件

(1) 新建一个文件夹。

(2) 输入源程序。

(3) 文件存盘。

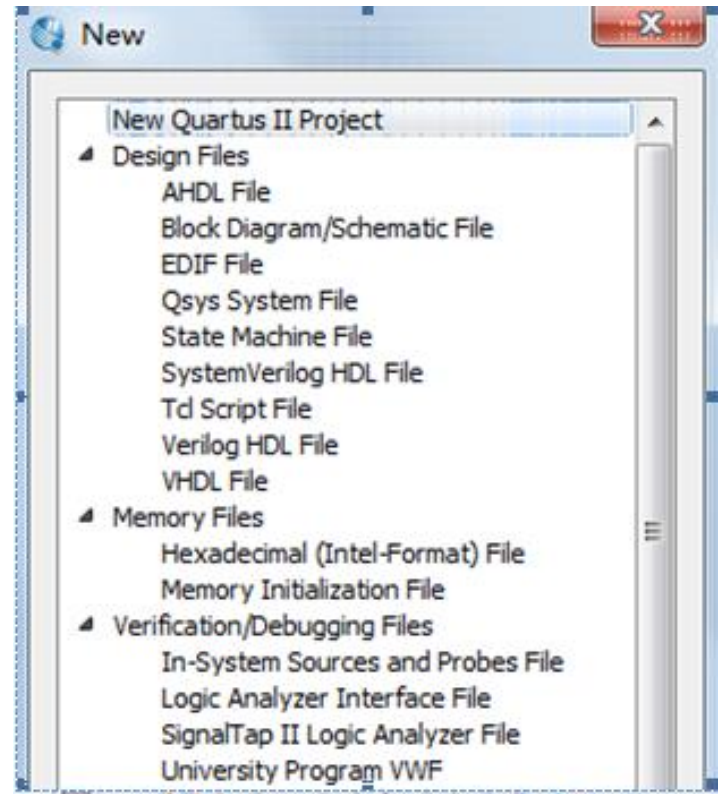


图4-1 选择编辑文件类型

4.1 代码编辑输入和系统编译

4.1.1 编辑和输入设计文件

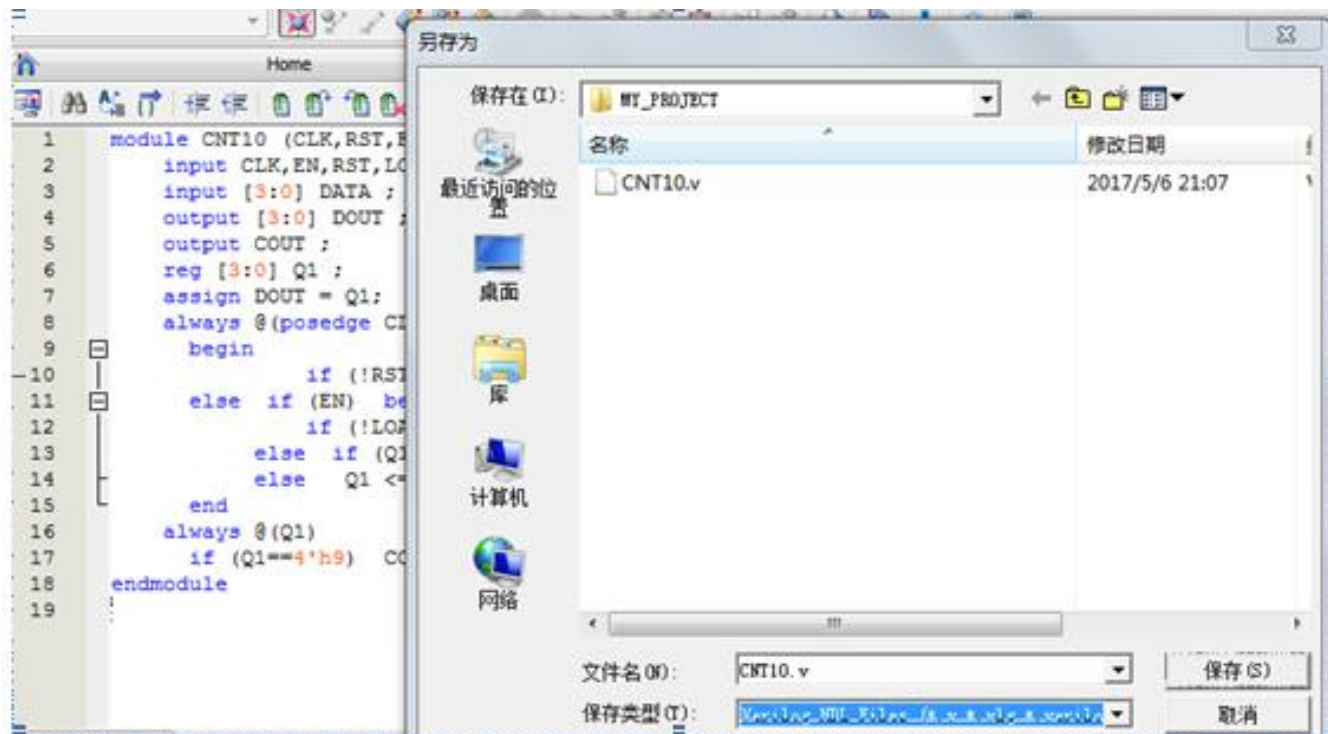


图4-1 编辑输入源程序并存盘

4.1 代码编辑输入和系统编译

4.1.2 创建工程

(1) 打开并建立新工程管理窗口。

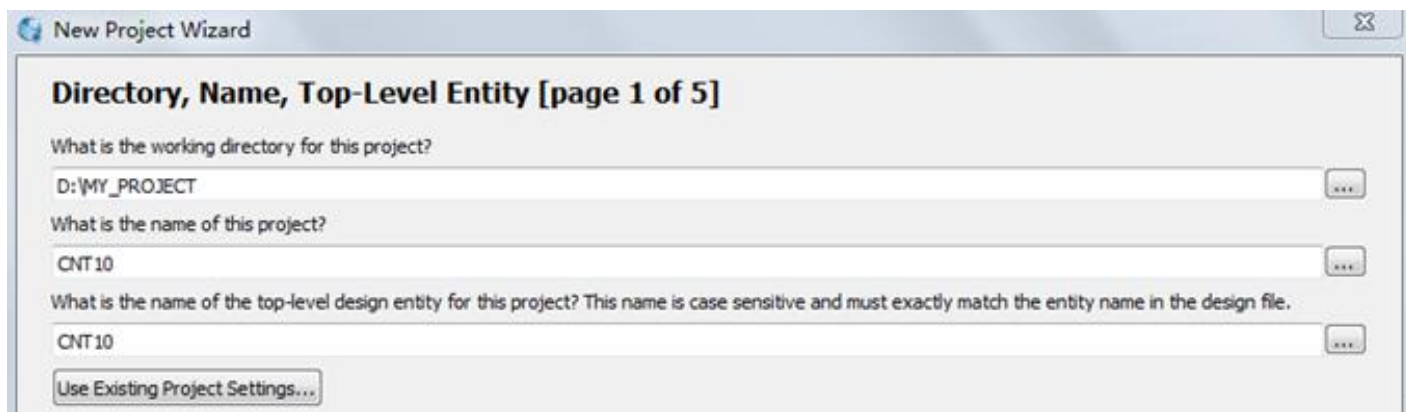


图4-3 利用New Project Wizard创建工程CNT10

(2) 将设计文件加入工程中。

4.1 代码编辑输入和系统编译

4.1.2 创建工程

(3) 选择目标芯片。

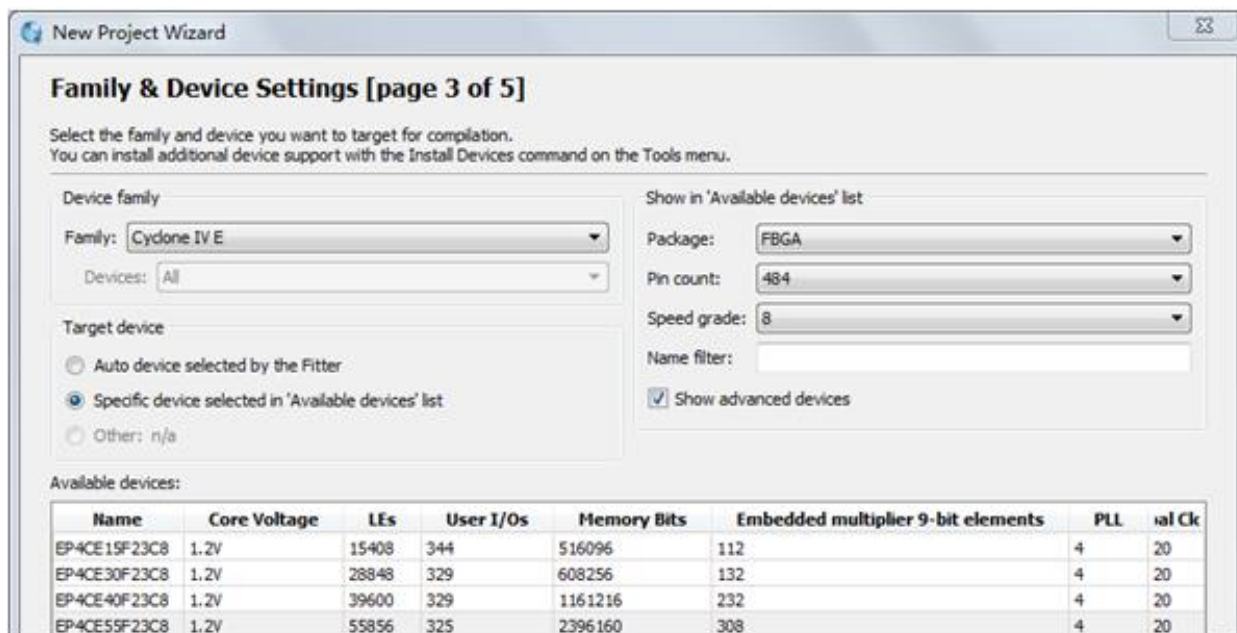


图4-4 选择目标器件EP4CE55F23C8

4.1 代码编辑输入和系统编译

4.1.2 创建工程

(4) 工具设置。

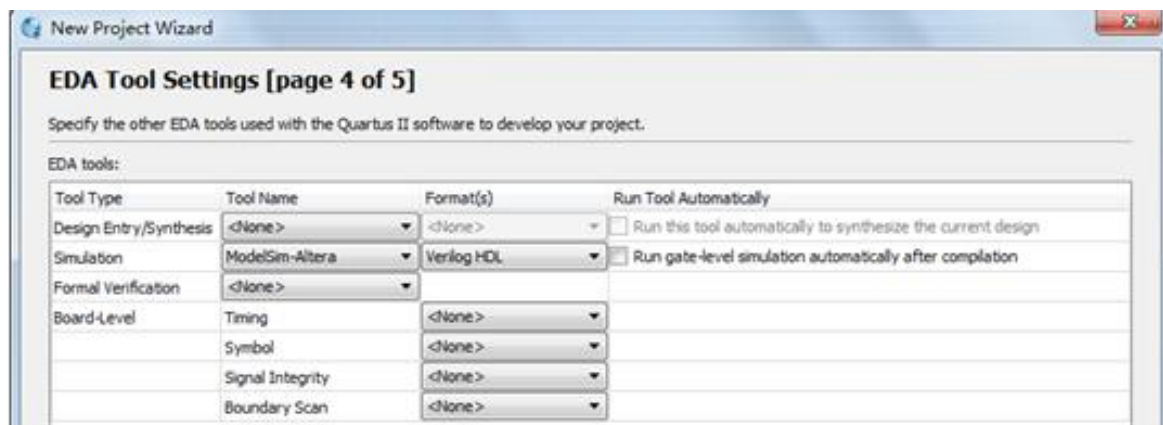


图4-5 设计与验证工具软件选择

(5) 结束设置。

4.1 代码编辑输入和系统编译

4.1.3 约束项目设置

(1) 选择编译约束条件。

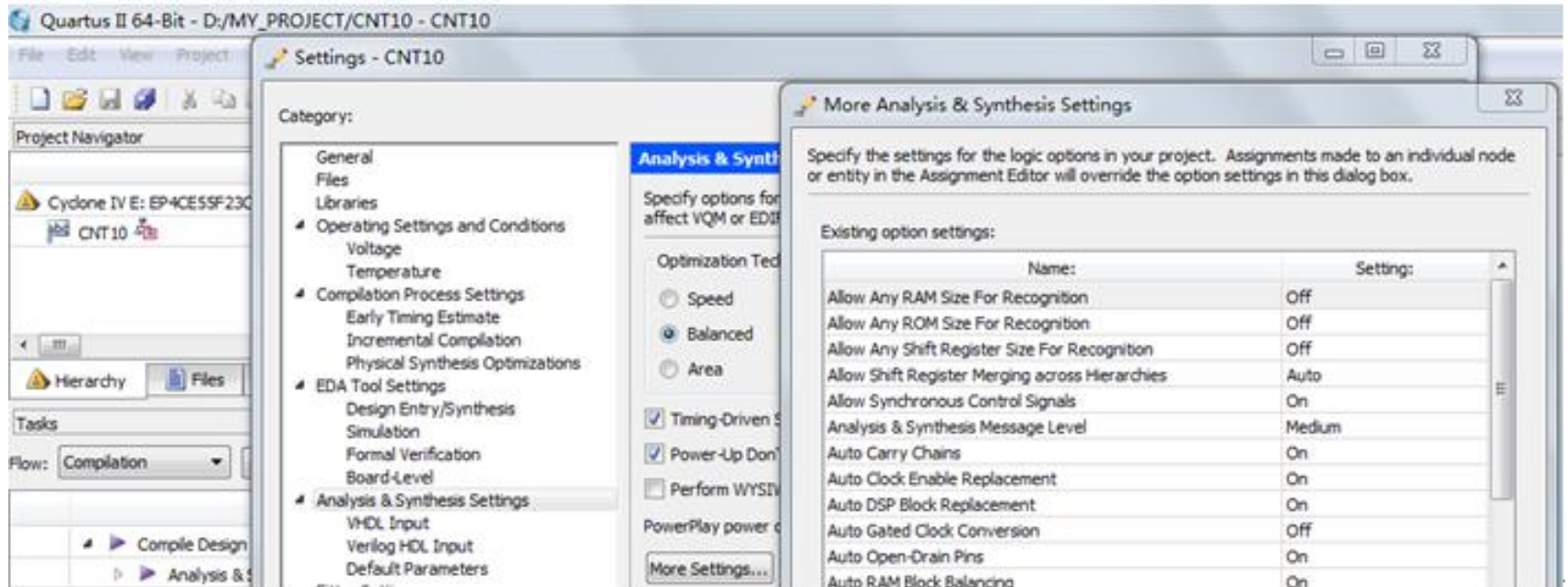


图4-6 选择编译综合的工作方式

4.1 代码编辑输入和系统编译

4.1.3 约束项目设置

(2) 选择目标芯片的其它控制项。

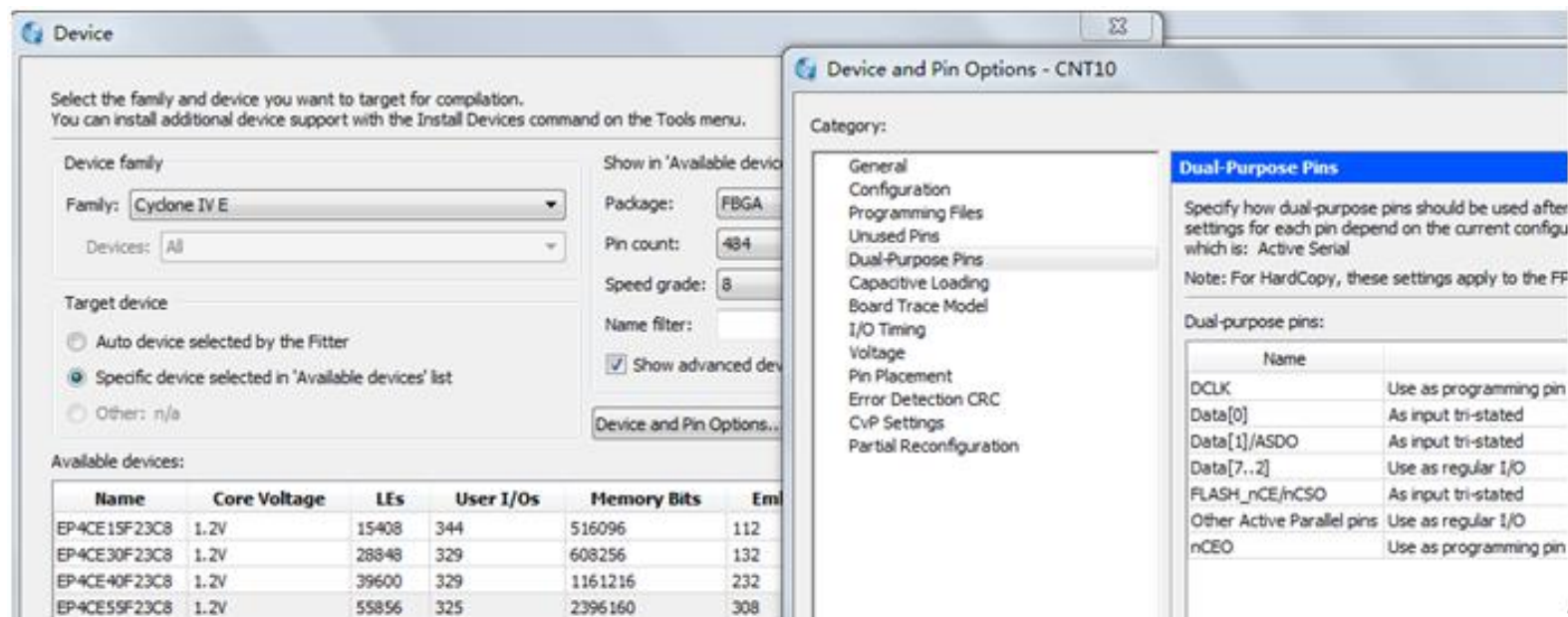


图4-7 选择目标器件和工作方式

4.1 代码编辑输入和系统编译

4.1.3 约束项目设置

(3) 选择配置器件的工作方式。

(4) 选择目标器件引脚端口状态。

4.1 代码编辑输入和系统编译

4.1.4 全程综合与编译

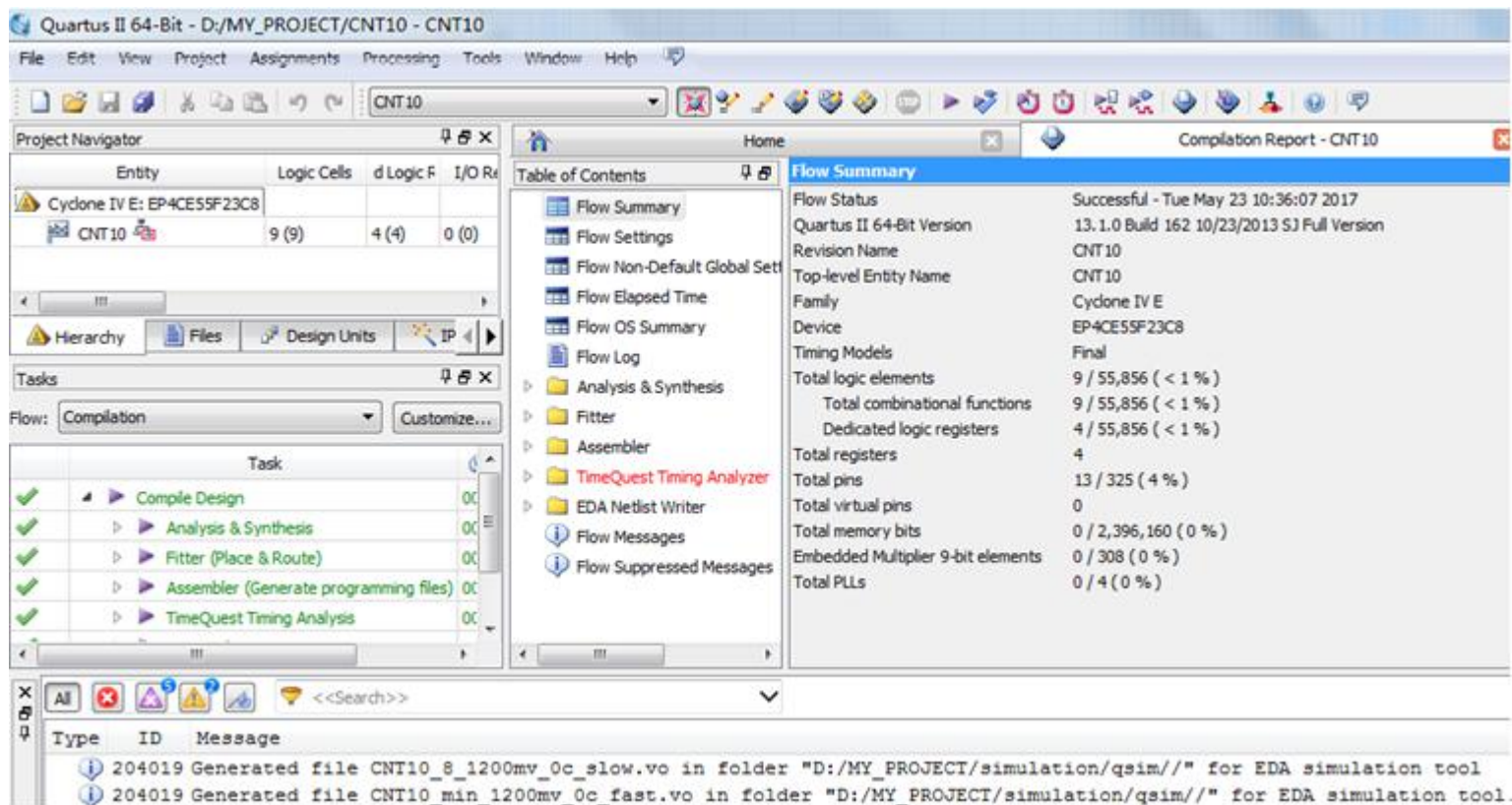


图4-8 全程编译无错后的报告信息

4.1 代码编辑输入和系统编译

4.1.5 RTL图观察器应用

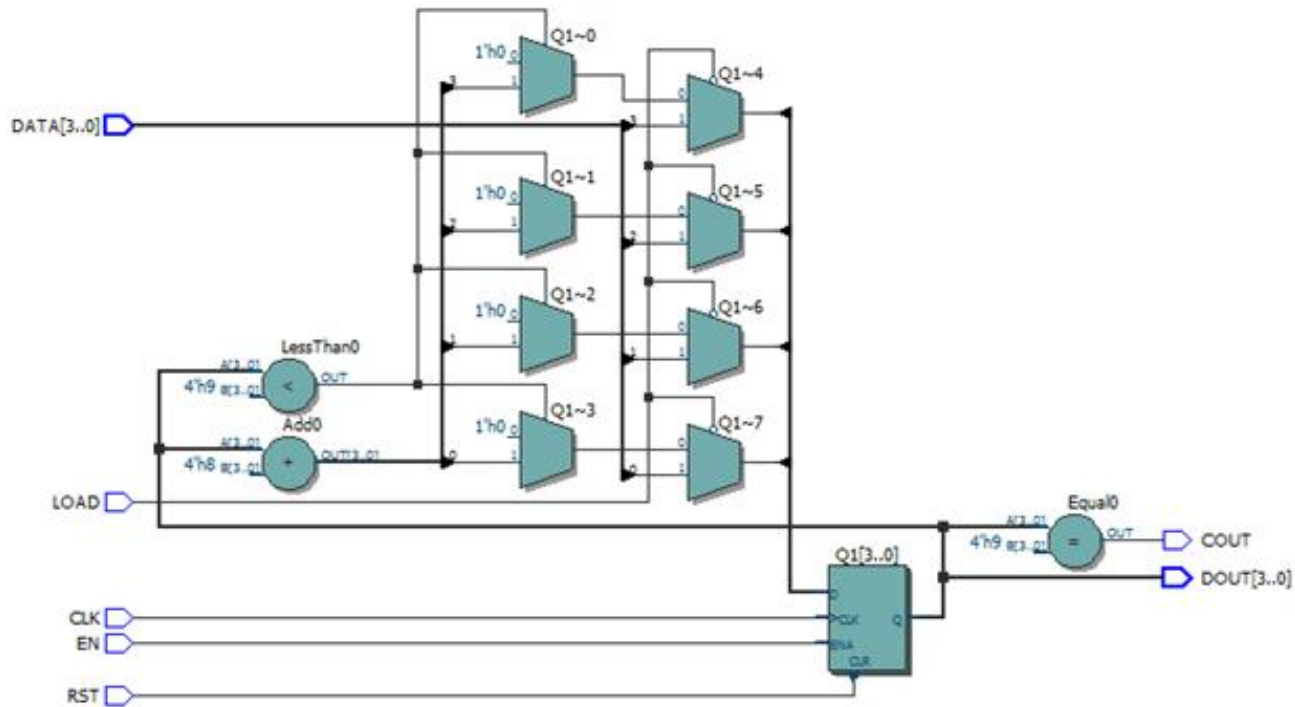


图4-9 CNT10工程的RTL图

4.2 时序仿真测试

(1) 确认 Quartus II 中的仿真工具是否指向 Modelsim 所在路径。

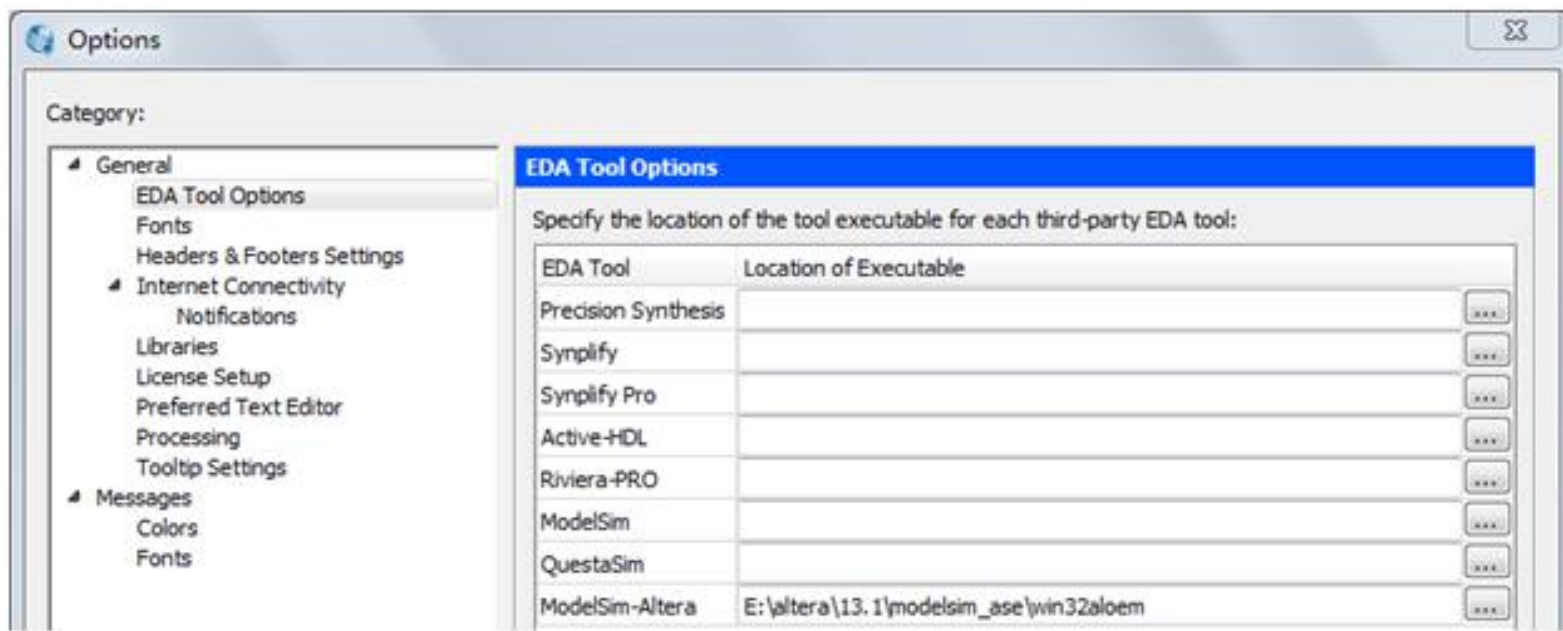


图 4-10 查看 Quartus 仿真工具指向 Modelsim 仿真软件的路径

4.2 时序仿真测试

(2) 打开波形编辑器。

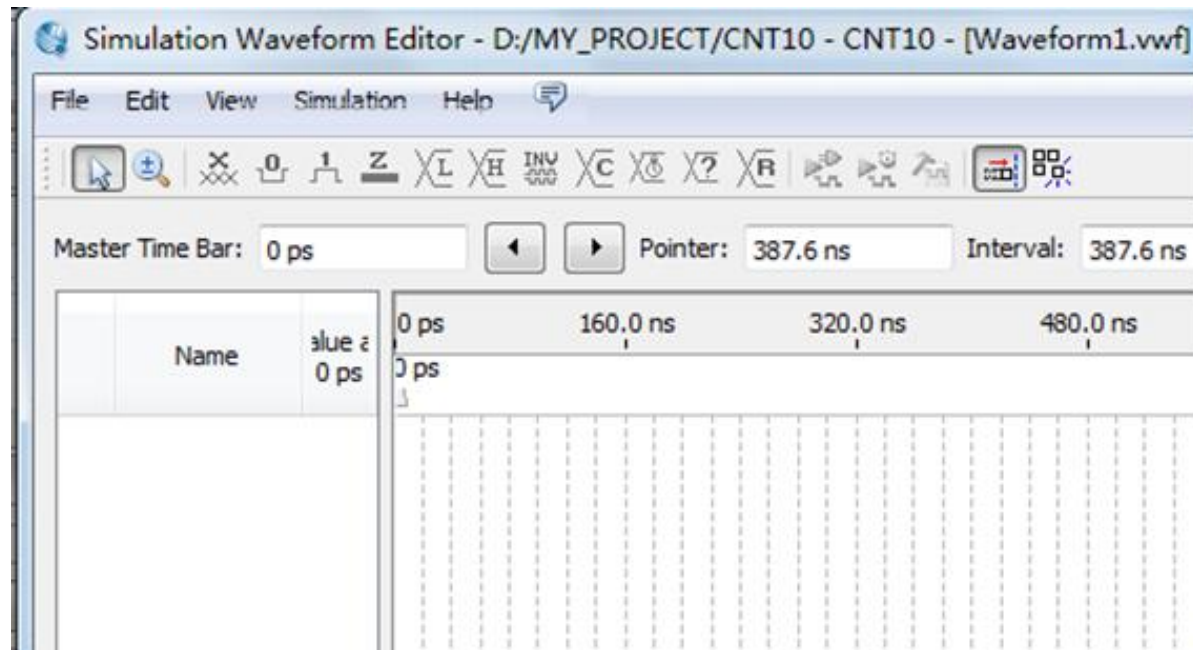


图4-11 Vector Waveform File文件编辑窗

4.2 时序仿真测试

(3) 设置仿真时间区域。

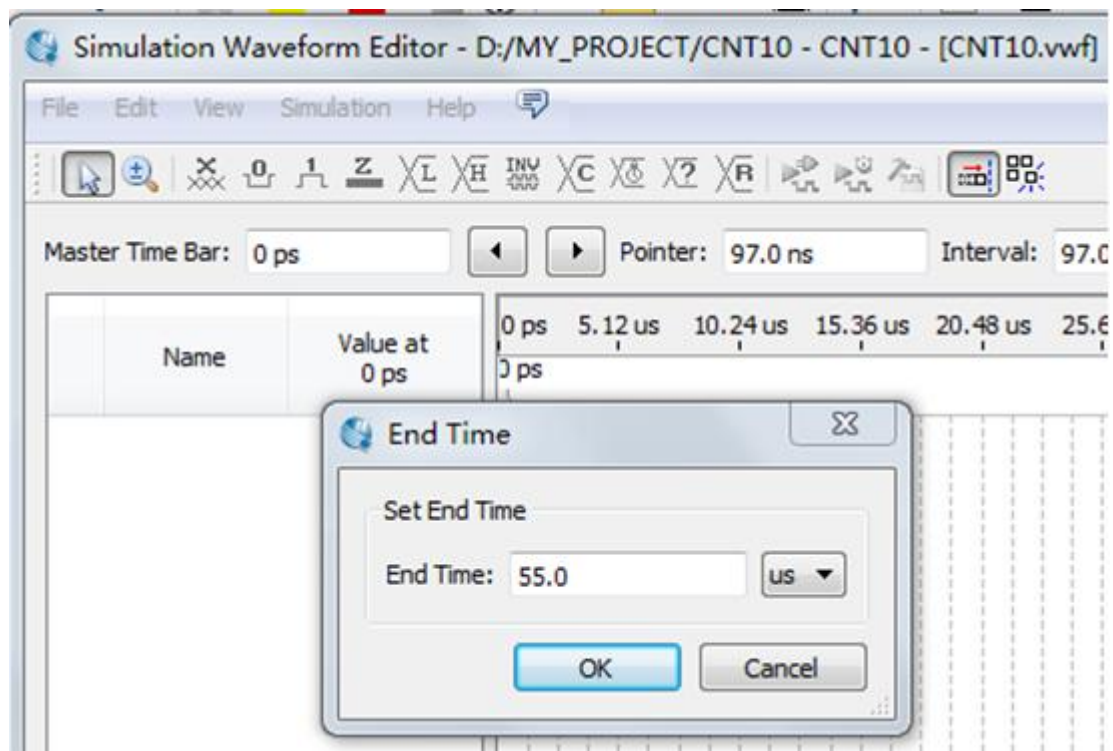


图4-12 设置仿真时间长度

4.2 时序仿真测试

(4) 波形文件存盘。

(5) 将工程CNT10的端口信号节点选入波形编辑器中。

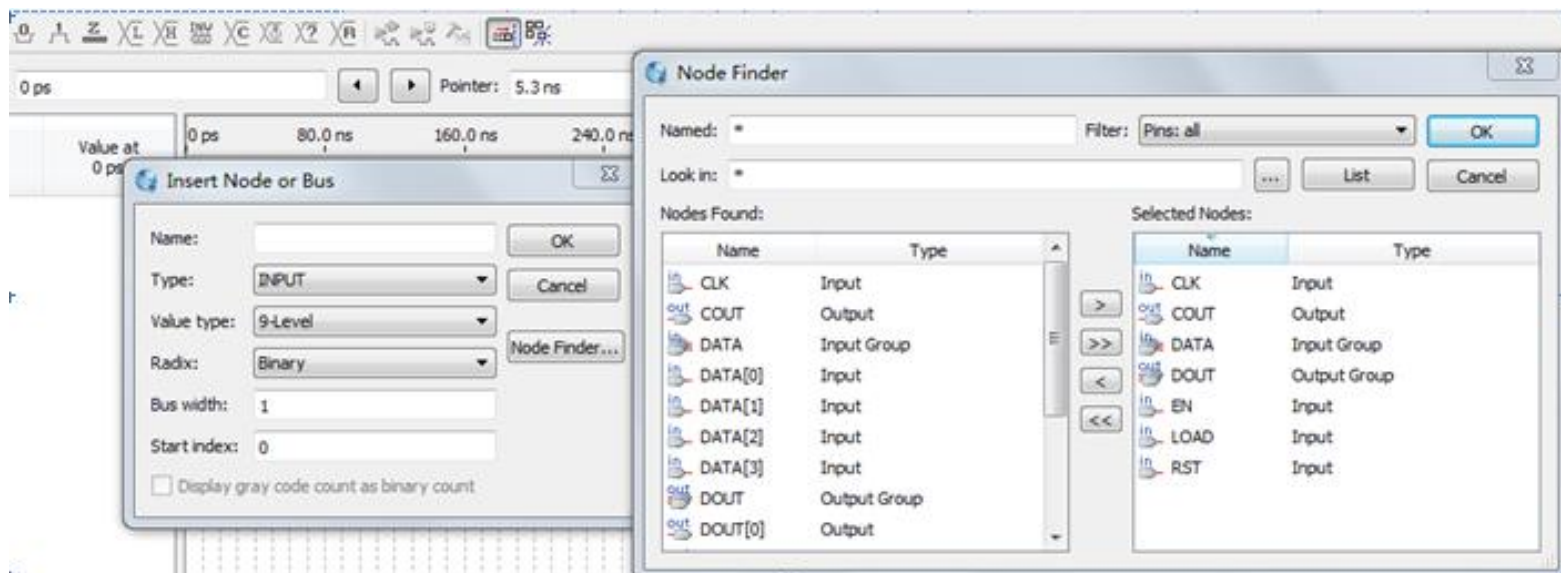


图4-13 加入仿真需要的信号节点

4.1 时序仿真测试

(6) 设置激励信号波形。

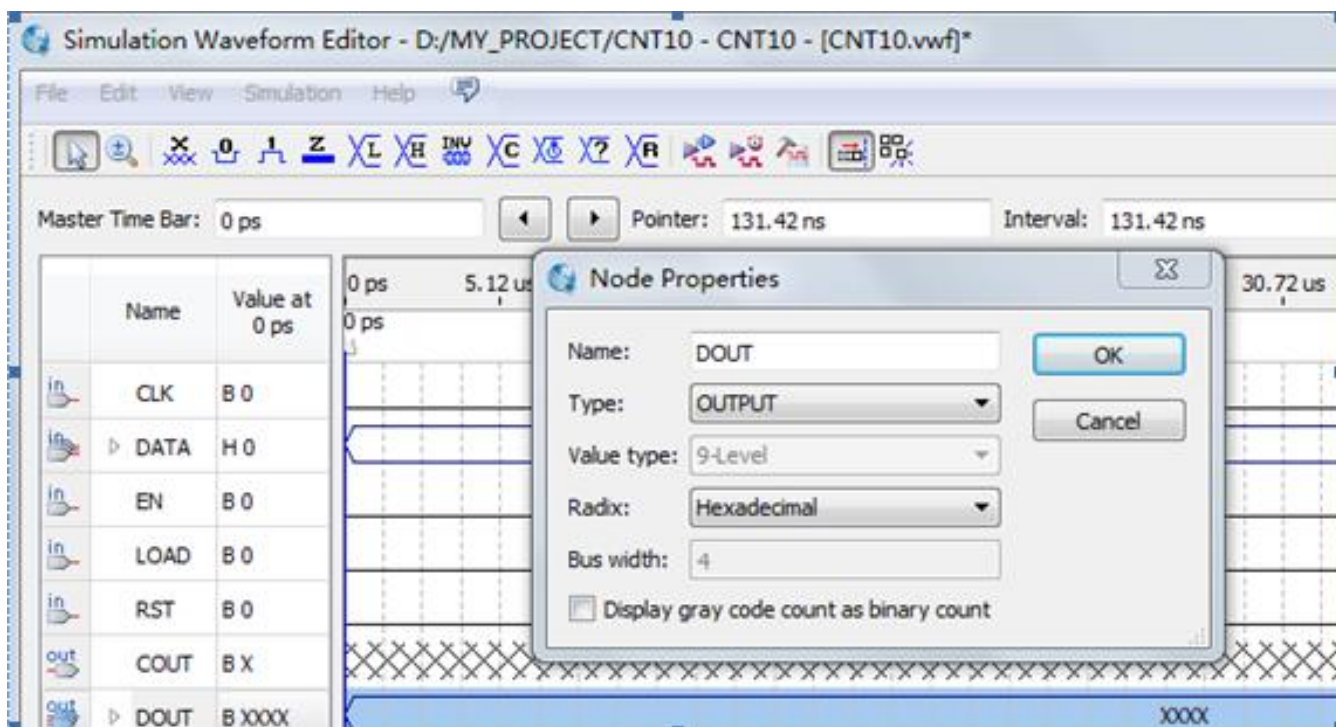


图4-14 设置总线数据格式

4.1 时序仿真测试

(6) 设置激励信号波形。

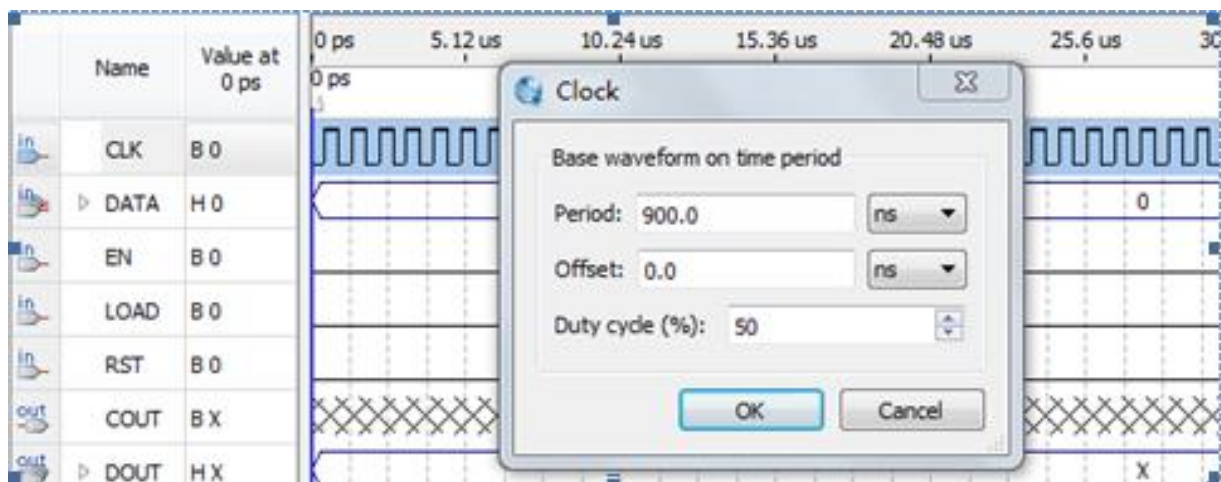


图4-15 设置时钟参数

4.2 时序仿真测试

(7) 图4-16是最后设置好的.vwf 仿真激励波形文件图。

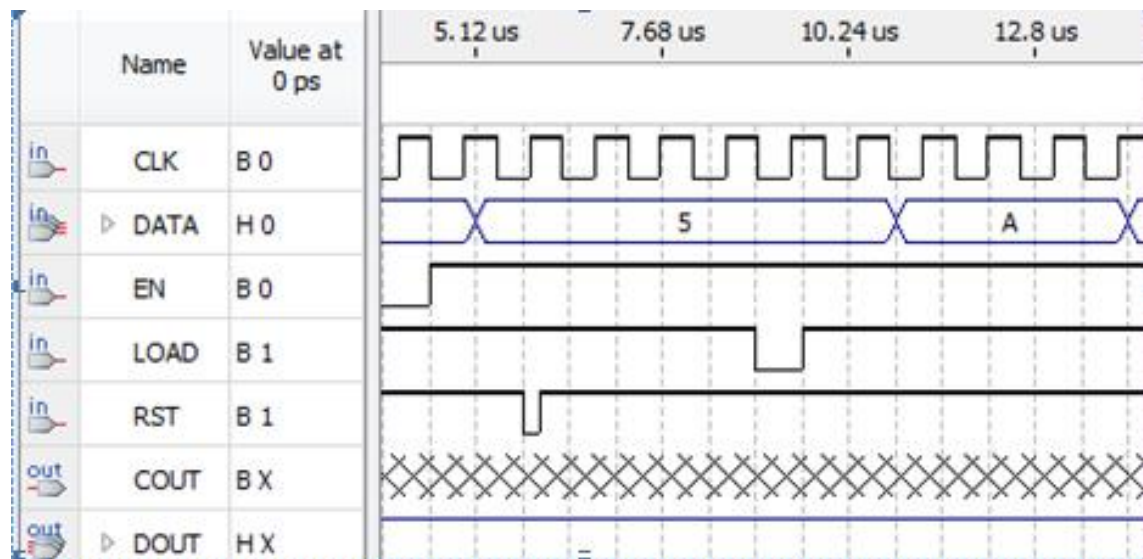


图4-16 编辑好激励波形

4.2 时序仿真测试

(8) 启动仿真器。

(9) 观察仿真结果。

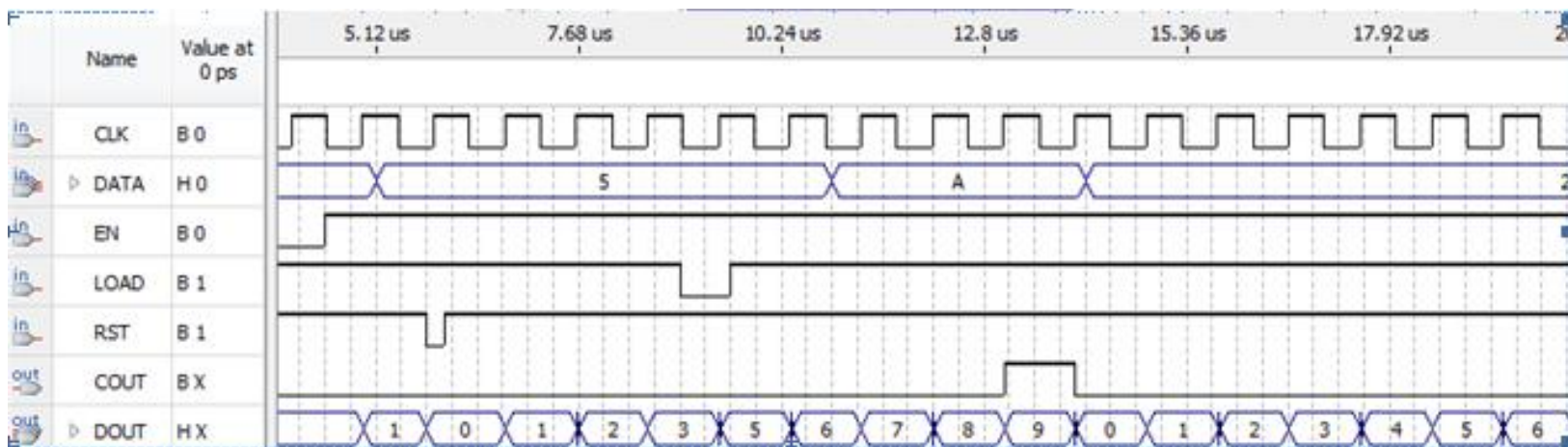


图4-17 仿真输出的波形文件

4.1 代码编辑输入和系统编译

4.1.5 仿真测试

(3) 波形文件存盘。

(4) 将工程**CNT10**的端口信号节点选入波形编辑器中。

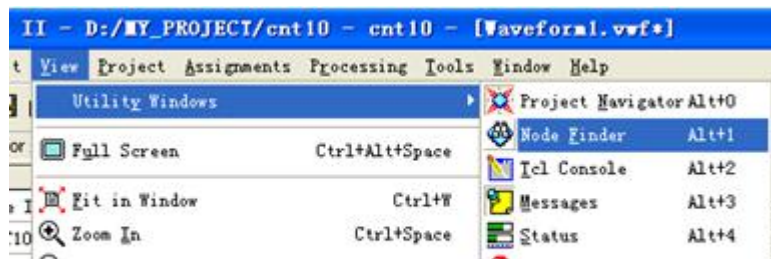


图 4-9 打开信号节点查询窗口

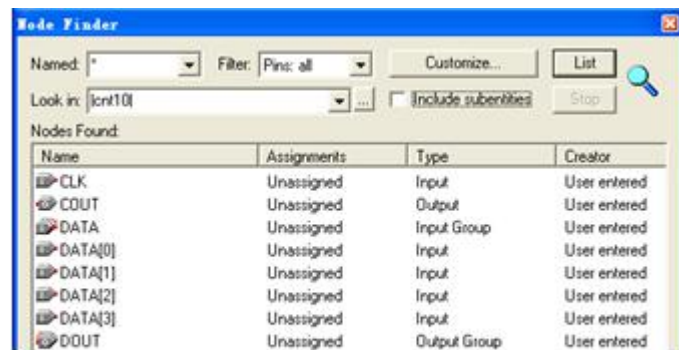


图 4-10 向波形编辑器拖入信号节点

4.1 代码编辑输入和系统编译

4.1.5 仿真测试

(5) 设置激励信号波形。

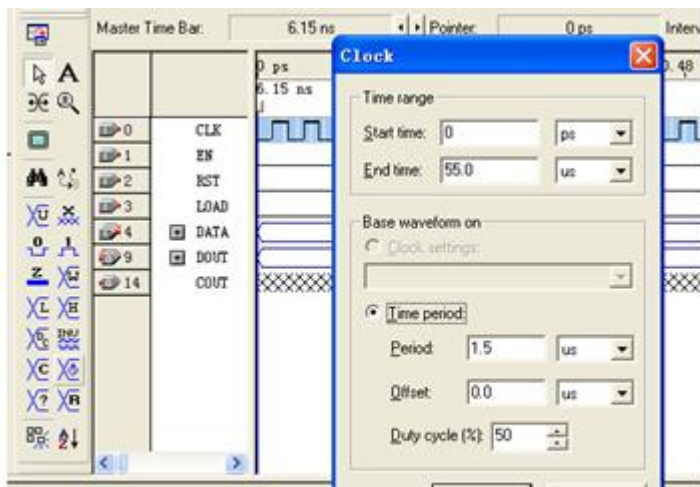


图 4-11 设置好的激励波形图，及选择总线数据格式



图 4-12 设置信号显示数据格式

4.3 硬件测试

4.3.1 引脚锁定

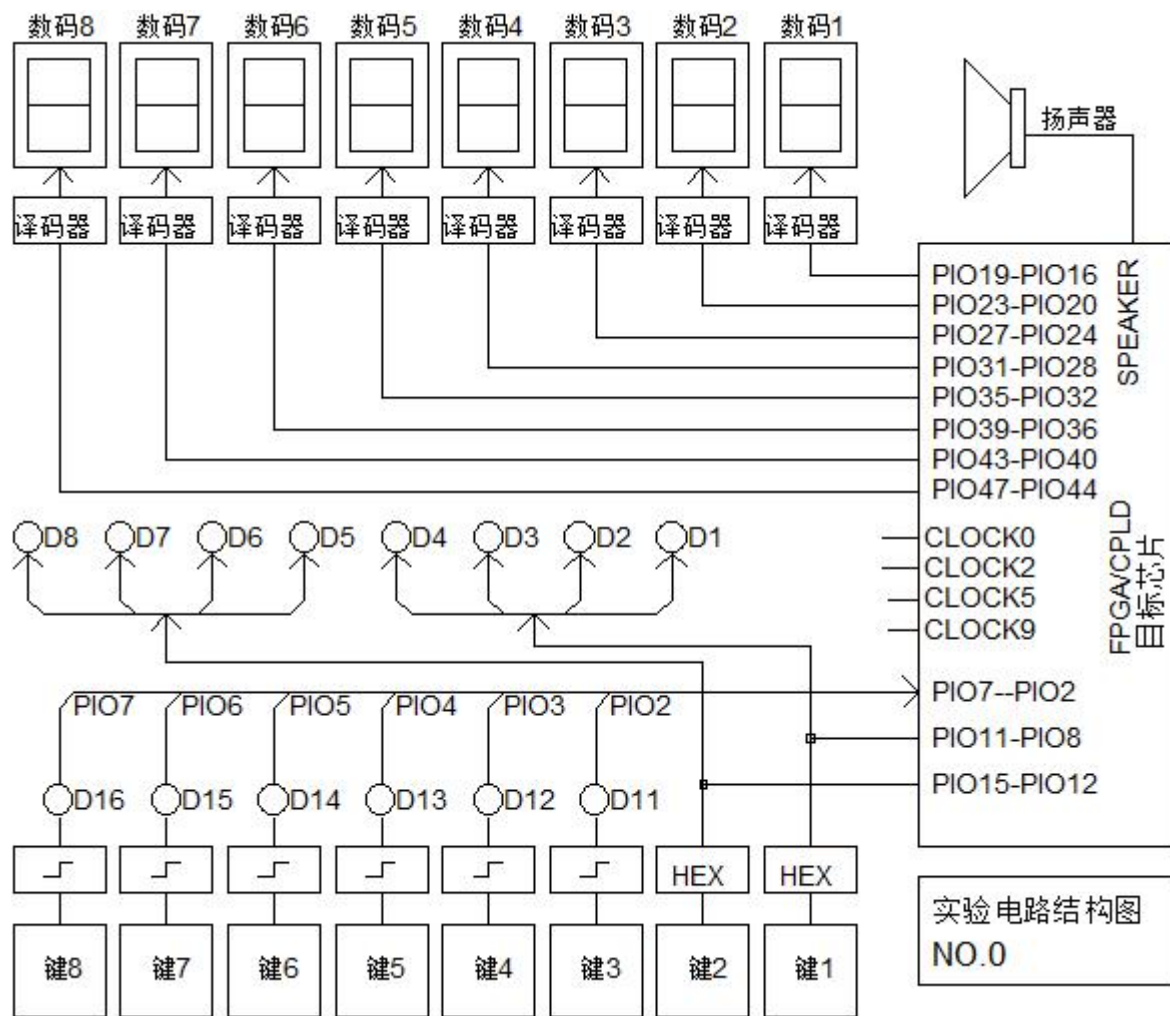


图4-18 模式0的对FPGA的实验电路

4.3 硬件测试

4.3.1 引脚锁定

表 4-1 基于 EP4CE55F23C8 的引脚锁定情况（可通过附录 A.4 的列表获得）

计数器信号名	CLK	EN	LOAD	RST	DATA(3)	DATA(2)	DATA(1)
模式 0 电路控制	键 8	键 7	键 6	键 5	键 1:D4	键 1:D3	键 1:D2
模式 0 电路信号	PIO7	PIO6	PIO5	PIO4	PIO11	PIO10	PIO9
对应 FPGA 引脚	AB6	Y7	AA6	AB3	AB5	AA3	W2
计数器信号名	DATA(0)		COUT	DOUT(3)	DOUT(2)	DOUT(1)	DOUT(0)
模式 0 电路控制	键 1:D1		数码 2:a 段	数码 1	数码 1	数码 1	数码 1
模式 0 电路信号	PIOS		PIO20	PIO19	PIO18	PIO17	PIO16
对应 FPGA 引脚	U2		AA1	V2	W1	R2	U1

4.3 硬件测试

4.3.1 引脚锁定














Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location
 CLK	Input				PIN_J4
 COUT	Output				PIN_T8
 DATA[3]	Input				PIN_R8
 DATA[2]	Input				PIN_R10
 DATA[1]	Input				PIN_T9
 DATA[0]	Input				PIN_V6
 DOUT[3]	Output				PIN_R9
 DOUT[2]	Output				PIN_T5
 DOUT[1]	Output				PIN_R6
 DOUT[0]	Output				PIN_P8
 EN	Input				PIN_T7
 LOAD	Input				PIN_R7
 RST	Input				PIN_P4

图4-19 刚打开的Pin Planner窗

4.3 硬件测试

4.3.1 引脚锁定














Node Name	Direction	Location
 CLK	Input	PIN_AB6
 COUT	Output	PIN_AA1
 DATA[3]	Input	PIN_AB5
 DATA[2]	Input	PIN_AA3
 DATA[1]	Input	PIN_W2
 DATA[0]	Input	PIN_U2
 DOUT[3]	Output	PIN_V2
 DOUT[2]	Output	PIN_W1
 DOUT[1]	Output	PIN_R2
 DOUT[0]	Output	PIN_U1
 EN	Input	PIN_Y7
 LOAD	Input	PIN_AA6
 RST	Input	PIN_AB3

图4-20 引脚锁定完成后的情况

4.3 硬件测试

4.3.2 编译文件下载

(1) 打开编程窗和配置文件。

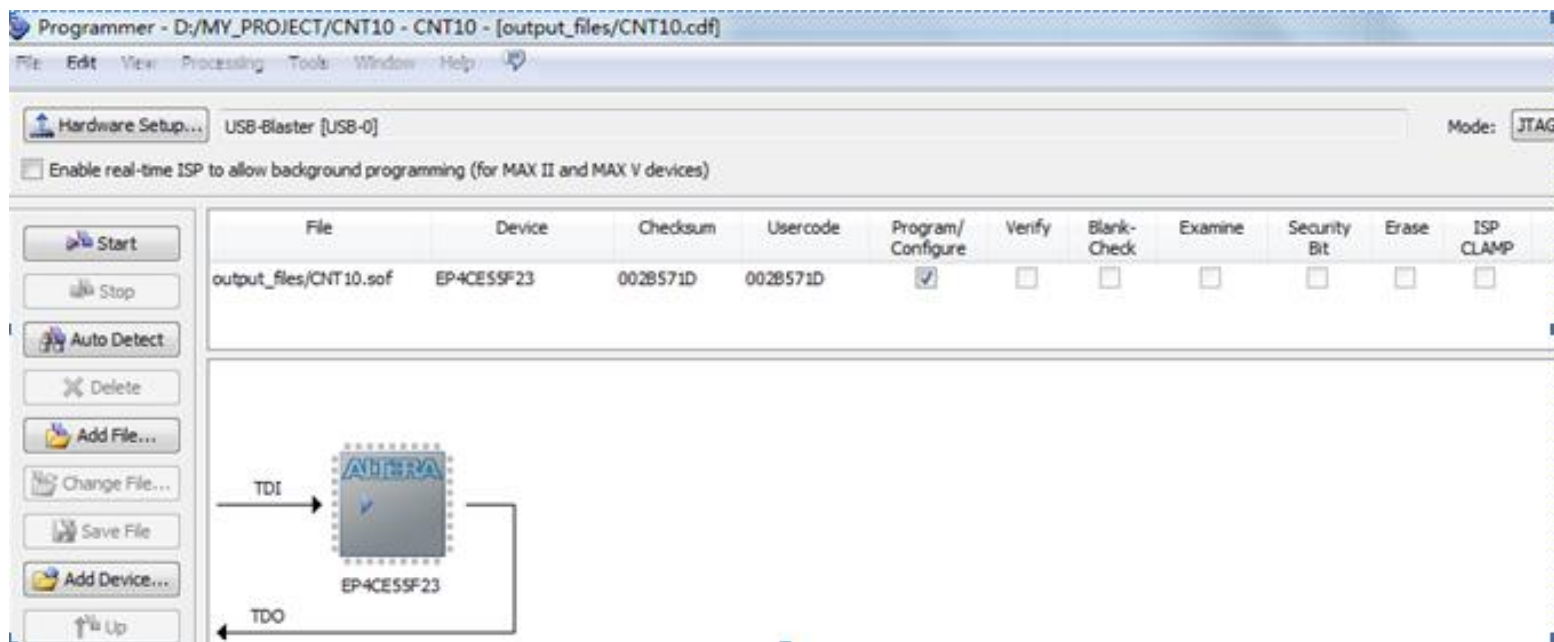


图4-21 选择JTAG编程模式，将SOF文件载入FPGA

4.3 硬件测试

4.3.2 编译文件下载

(2) 设置编程器。

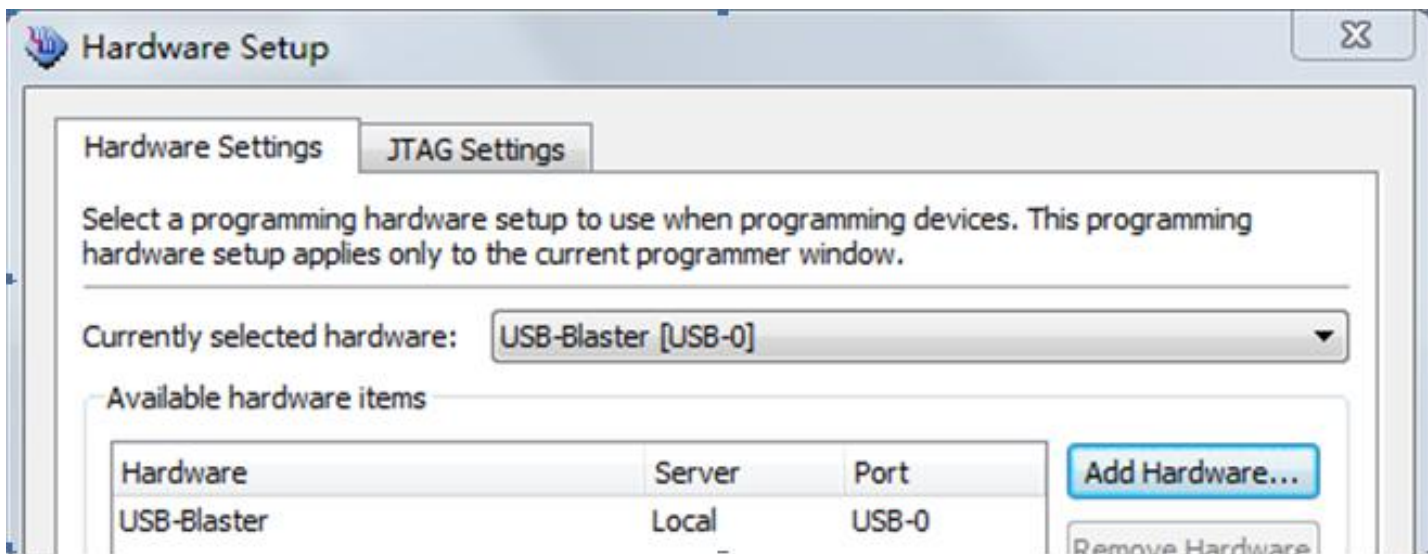


图4-22 加入编程下载方式

(3) 硬件测试。

4.3 硬件测试

4.3.3 通过JTAG口对配置芯片进行间接编程

1. 将SOF文件转化为JTAG间接配置文件

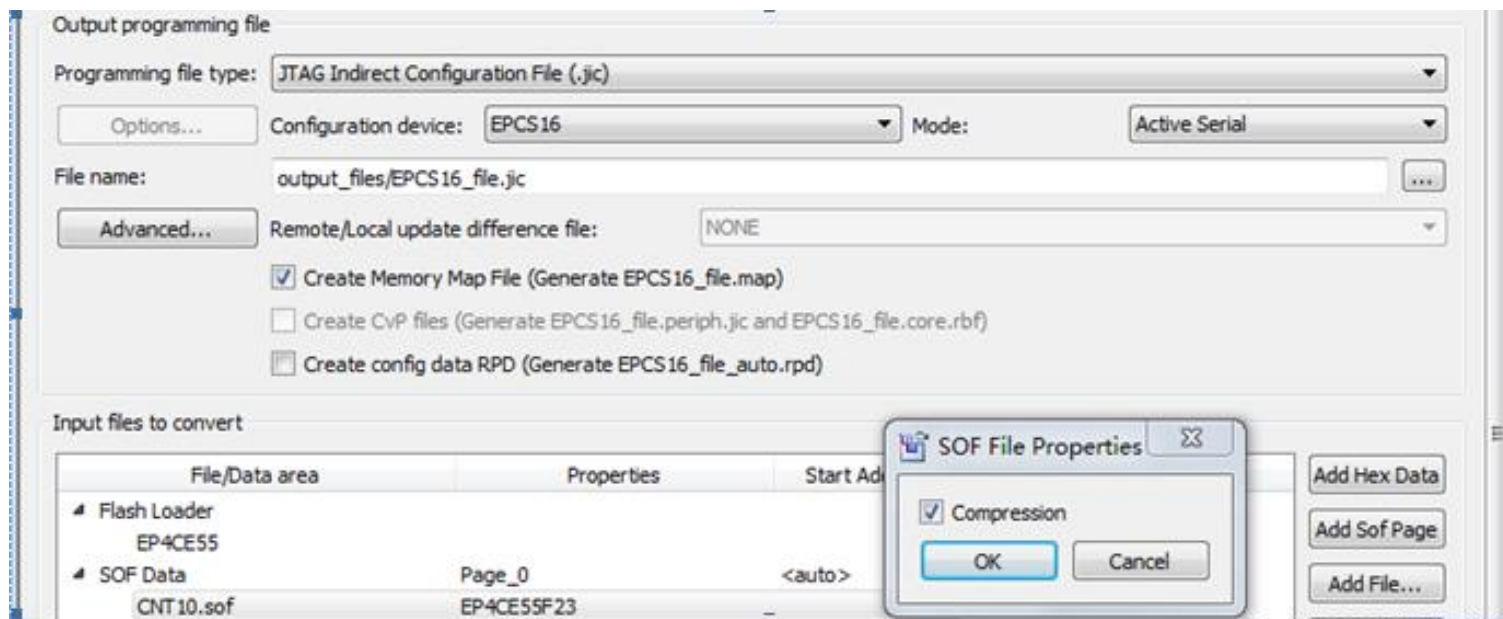


图4-23 设定JTAG间接编程文件

4.3 硬件测试

4.3.3 通过JTAG口对配置芯片进行间接编程

2. 下载JTAG间接配置文件

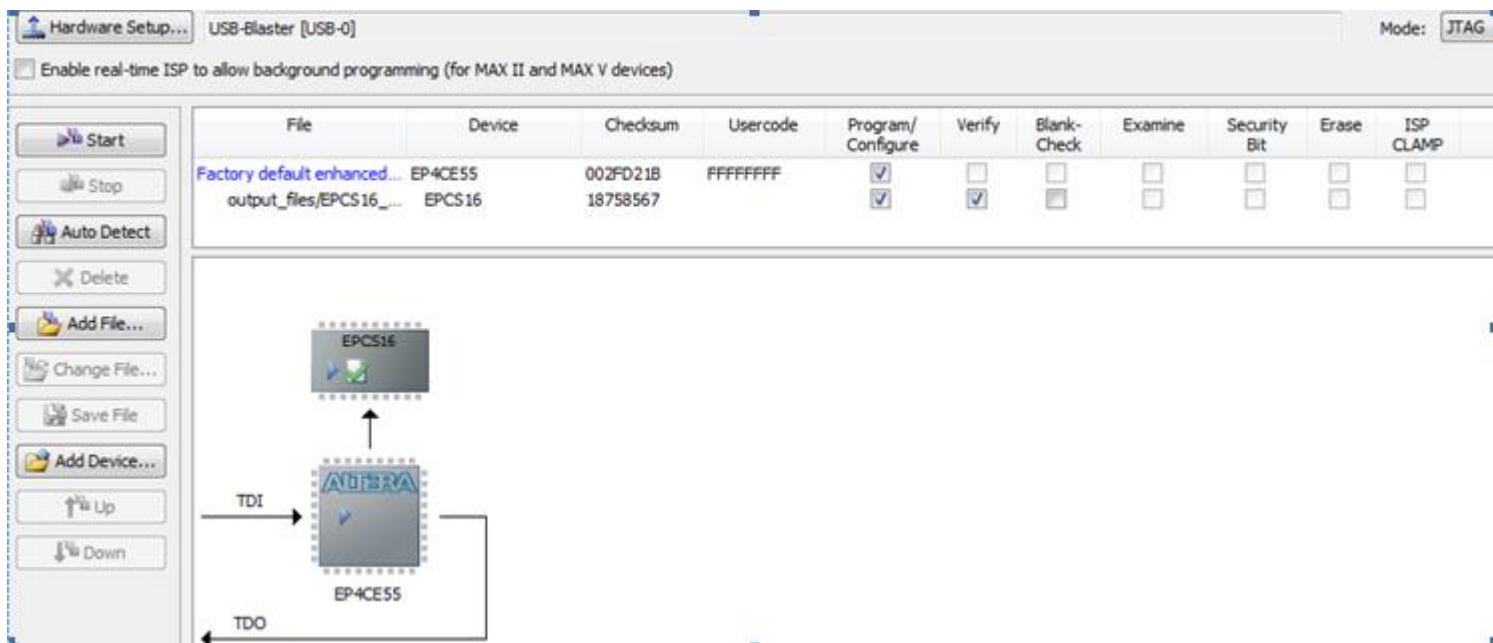
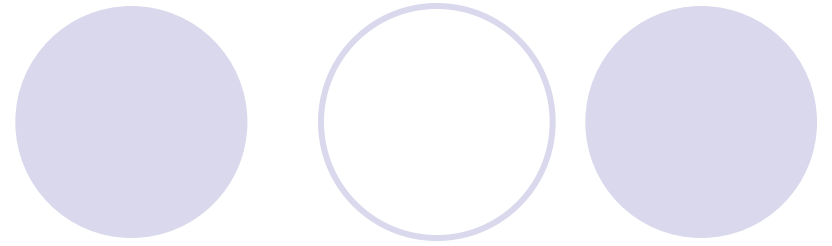


图4-24 用JTAG模式将间接配置文件烧入配置器件EPCS16中

4.3 硬件测试



4.3.4 USB-Blaster驱动程序安装方法

4.4 电路原理图设计流程

4.4.1 设计一个半加器

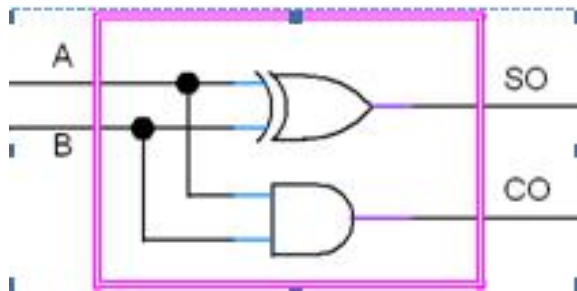


图4-25 半加器的电路结构

A	B	SO	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

图4-26 半加器的真值表

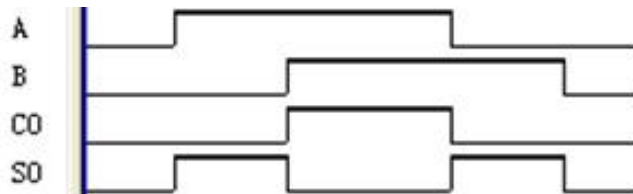


图4-27 半加器的仿真功能波形图

4.4 电路原理图设计流程

4.4.1 设计一个半加器

- (1) 打开原理图编辑窗。
- (2) 建立一个初始原理图文件。

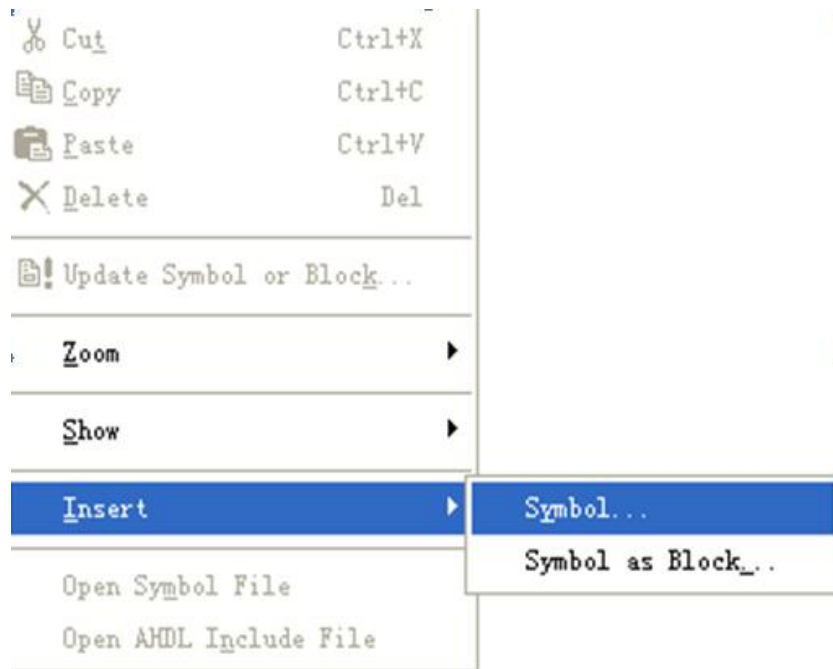


图4-28 选择打开元件输入窗

4.4 电路原理图设计流程

4.4.1 设计一个半加器

(2) 建立一个初始原理图文件。

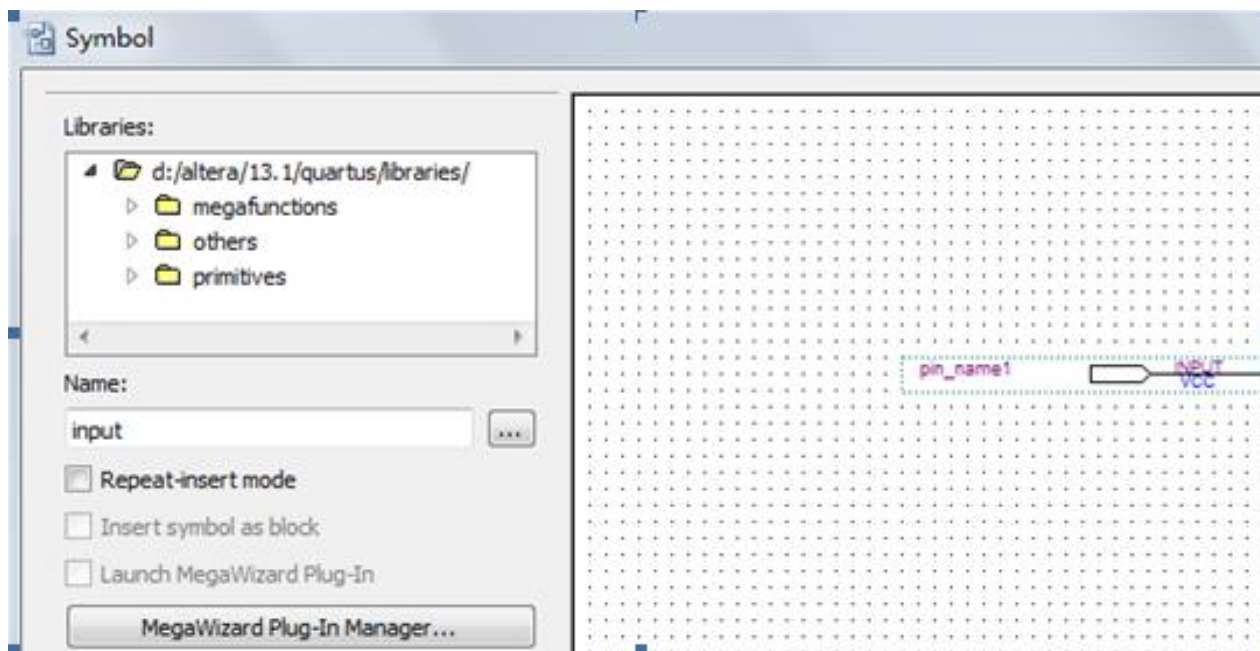


图4-29 在元件输入对话框输入引脚

4.4 电路原理图设计流程

4.4.1 设计一个半加器

(3) 原理图文件存盘。

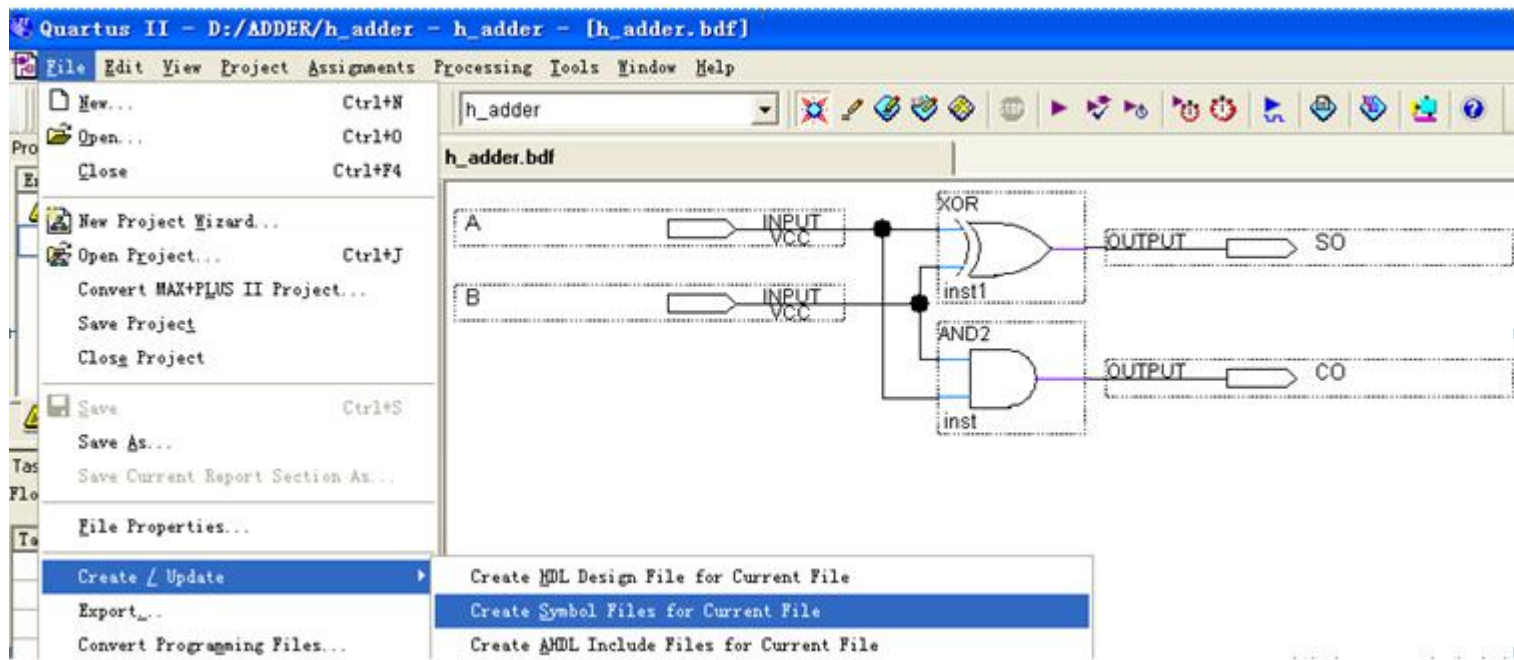


图4-30 完成设计并将半加器封装成一个元件，以便在更高层设计中调用

4.4 电路原理图设计流程

4.4.1 设计一个半加器

(4) 创建原理图文件为顶层设计的工程。

(5) 绘制半加器原理图。

(6) 仿真测试半加器。

4.4 电路原理图设计流程

4.4.2 完成全加器顶层设计

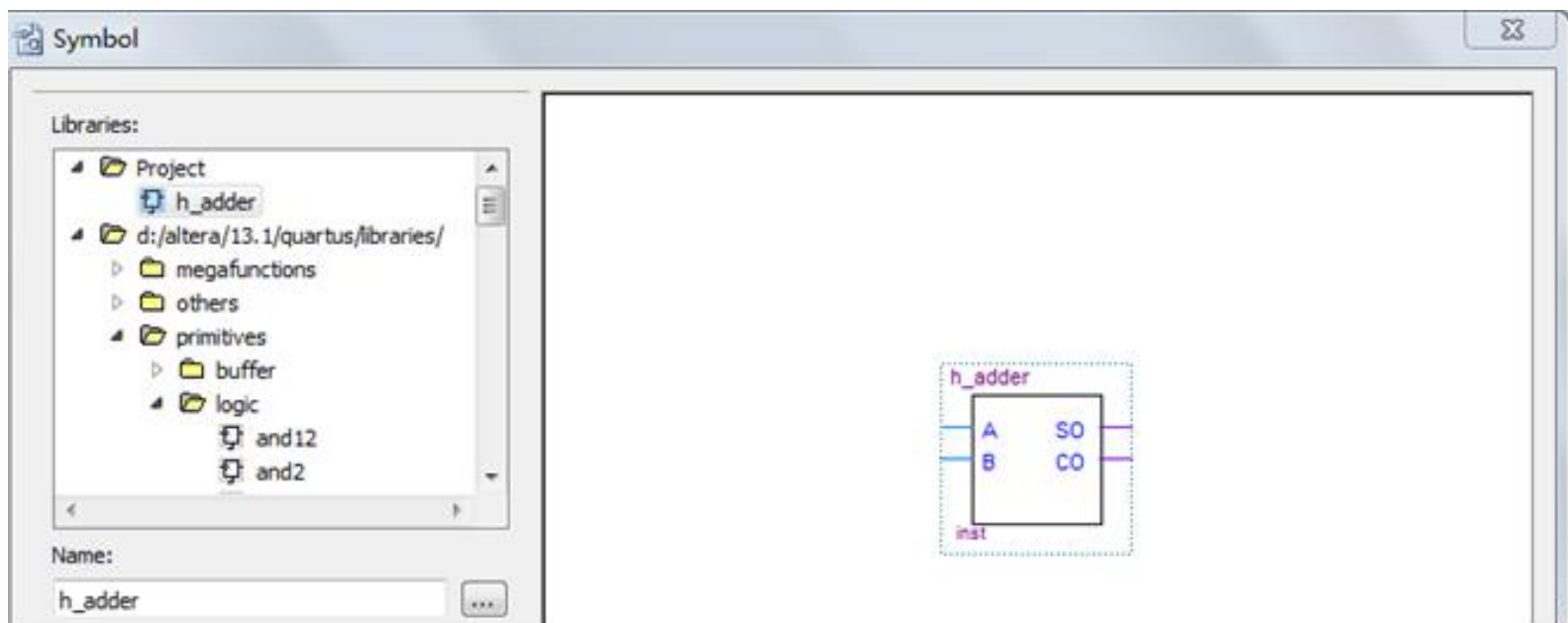


图4-31 在f_adder工程下加入半加器原件

4.4 电路原理图设计流程

4.4.2 完成全加器顶层设计

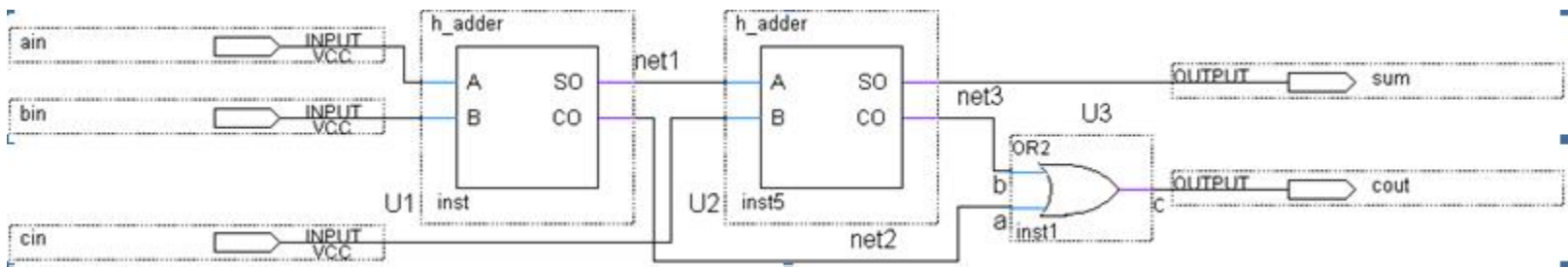


图4-32 全加器f_adder电路图

4.4 电路原理图设计流程

4.4.3 对全加器进行时序仿真和硬件测试

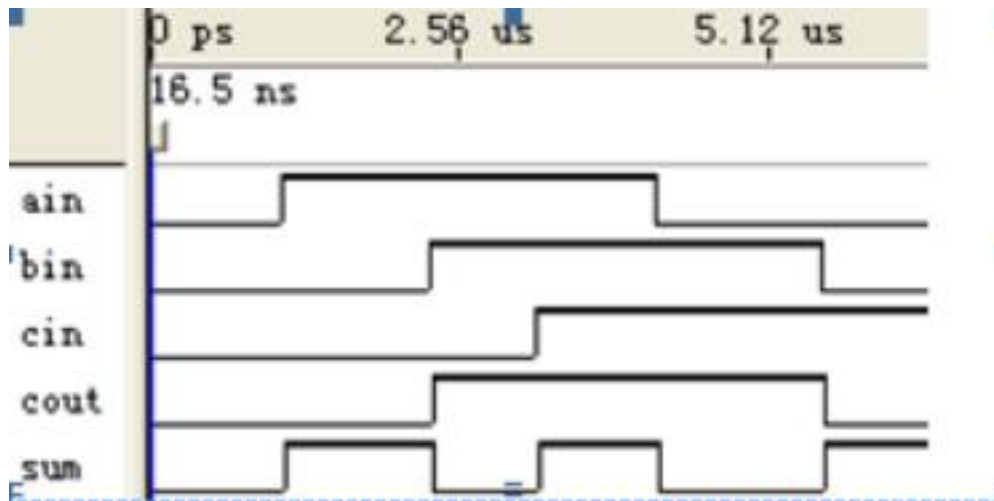


图4-33 全加器的仿真波形

4.4 电路原理图设计流程

4.4.3 对全加器进行时序仿真和硬件测试

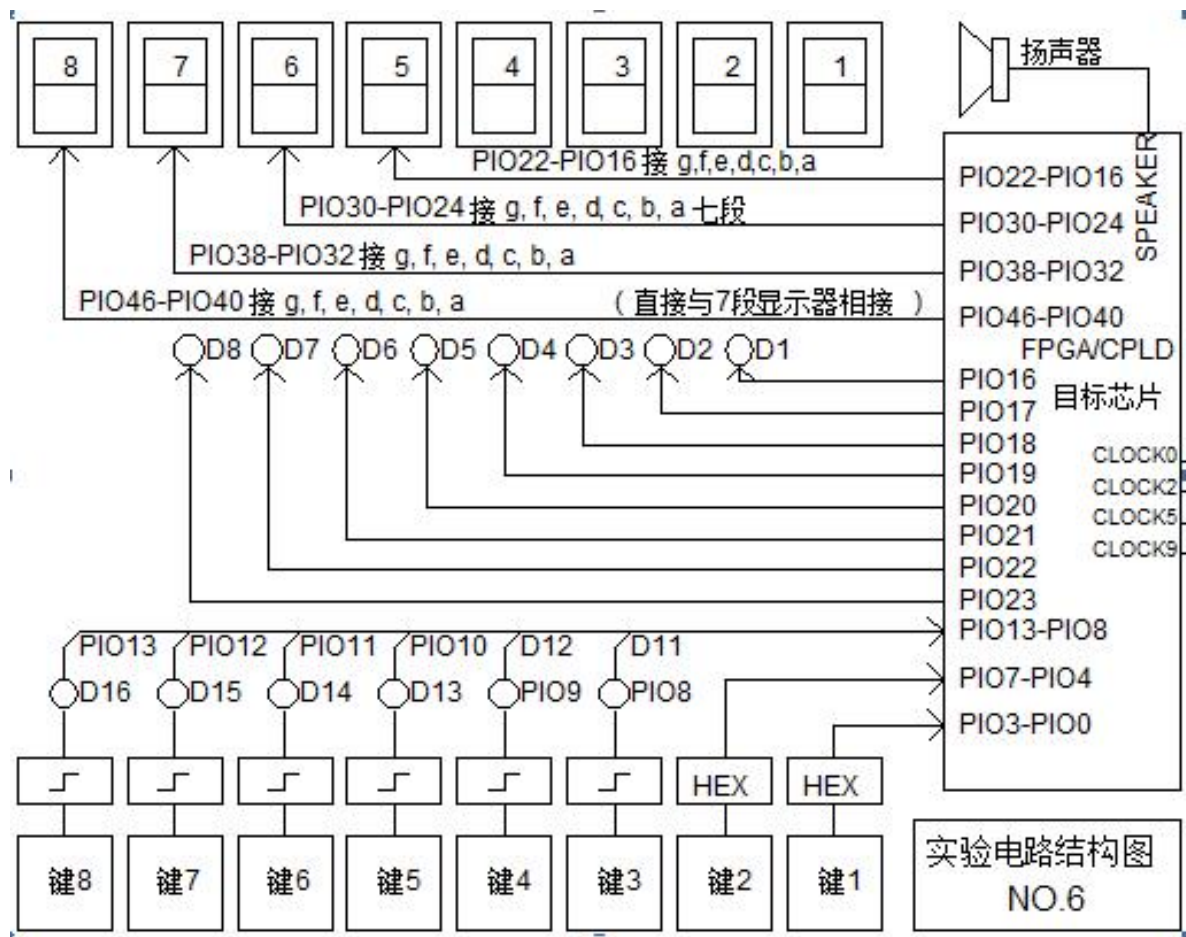


图4-34 对应模式6的对FPGA的实验电路

4.5 利用属性表述实现引脚锁定

【例 4-1】 ↵

```
module CNT10 (CLK, RST, EN, LOAD, COUT, DOUT, DATA);↵
  input [3:0] DATA /* synthesis chip_pin="AB5,AA3,W2,U2" */;↵
  output [3:0] DOUT /* synthesis chip_pin="V2,W1,R2,U1" */;↵
  output COUT /* synthesis chip_pin="AA1" */;↵
  input CLK /* synthesis chip_pin = "AB6" */;↵
  input EN /* synthesis chip_pin = "Y7" */;↵
  input RST /* synthesis chip_pin = "AB3" */;↵
  input LOAD /* synthesis chip_pin = "AA6" */;↵
  ..... ↵
```


4.6 SignalTap II的用法

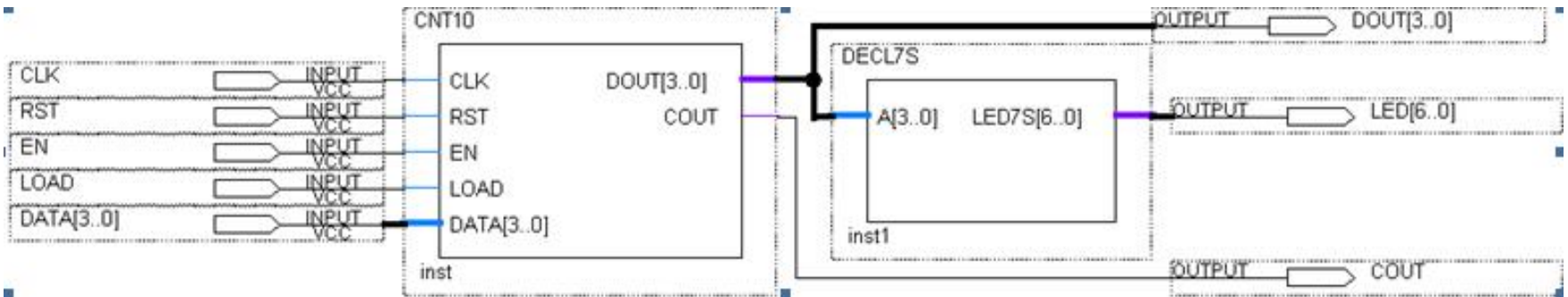


图4-35 十进制计数器设计示例电路

4.6 SignalTap II的用法

1. 打开SignalTap II编辑窗口
2. 调入待测信号

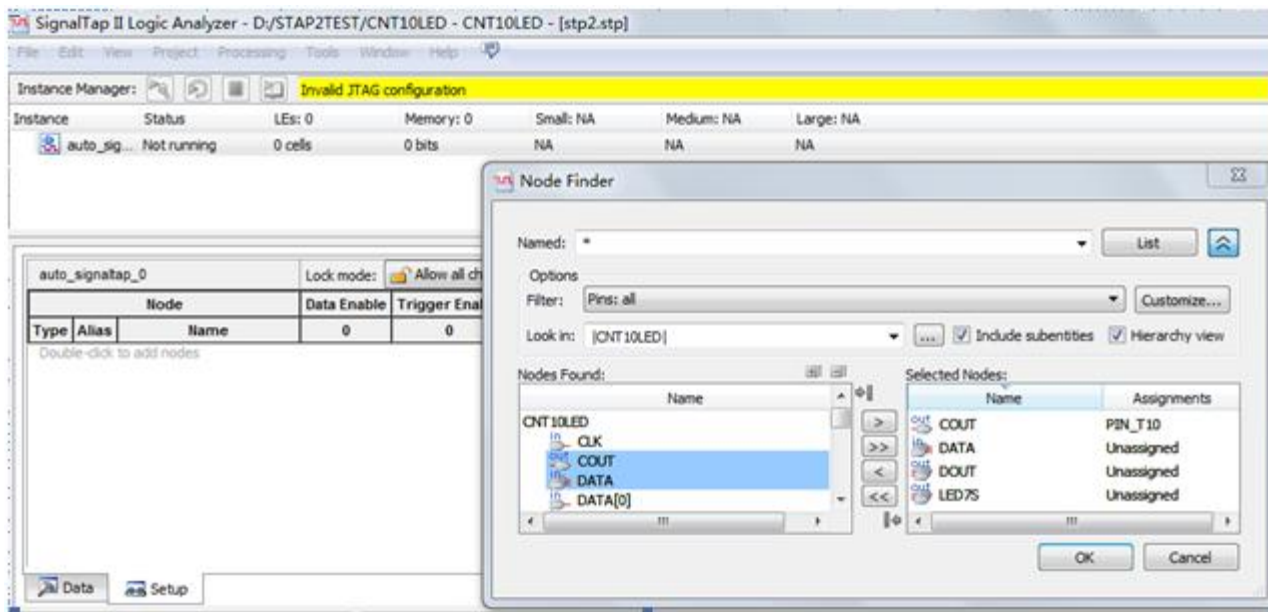


图4-36 输入逻辑分析仪测试信号

4.6 SignalTap II的用法

3. SignalTap II参数设置

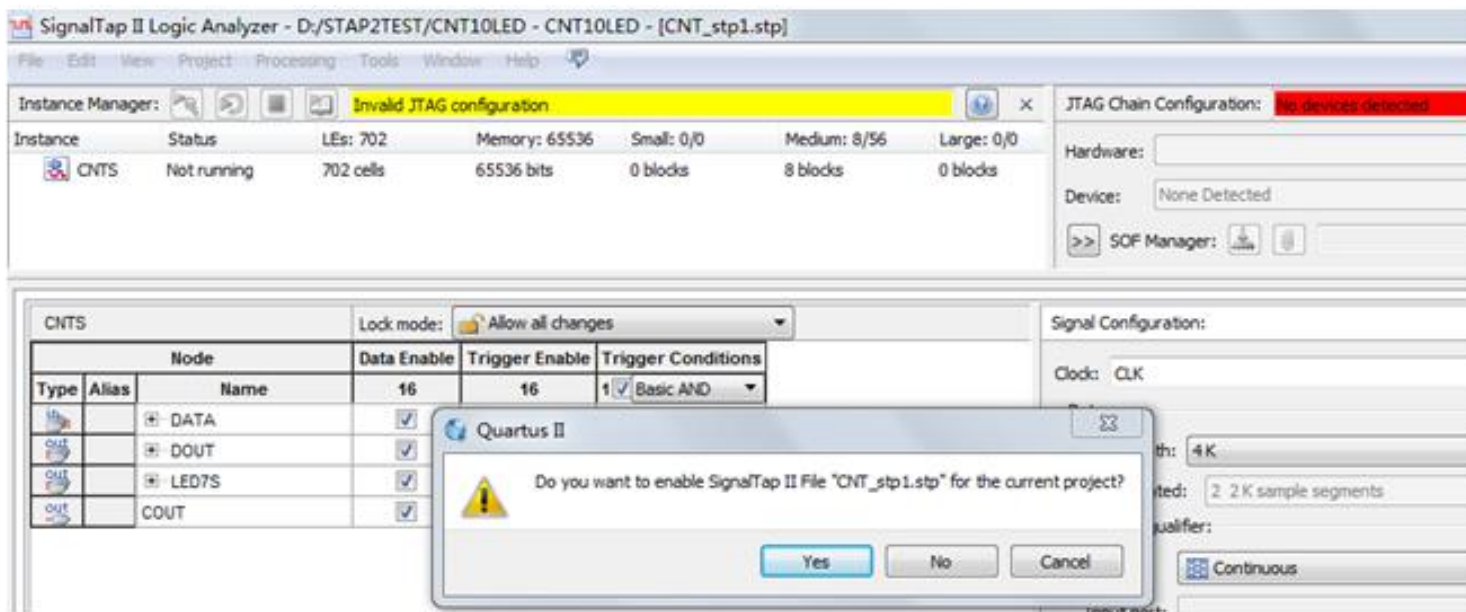


图4-37 SignalTap II编辑窗口

4.6 SignalTap II的用法

3. SignalTap II参数设置

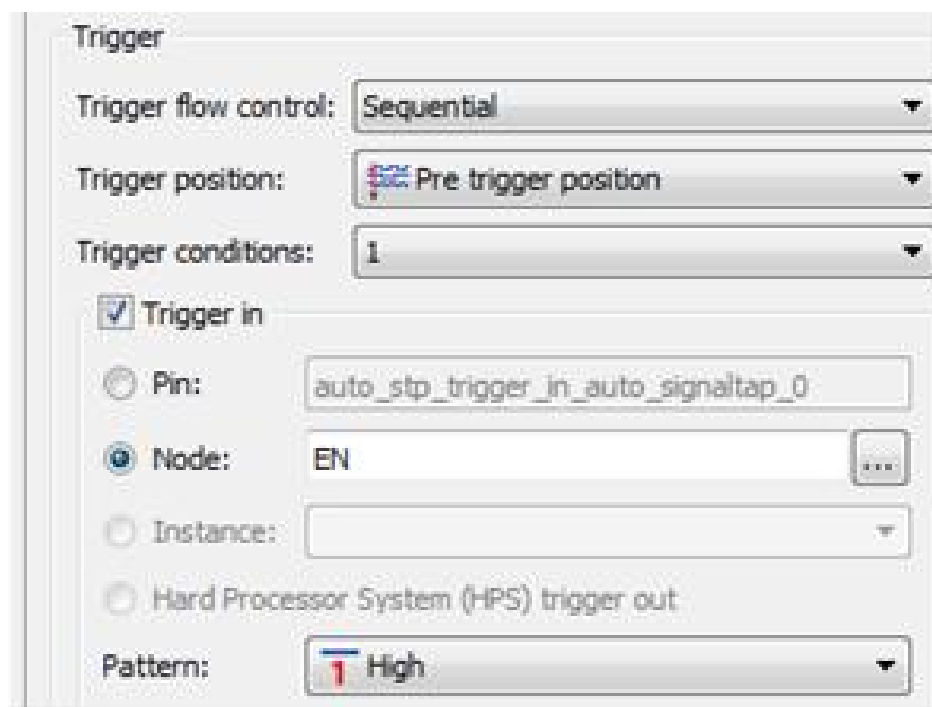


图4-38 设置EN为触发信号

4.6 SignalTap II的用法

4. 文件存盘

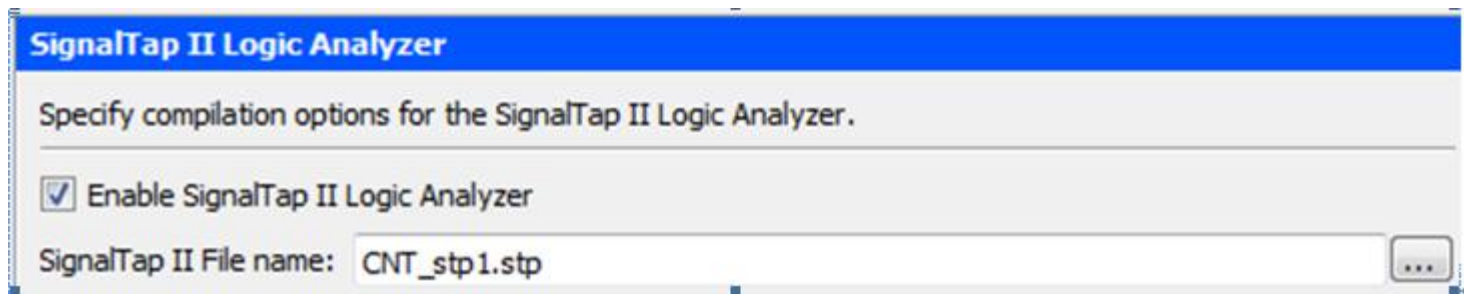


图4-39 选择或删除SignalTap II文件加入综合编译

4.6 SignalTap II的用法

5. 编译下载

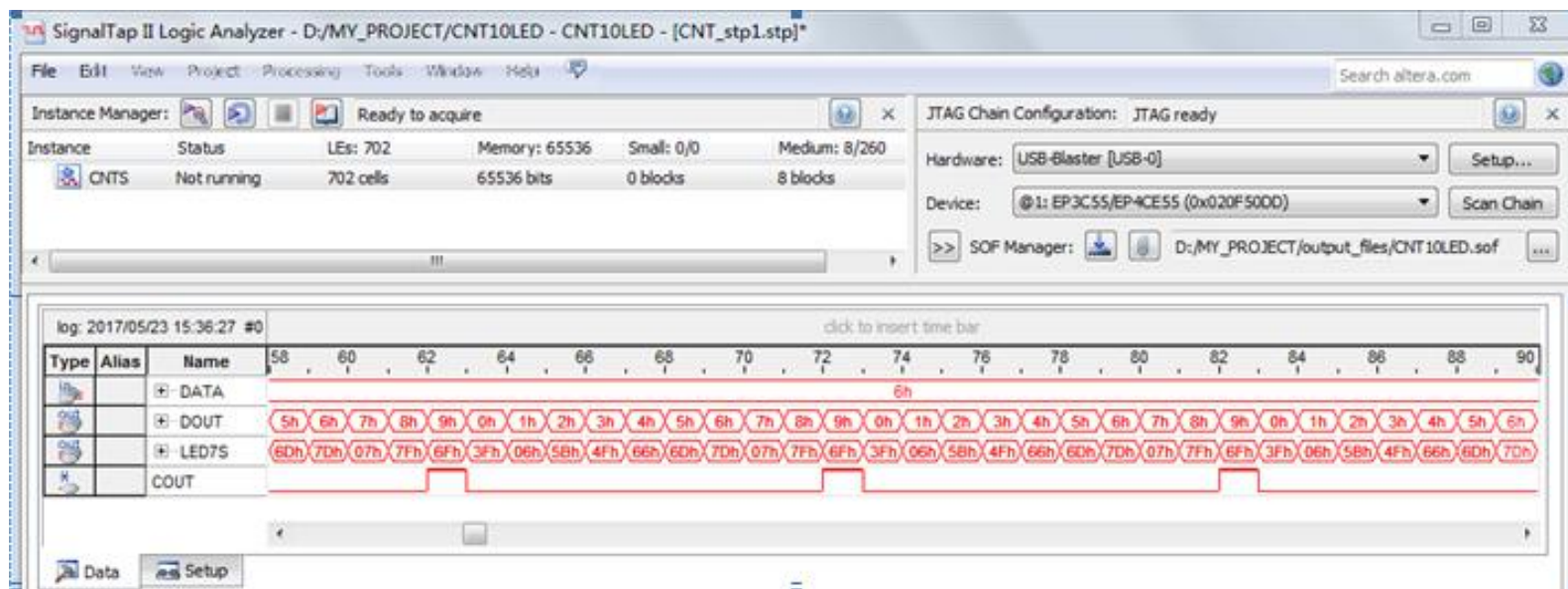


图4-40 SignalTap II实时数据采集显示界面

4.6 SignalTap II的用法

6. 启动SignalTap II进行采样与分析

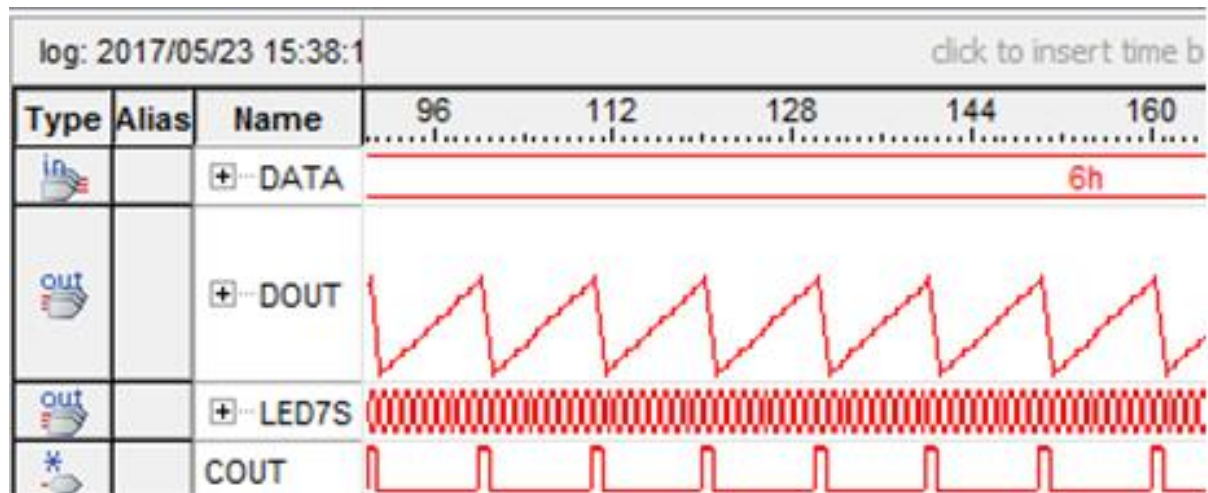


图4-41 改变DOUT数据显示的方式

4.6 SignalTap II的用法

6. 启动SignalTap II进行采样与分析

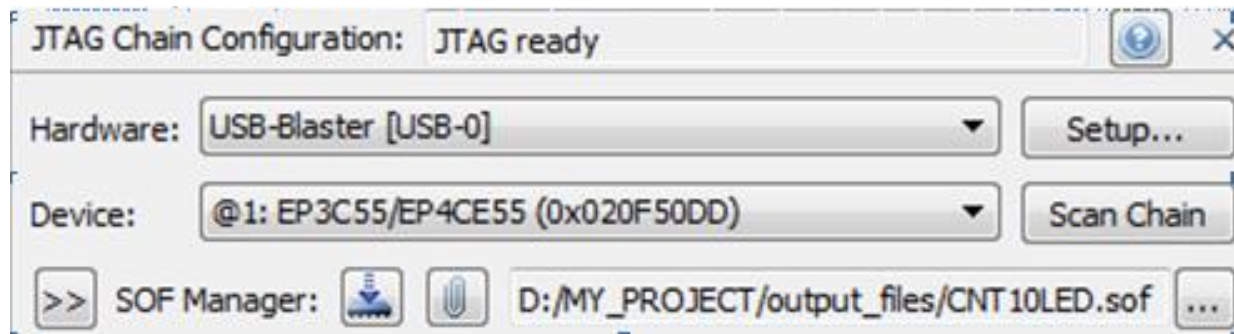


图4-42 扫描FPGA，并下载SOF文件

7. SignalTap II的其他设置和控制方法

4.7 编辑SignalTap II的触发信号

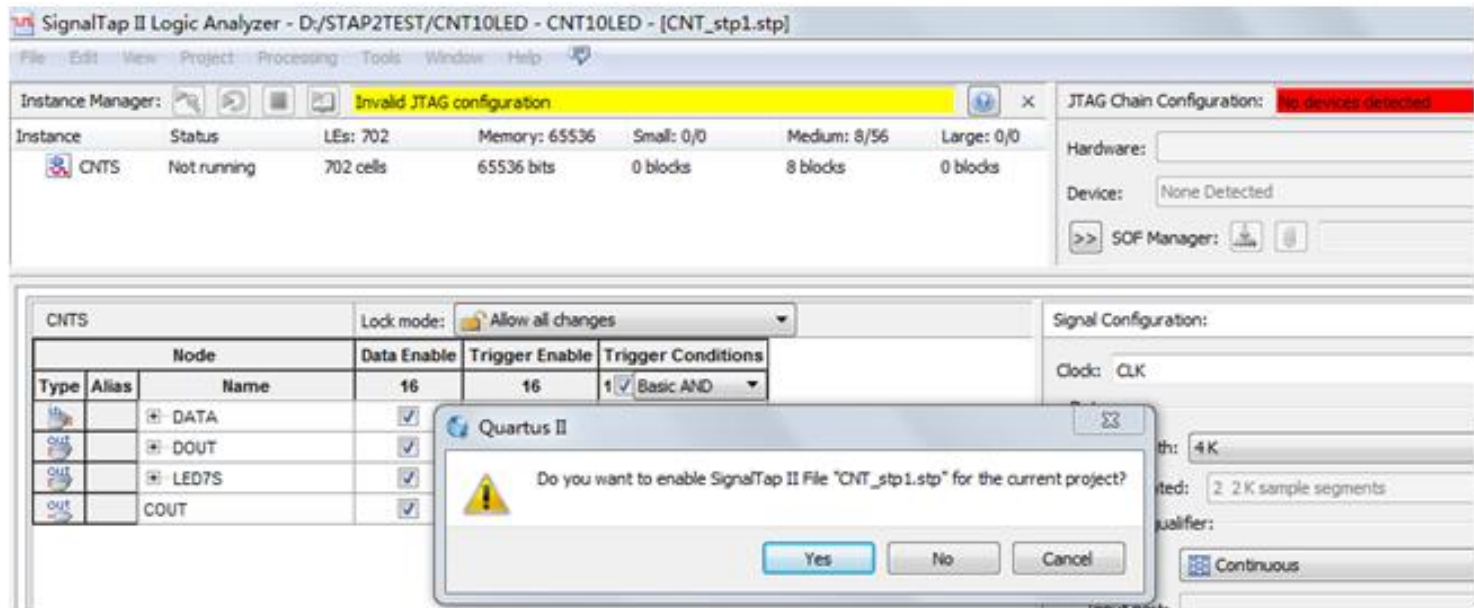


图4-37 SignalTap II编辑窗口

4.8 安装Quartus II 13.1说明

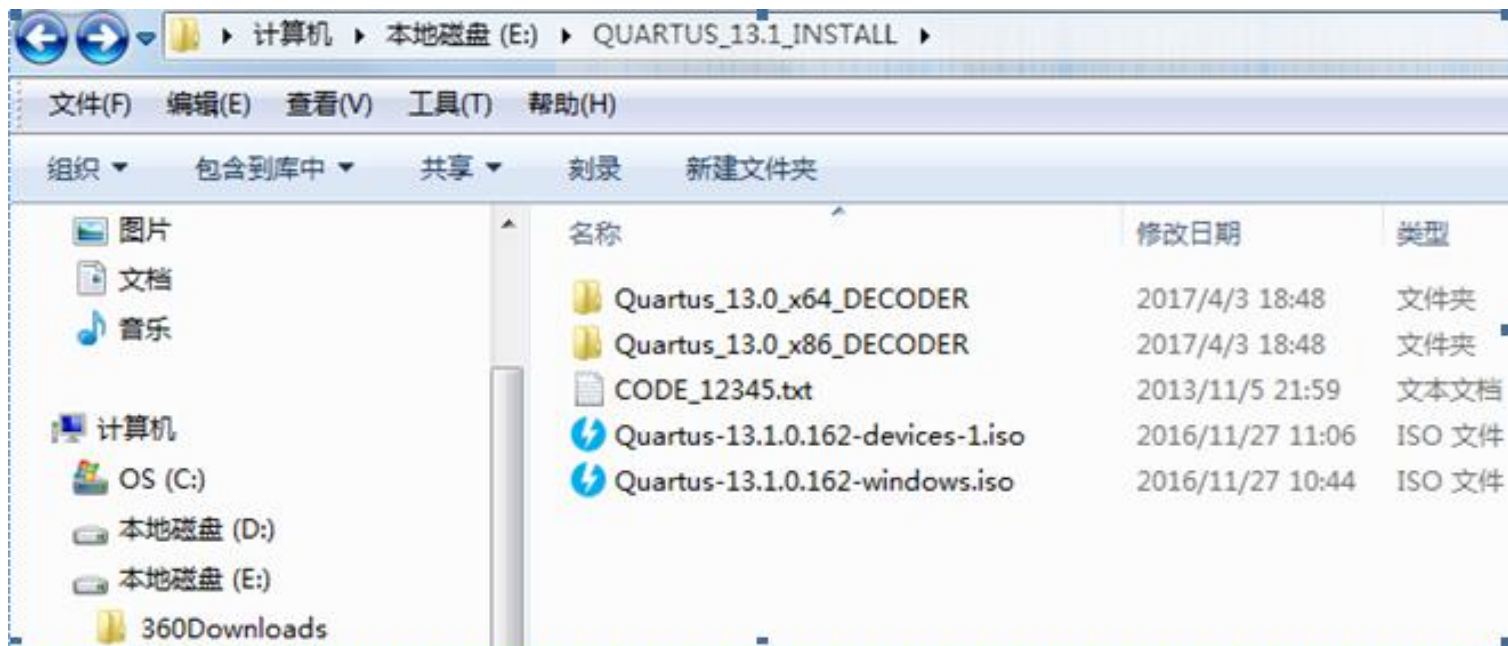


图4-43 QuartusII 13.1的4个安装文件

4.8 安装Quartus II 13.1说明



图4-44 首先安装QuartusII 13.1设计文件：Quartus-13.1.0.162-devices-1

4.8 安装Quartus II 13.1说明



图4-45 安装QuartusII 13.1设计文件界面，点击右侧安装按钮

4.8 安装Quartus II 13.1说明

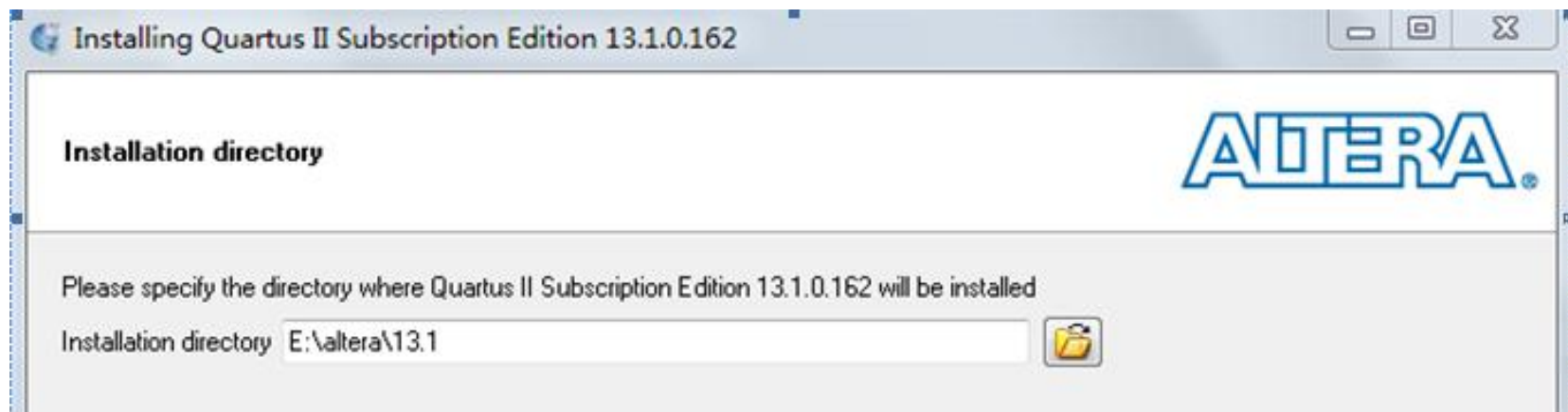


图4-46 设定QuartusII 13.1设计文件安装路径

4.8 安装Quartus II 13.1说明

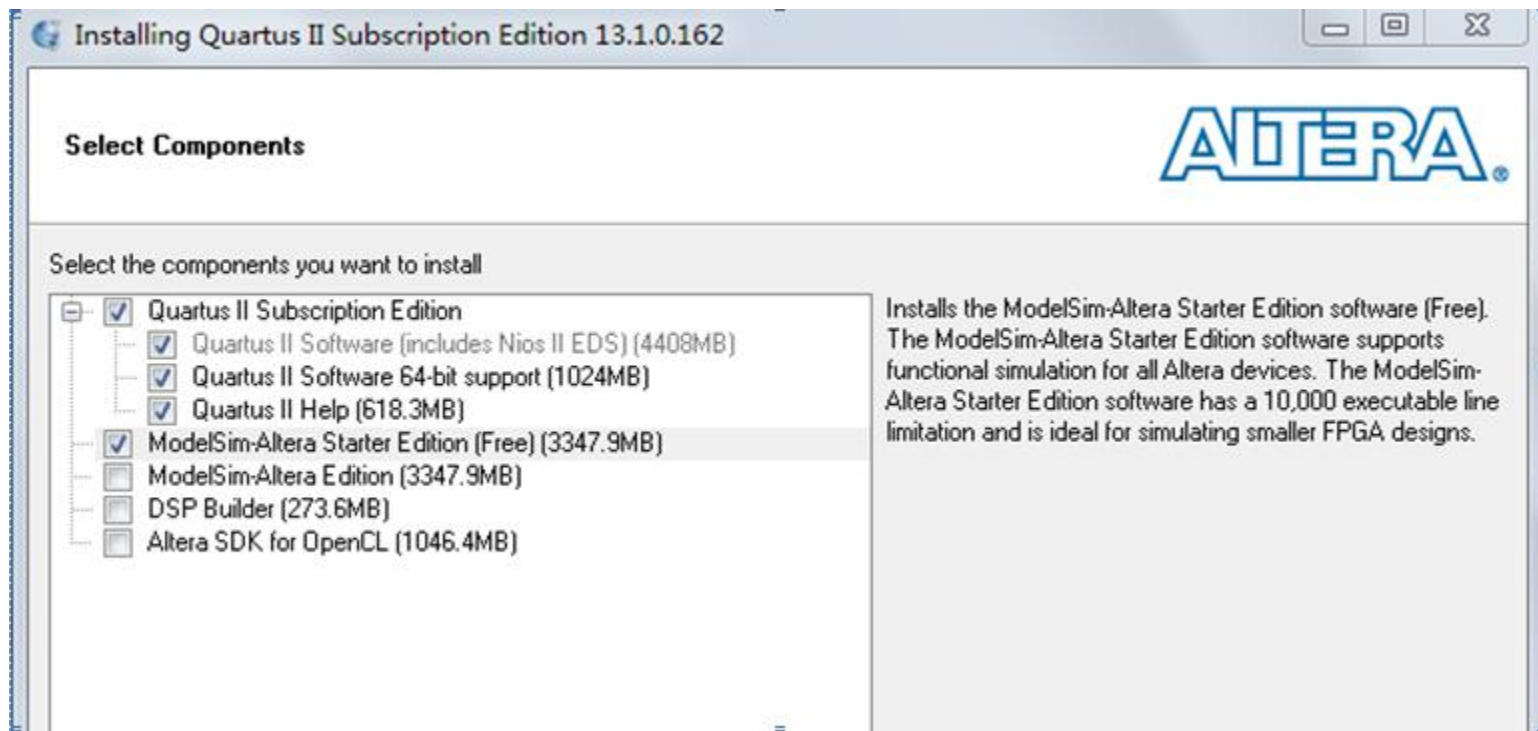


图4-47 选择安装软件。注意不要漏了ModelSim-Altera Starter Edition

4.8 安装Quartus II 13.1说明

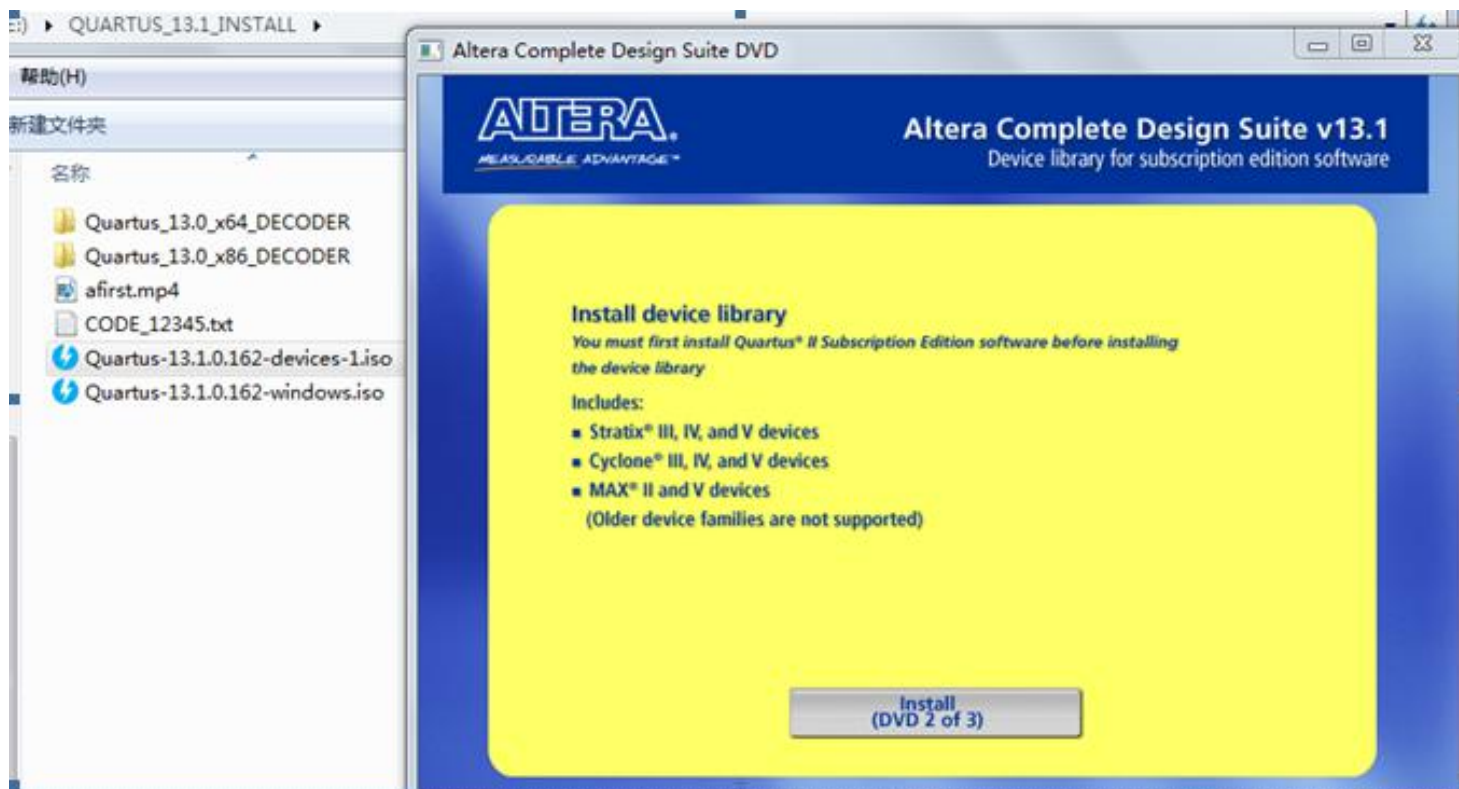


图4-48 安装完QuartusII 13.1设计文件后，再安装器件文件

4.8 安装Quartus II 13.1说明

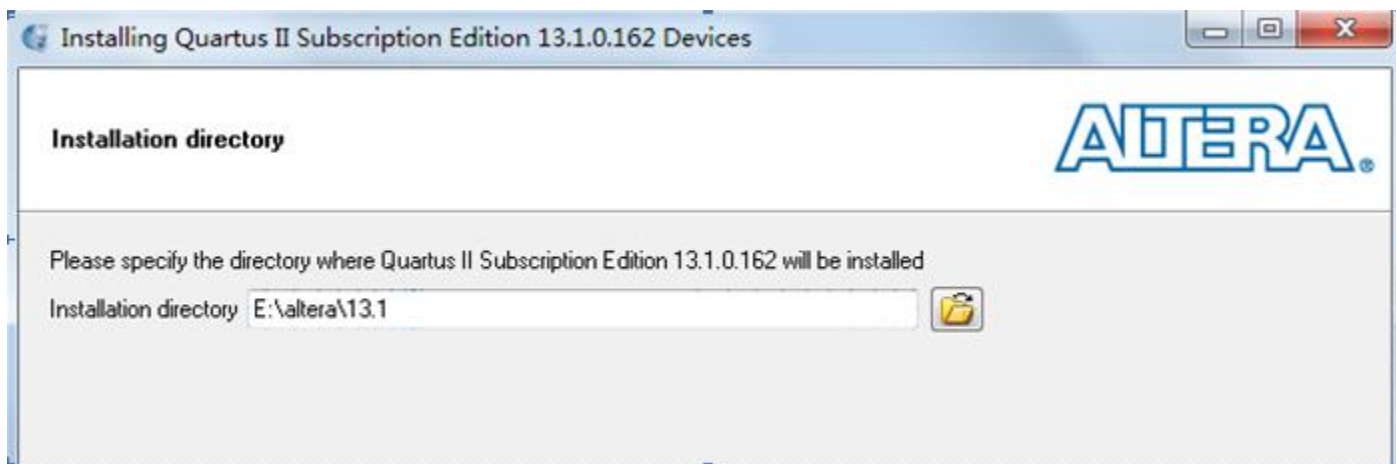


图4-49 设定器件文件安装的路径

4.8 安装Quartus II 13.1说明

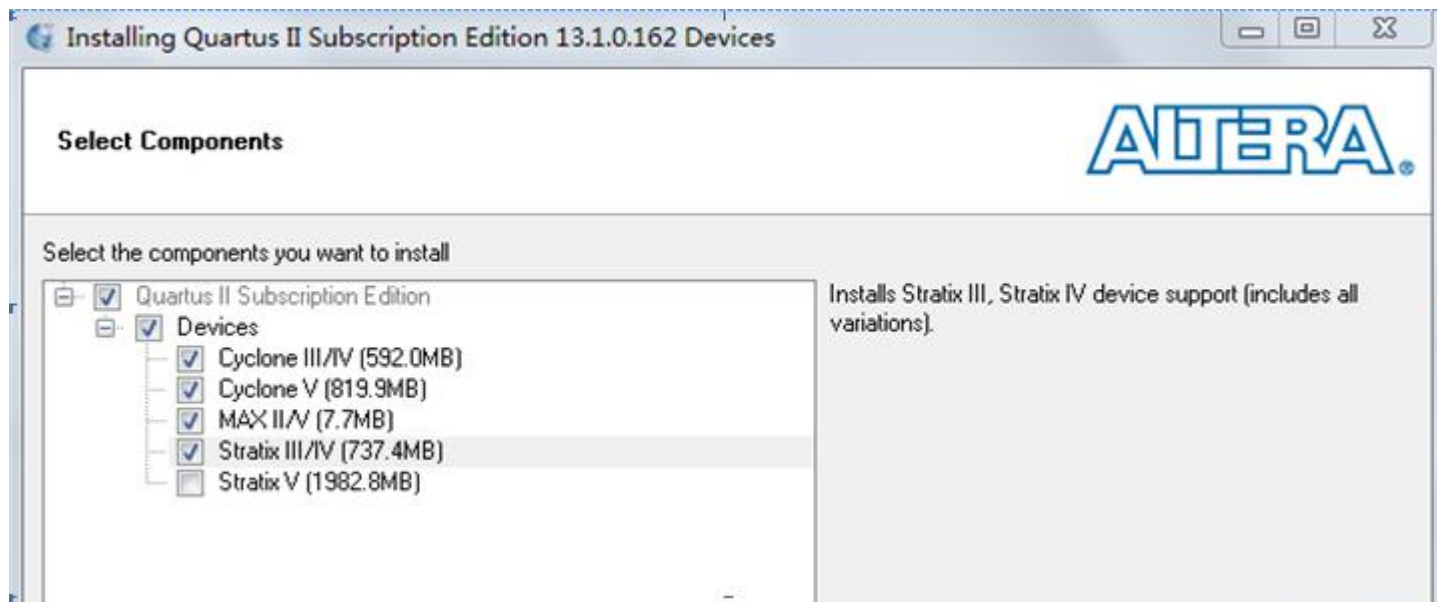


图4-50 选择需要安装的器件系列

4.8 安装Quartus II 13.1说明

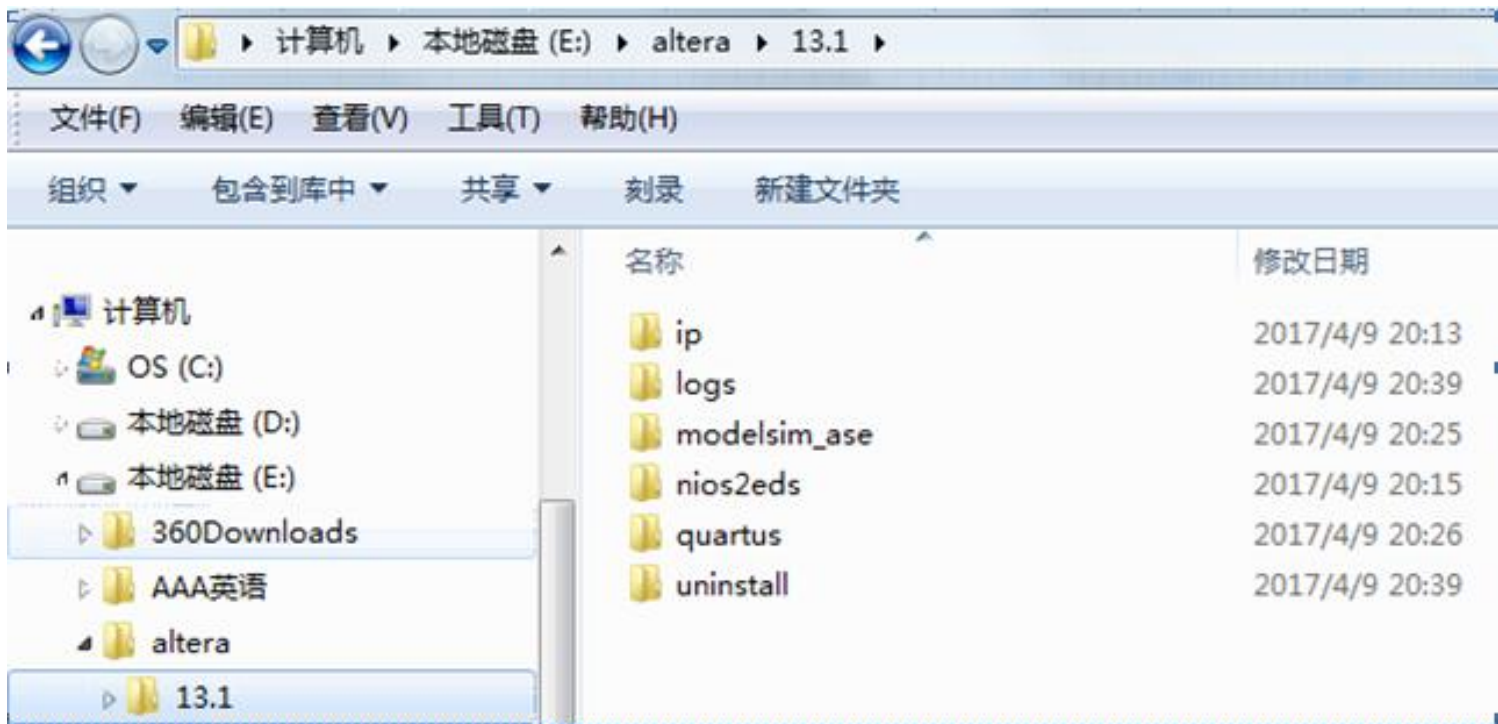


图4-51 QuartusII 13.1安装完成后查看一下是否已经安装上了ModelSim-Altera Starter Edition

4.8 安装Quartus II 13.1说明

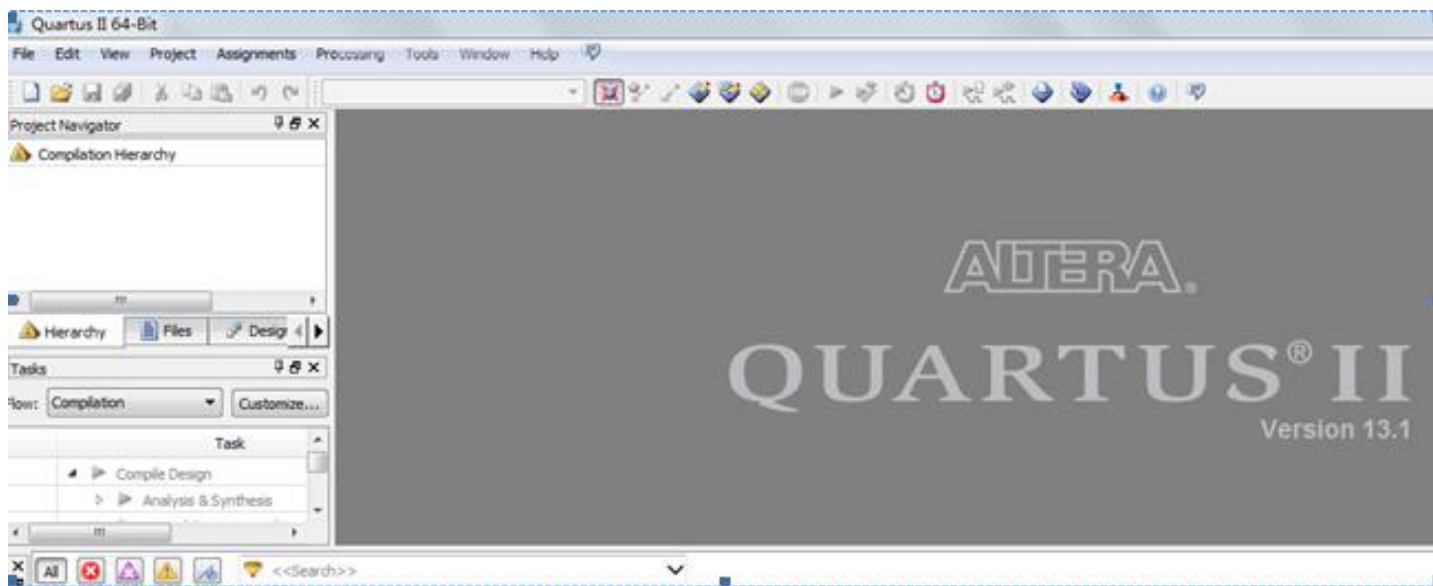


图4-52 打开QuartusII 13.1

4.8 安装Quartus II 13.1说明

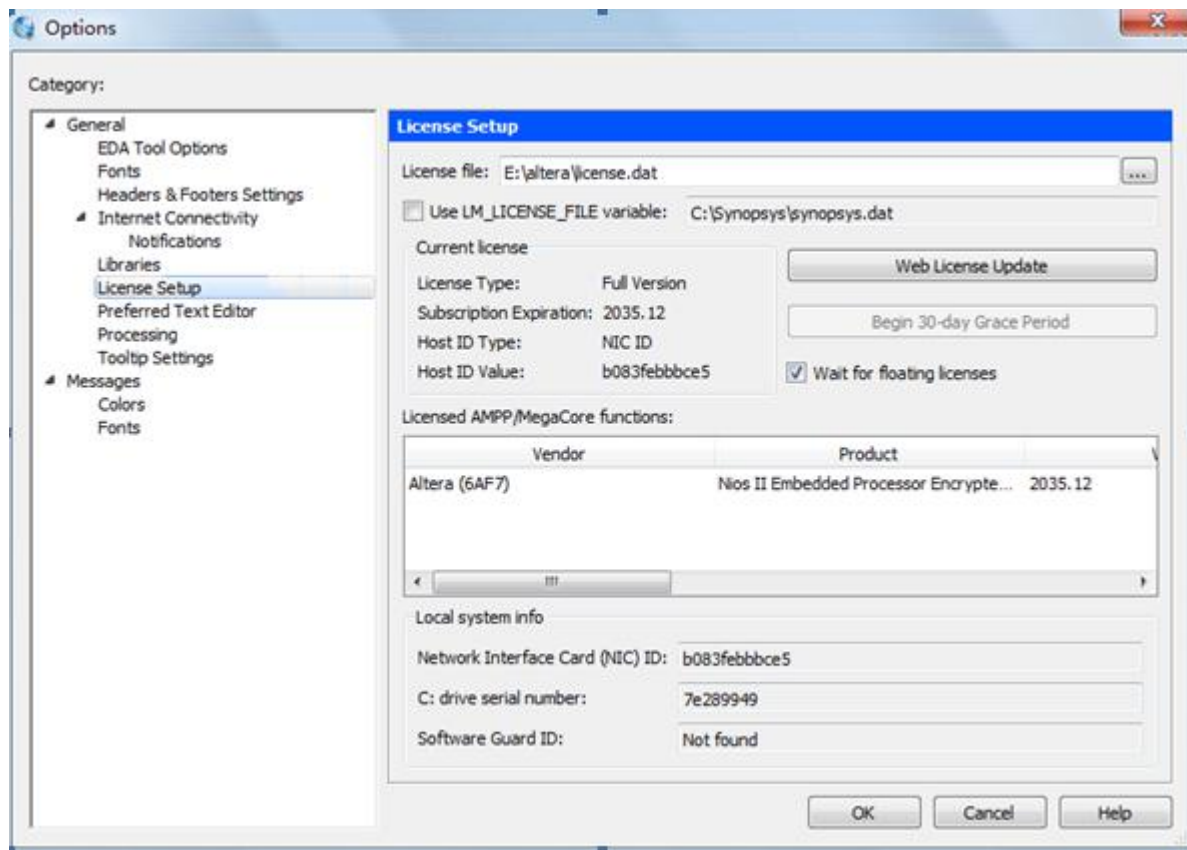


图4-53 在此窗口获取网卡ID码，以及设定授权文件License.dat

实验与设计

实验4-1 多路选择器设计实验

实验4-2 十六进制7段数码显示译码器设计

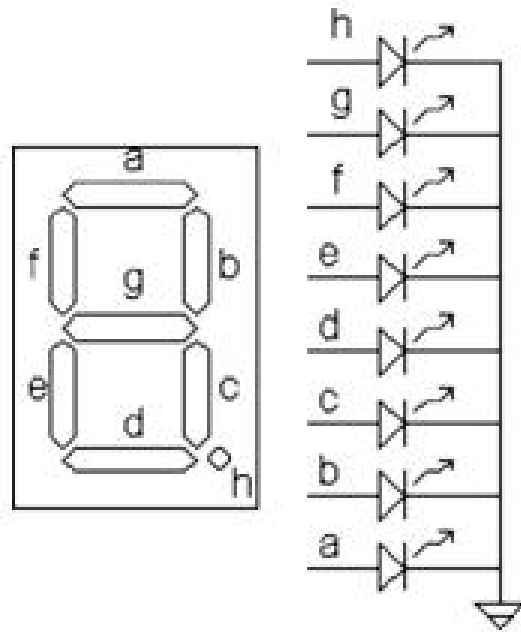


图4-54 共阴数码管

实验与设计

实验4-2 十六进制7段数码显示译码器设计

表 4-2 十六进制 7 段译码器真值表

输入码	输出码	代表数据
0000	0111111	0
0001	0000110	1
0010	1011011	2
0011	1001111	3
0100	1100110	4
0101	1101101	5
0110	1111101	6
0111	0000111	7
1000	1111111	8
1001	1101111	9
1010	1110111	A
1011	1111100	B
1100	0111001	C
1101	1011110	D
1110	1111001	E
1111	1110001	F

实验与设计

实验4-3 8位硬件乘法器设计实验

实验4-4 应用宏模块设计数字频率计

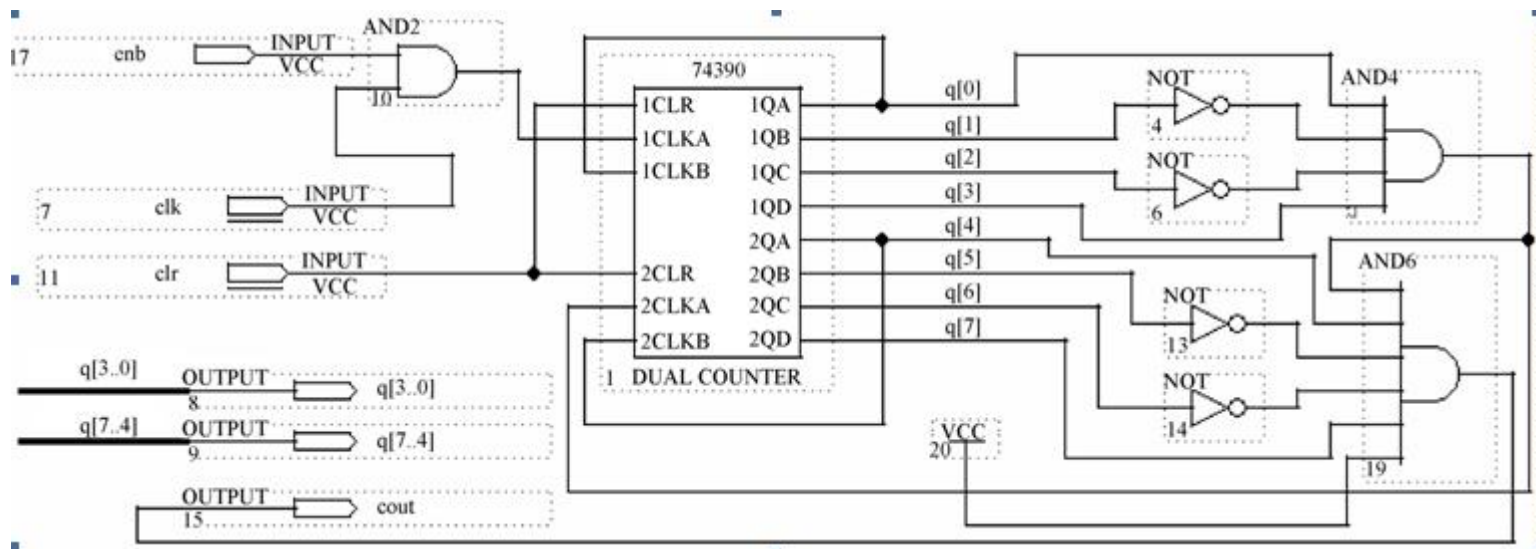


图4-55 含有时钟使能的2位十进制计数器

实验与设计

实验4-3 8位硬件乘法器设计实验

实验4-4 应用宏模块设计数字频率计

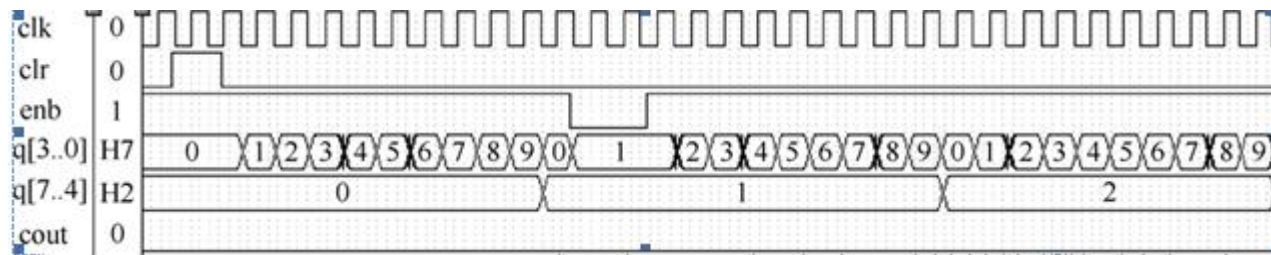


图4-56 2位十进制计数器工作波形

实验与设计

实验4-4 应用宏模块设计数字频率计

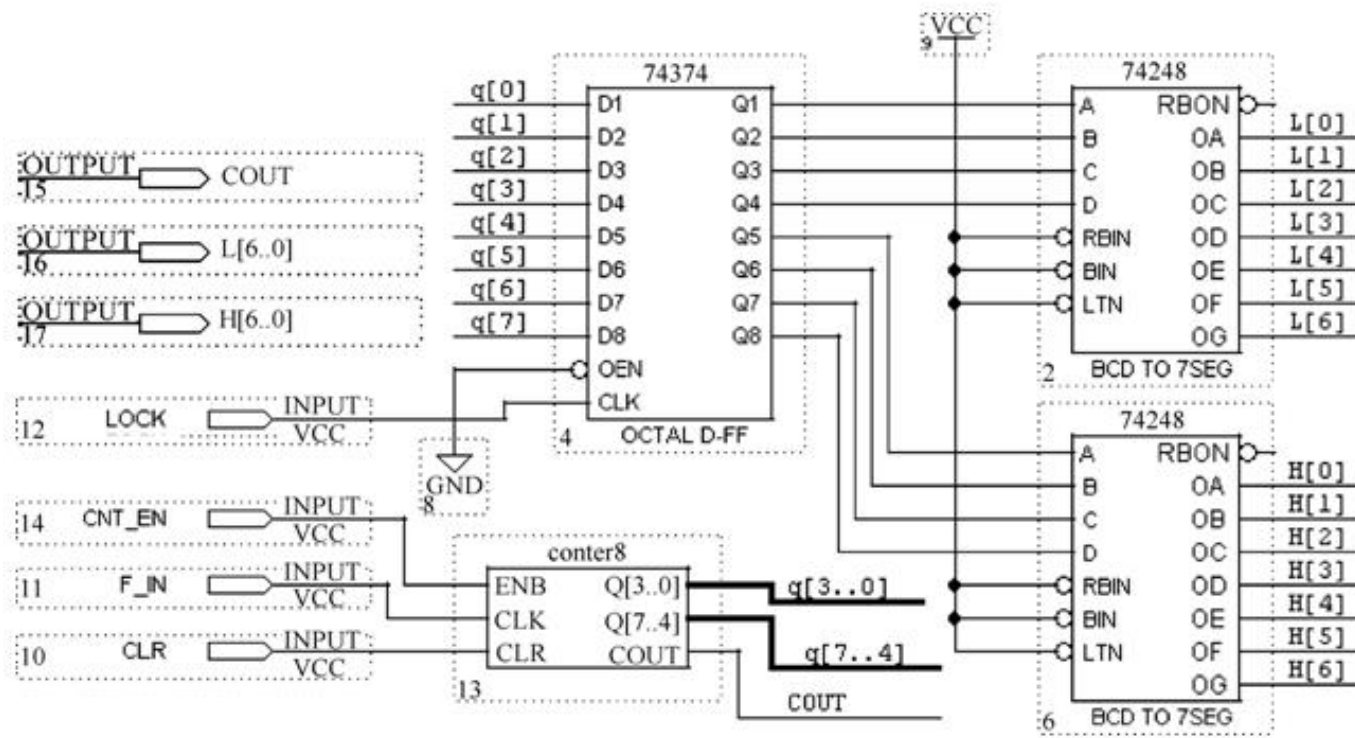


图4-57 2位十进制频率计顶层设计原理图文件

实验与设计

实验4-4 应用宏模块设计数字频率计

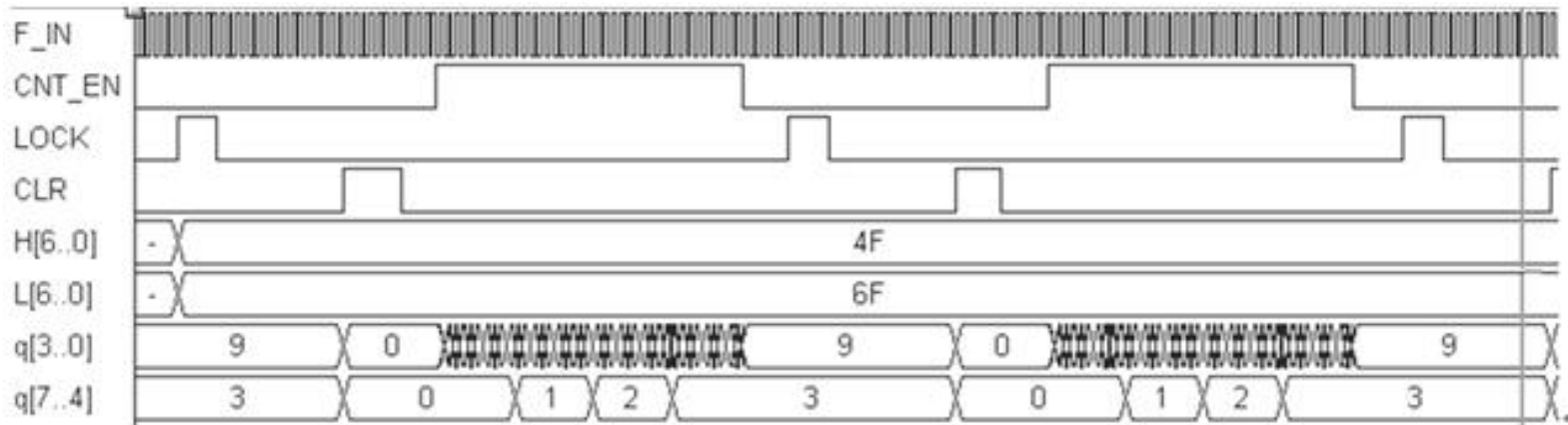


图4-58 2位十进制频率计测频仿真波形

实验与设计

实验4-4 应用宏模块设计数字频率计

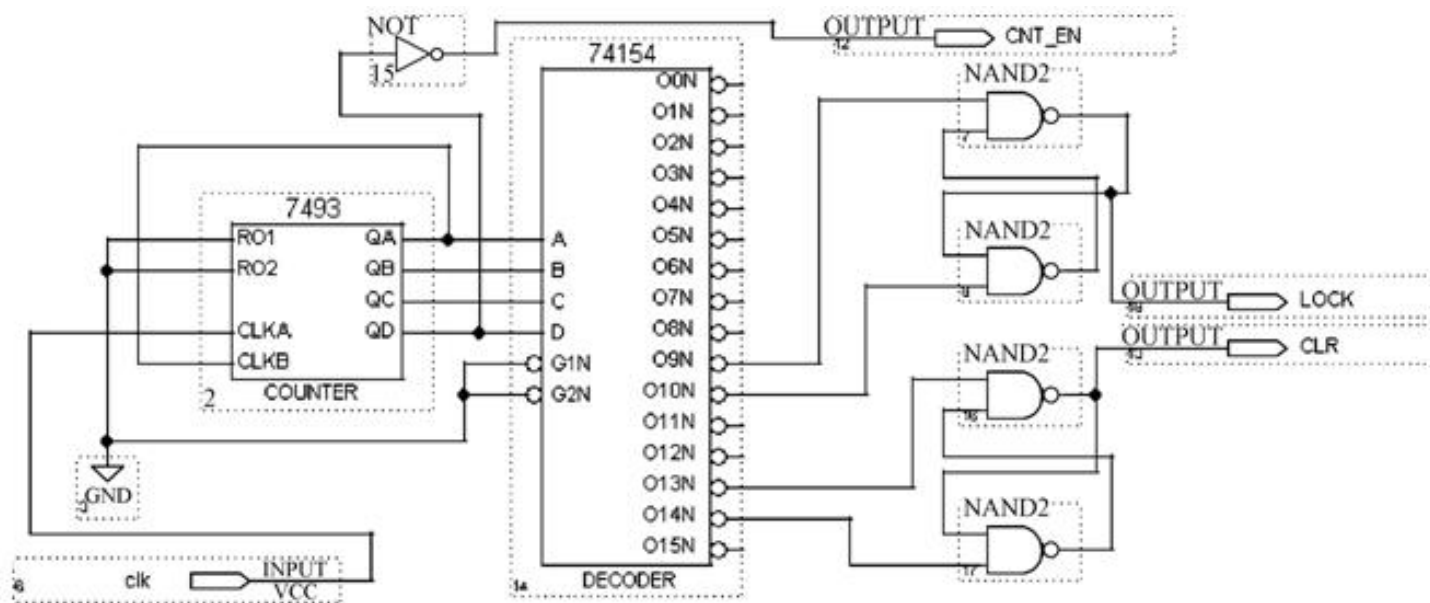


图4-59 测频时序控制电路

实验与设计

实验4-4 应用宏模块设计数字频率计

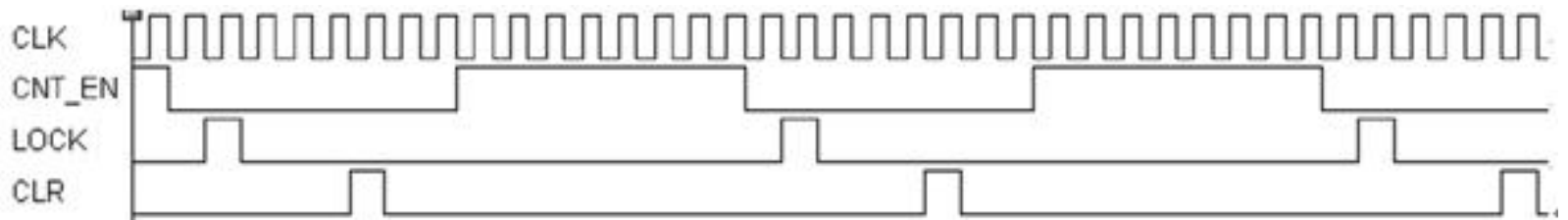


图4-60 测频时序控制电路工作波形

实验与设计

实验4-4 应用宏模块设计数字频率计

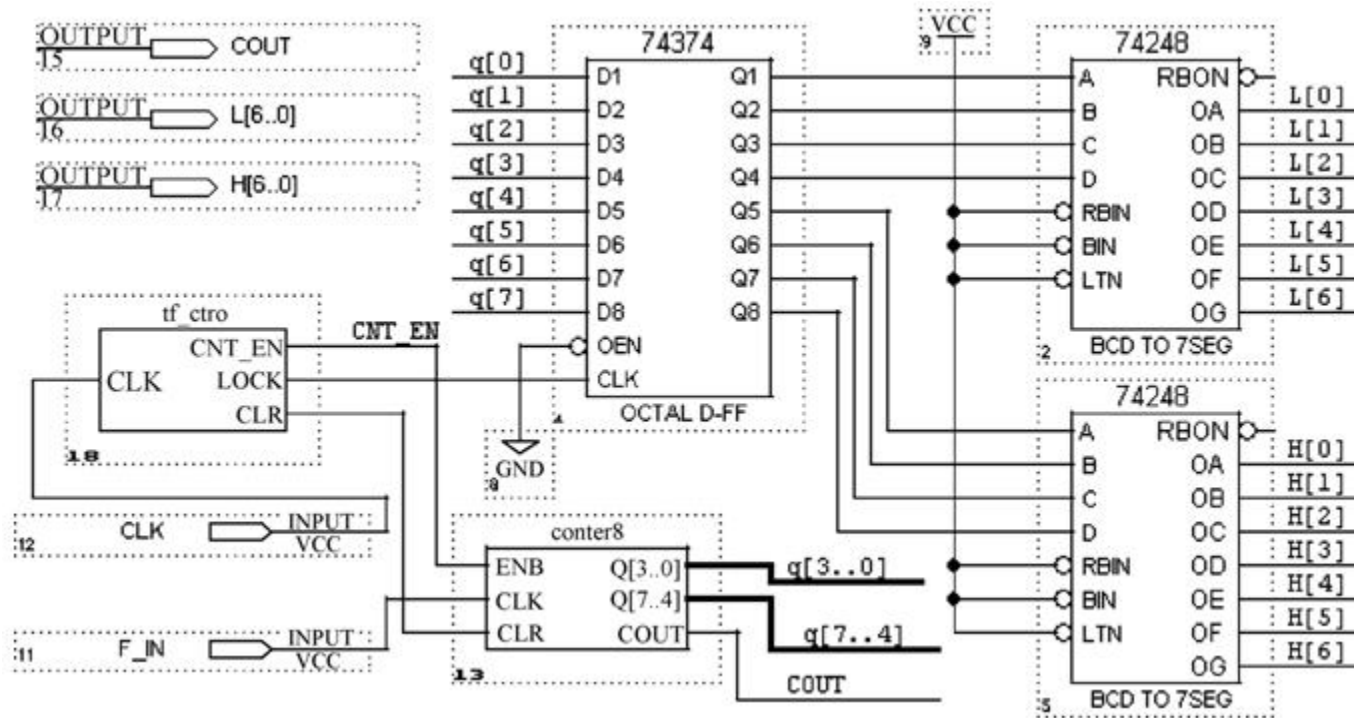


图4-61 频率计顶层电路原理图

实验与设计

实验4-4 应用宏模块设计数字频率计

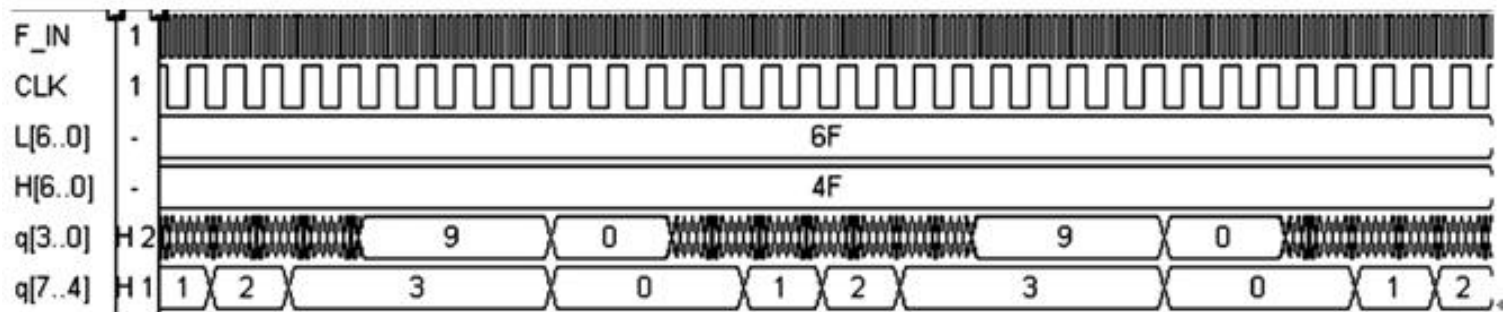


图4-62 频率计工作时序波形

实验与设计

实验4-5 计数器设计实验

实验4-6 数码扫描显示电路设计

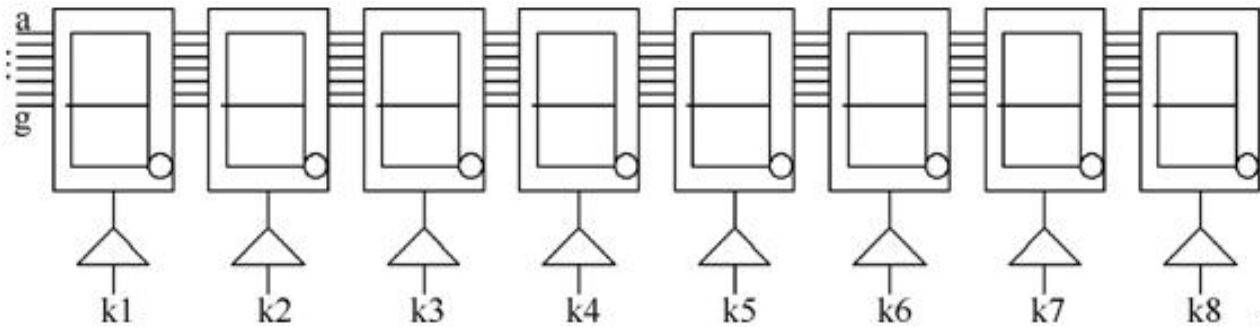


图4-63 8位数码扫描显示电路

实验与设计

实验4-7 半整数与奇数分频器设计

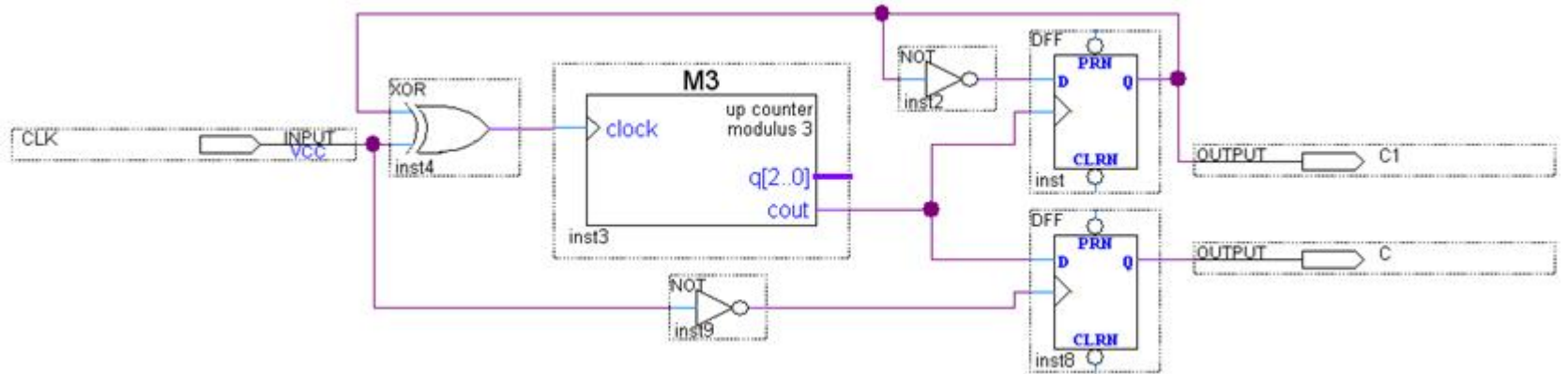


图4-64 占空比为50%的任意奇数次分频电路

实验与设计

实验4-7 半整数与奇数分频器设计

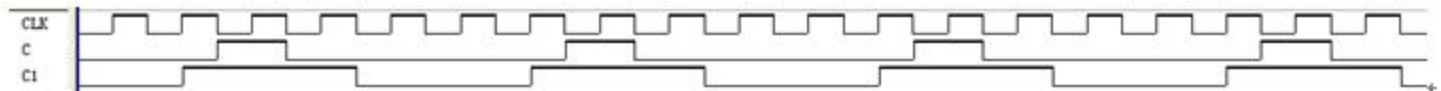


图4-65 图4-64电路的仿真波形

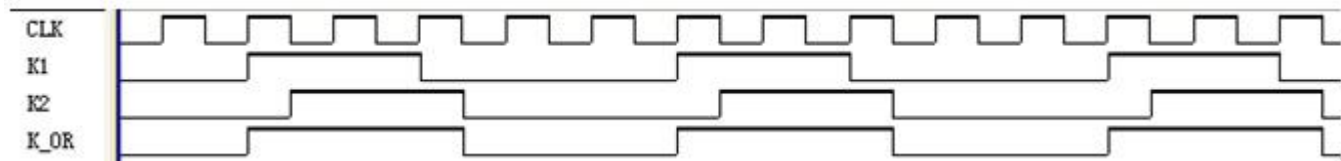


图4-66 占空比为50%的任意奇数次分频电路

实验与设计

实验4-7 半整数与奇数分频器设计

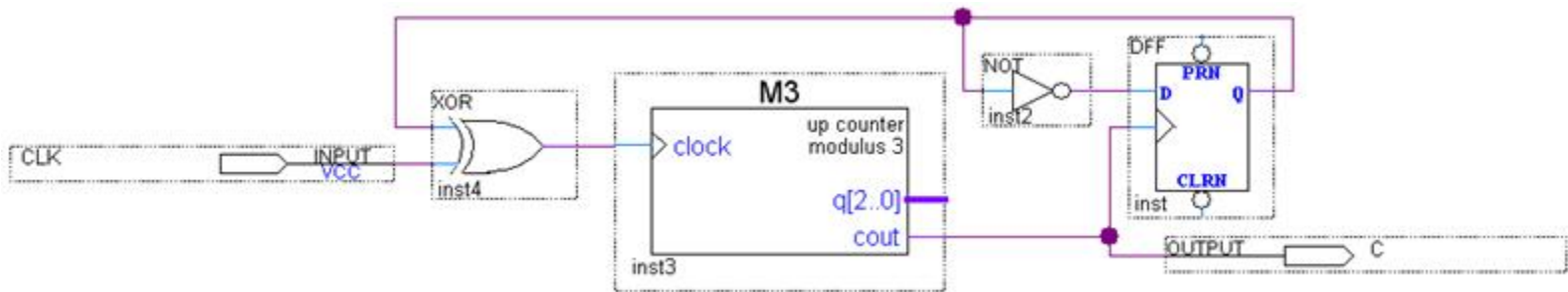


图4-67 任意半整数分频电路

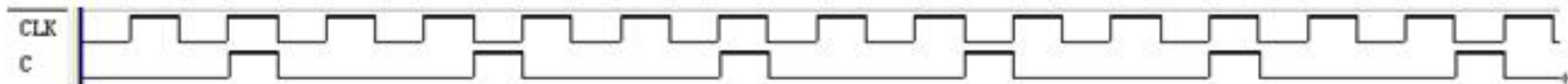


图4-68 图4-67电路仿真波形图