

第11章

DSP Builder系统设计方法

11.1 MATLAB/DSP Builder及其设计流程

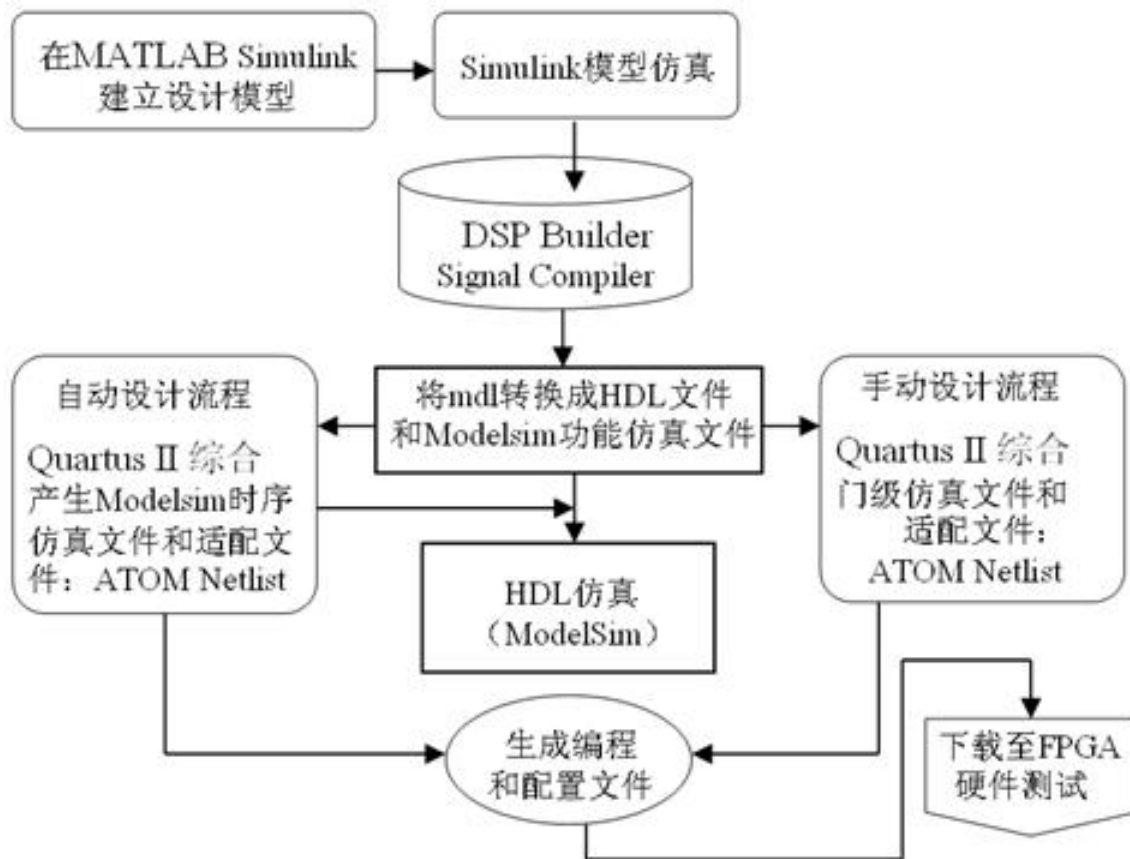


图 11-1 基于 MATLAB、DSP Builder 和 Quartus II 等工具完成设计的流程图

11.2 正弦信号发生器设计

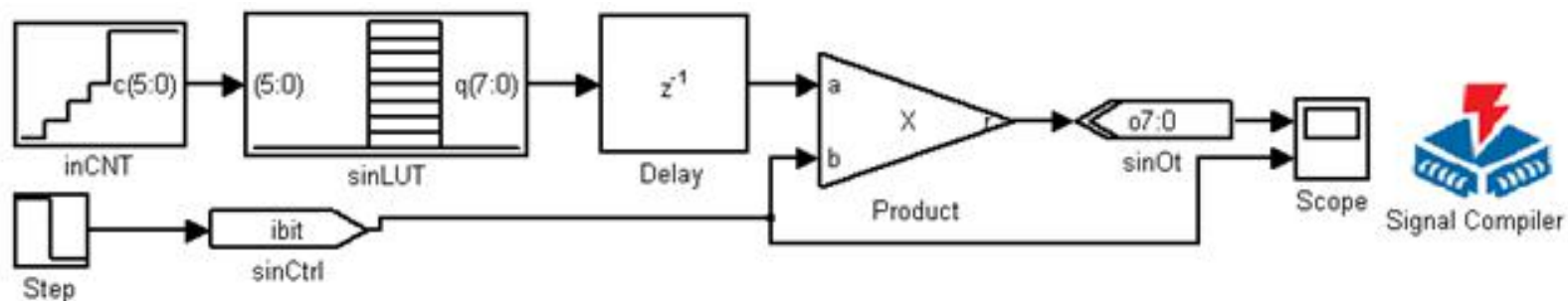


图 11-2 正弦波发生模块原理图

11.2 正弦信号发生器设计

11.2.1 建立设计模型

1. 打开MATLAB环境

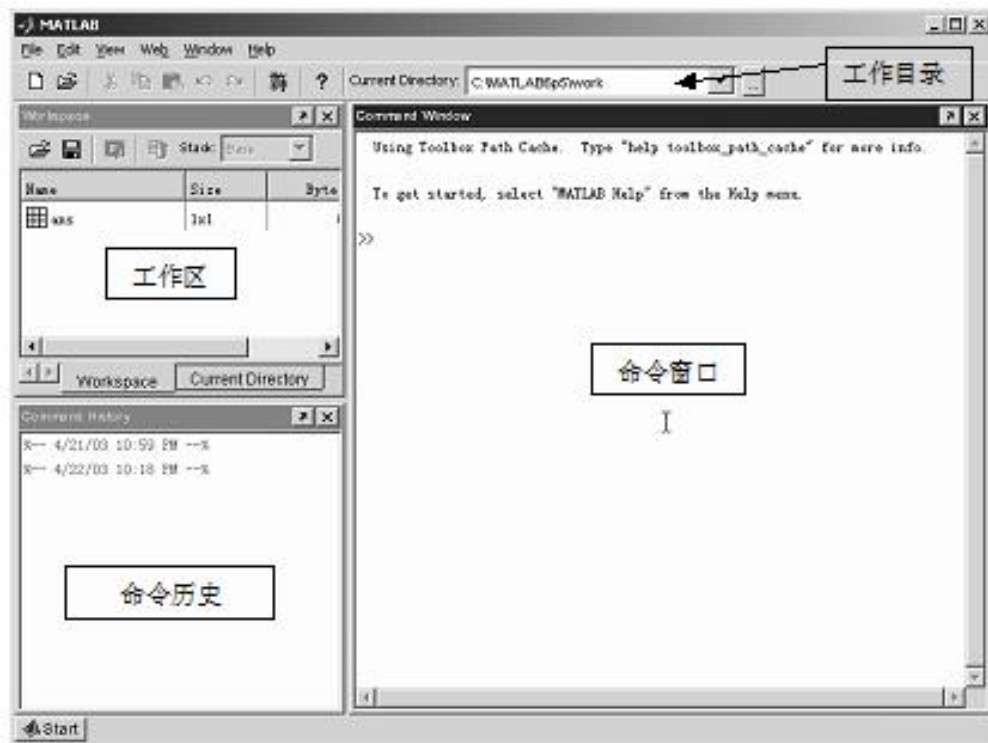


图 11-3 MATLAB 界面

11.2 正弦信号发生器设计

11.2.1 建立设计模型

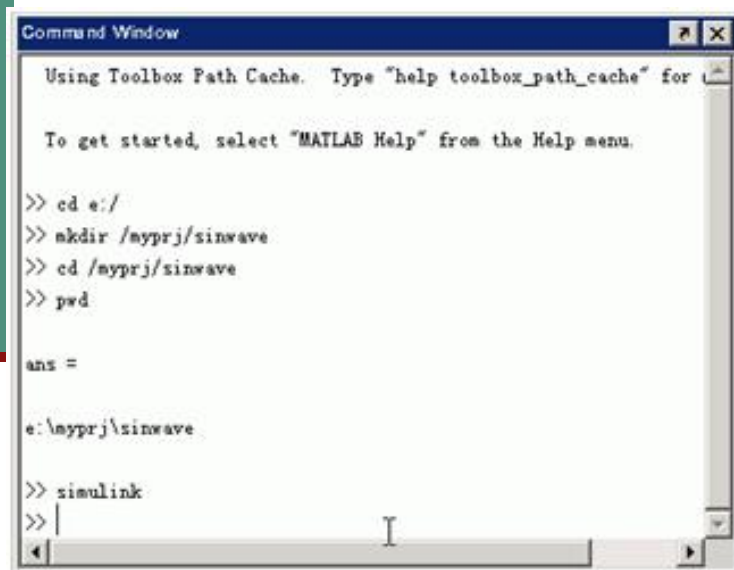
2. 建立工作库

```
cd E:/  
    mkdir /myprj/sinwave  
cd /myprj/sinwave
```

11.2 正弦信号发生器设计

11.2.1 建立设计模型

3. 了解Simulink库管理器



```
Command Window
Using Toolbox Path Cache. Type "help toolbox_path_cache" for
To get started, select "MATLAB Help" from the Help menu.

>> cd e:/
>> mkdir /myprj/sinwave
>> cd /myprj/sinwave
>> pwd

ans =

e:\myprj\sinwave

>> simulink
>> |
```

图 11-4 打开 Simulink

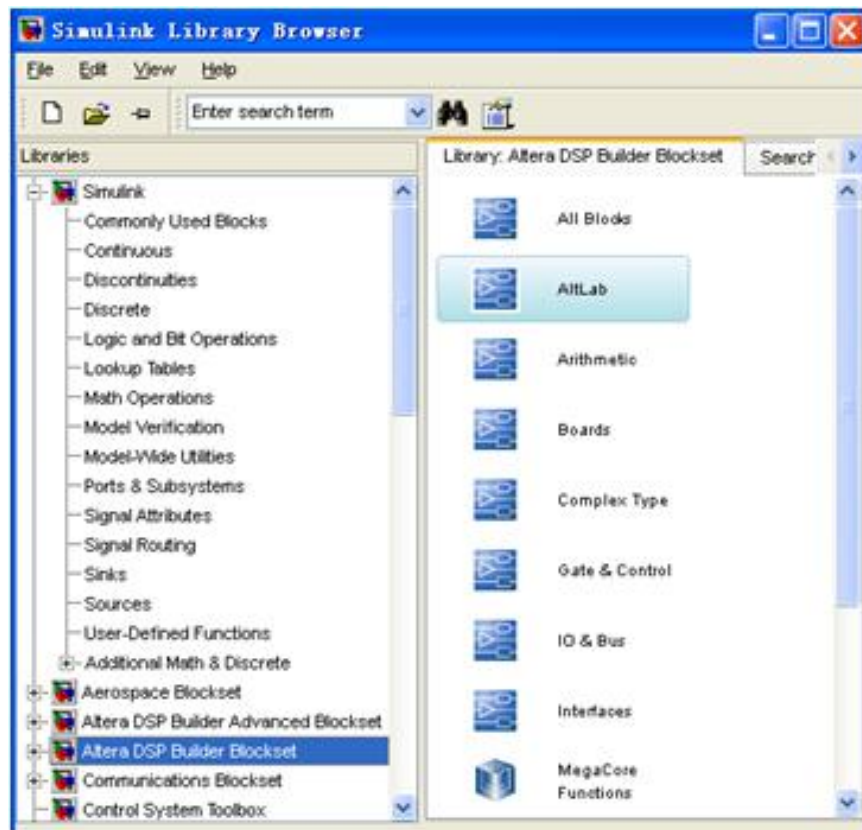


图 11-5 Simulink 库管理器

11.2 正弦信号发生器设计

11.2.1 建立设计模型

4. Simulink 的模型文件

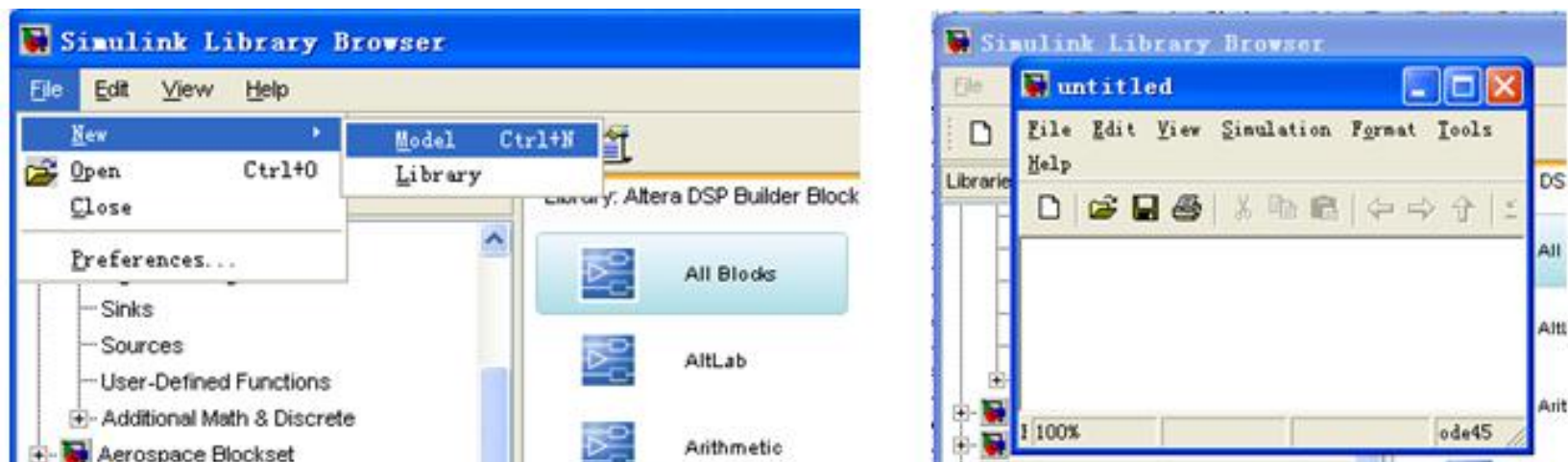


图 11-6 建立新模型

11.2 正弦信号发生器设计

11.2.1 建立设计模型

5. 放置SignalCompiler

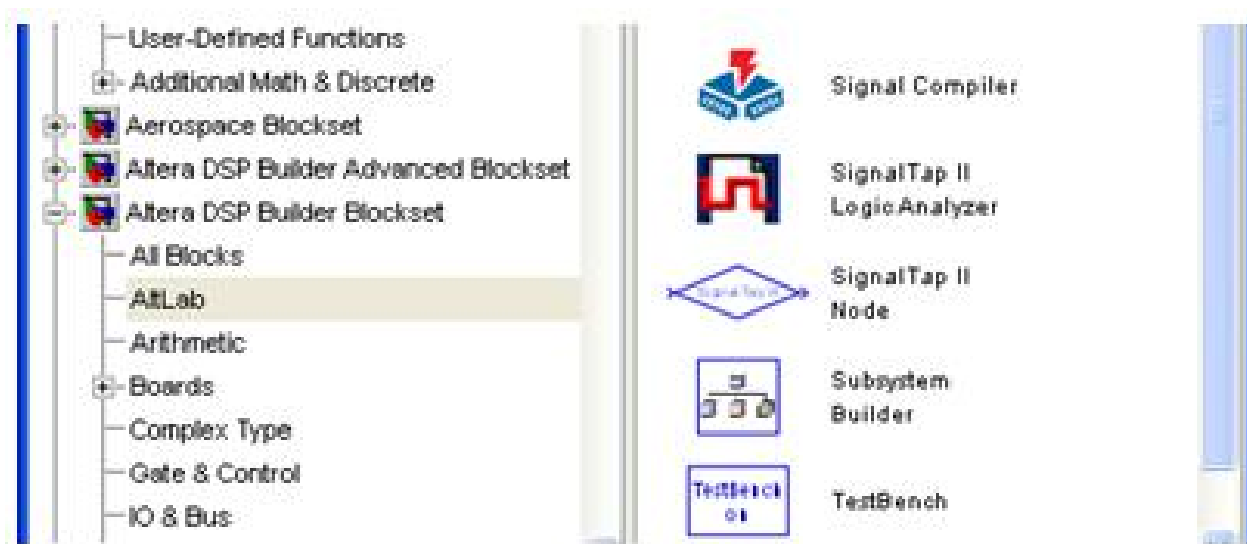


图 11-7 放置 SignalCompiler

11.2 正弦信号发生器设计

11.2.1 建立设计模型

6. 放置Increment Decrement

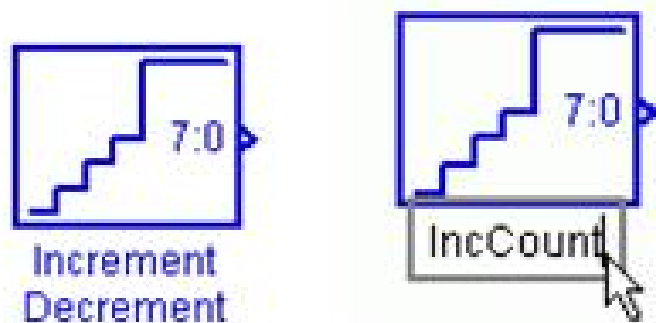


图 11-8 递增递减模块改名为 IncCount

11.2 正弦信号发生器设计

11.2.1 建立设计模型

7. 设置IncCount

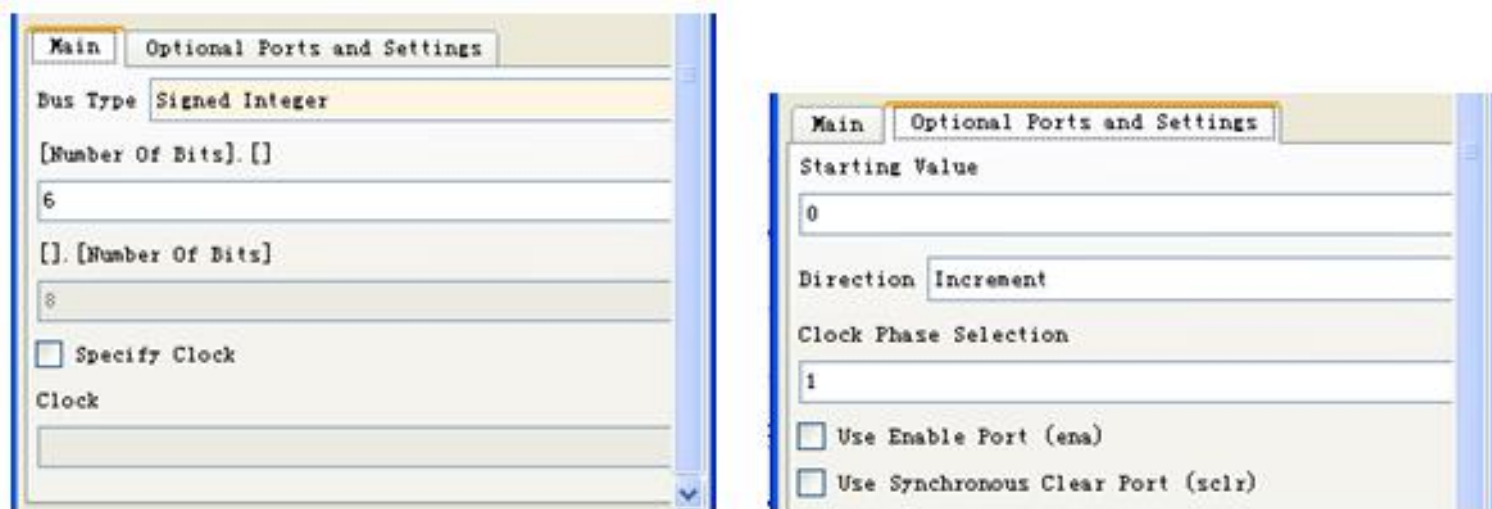


图 11-9 设置递增递减模块

11.2 正弦信号发生器设计

11.2.1 建立设计模型

8. 放置正弦查找表 (SinLUT)



图 11-10 LUT 模块

`sin([起始值:步进值:结束值])`

$$127 * \sin(0:2 * \pi / (2^6):2 * \pi) \quad (11-1)$$

$$511 * \sin(0:2 * \pi / (2^6):2 * \pi) + 512 \quad (11-2)$$

11.2 正弦信号发生器设计

11.2.1 建立设计模型

8. 放置正弦查找表（SinLUT）

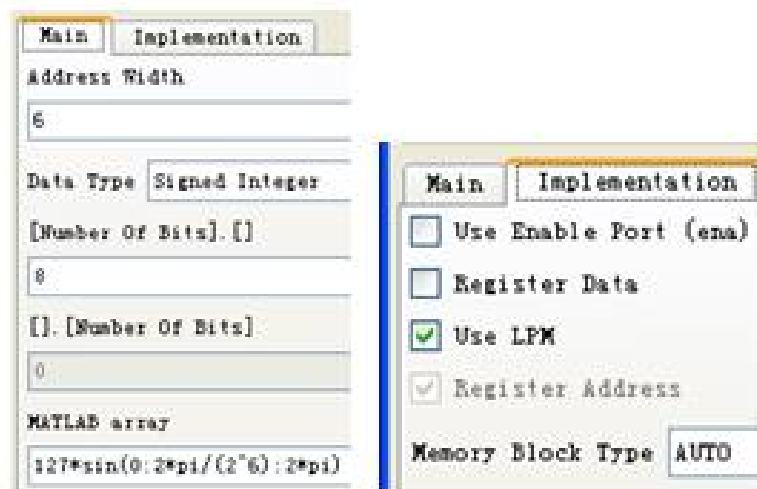


图 11-11 设置 sinLUT

11.2 正弦信号发生器设计

11.2.1 建立设计模型

9. 放置Delay模块

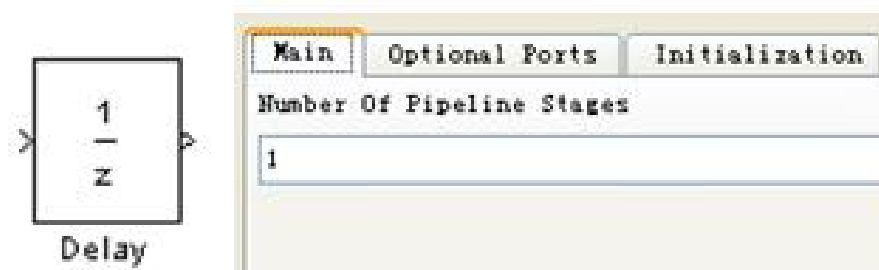


图 11-12 Delay 模块及其参数设置窗口

11.2 正弦信号发生器设计

11.2.1 建立设计模型

10. 放置端口sinCtrl



图 11-13 设置参数

11.2 正弦信号发生器设计

11.2.1 建立设计模型

11. 放置Product模块

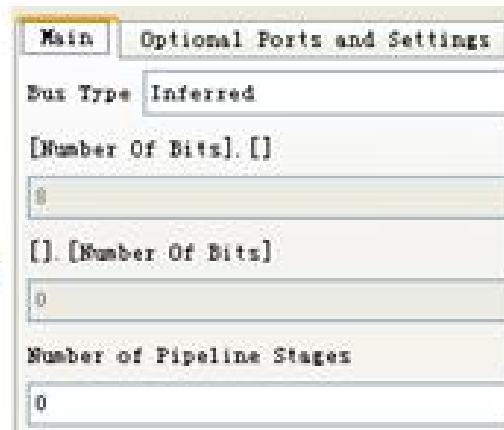
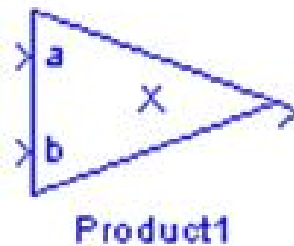


图 11-14 设置乘法单元

11.2 正弦信号发生器设计

11.2.1 建立设计模型

12. 放置输出端口sinOt

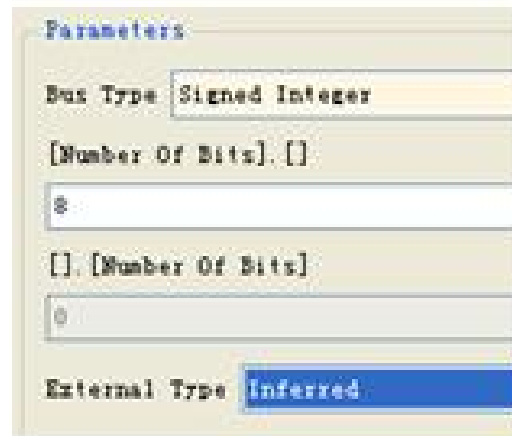


图 11-15 设置输出端口

13. 设计文件存盘

11.2 正弦信号发生器设计

11.2.2 Simulink模型仿真

1. 加入仿真步进模块

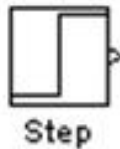


图 11-16 Step 模块

11.2 正弦信号发生器设计

2. 添加波形观察模块并设置参数



图 11-17 Scope 模型

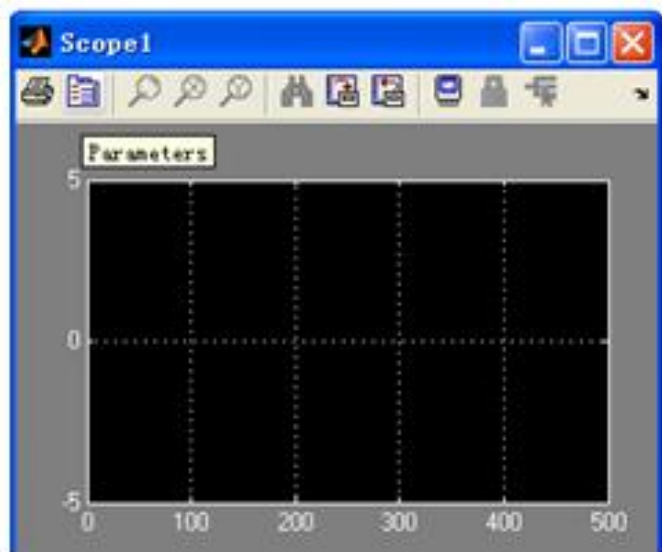


图 11-18 Scope 初始显示

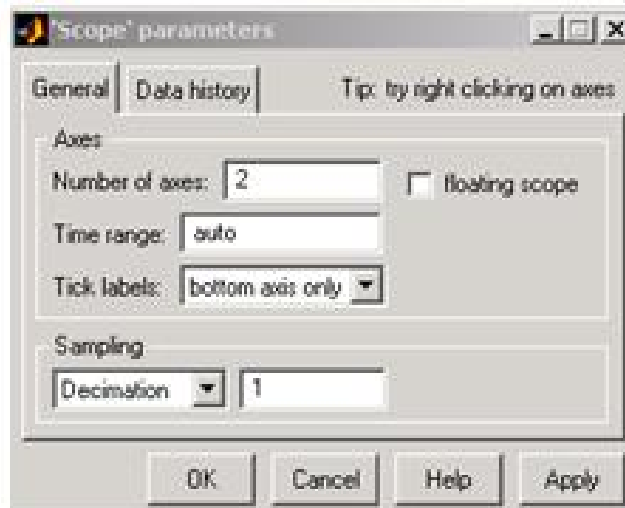


图 11-19 设置 Scope 参数

11.2 正弦信号发生器设计

3. 设置仿真激励



图 11-20 设置 Step

11.2 正弦信号发生器设计

3. 设置仿真激励



图 11-21 Simulink 仿真设置

11.2 正弦信号发生器设计

4. 启动仿真

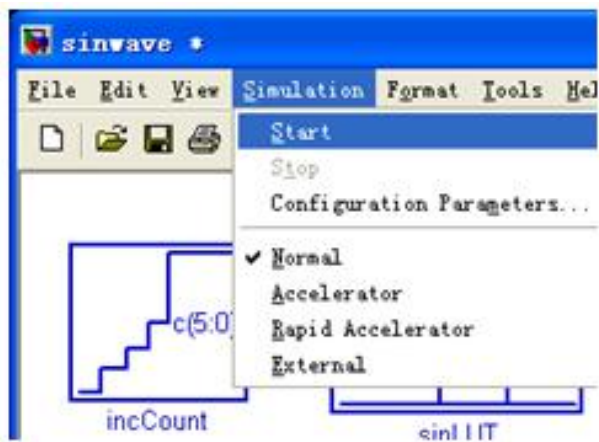


图 11-22 Simulink 仿真开始

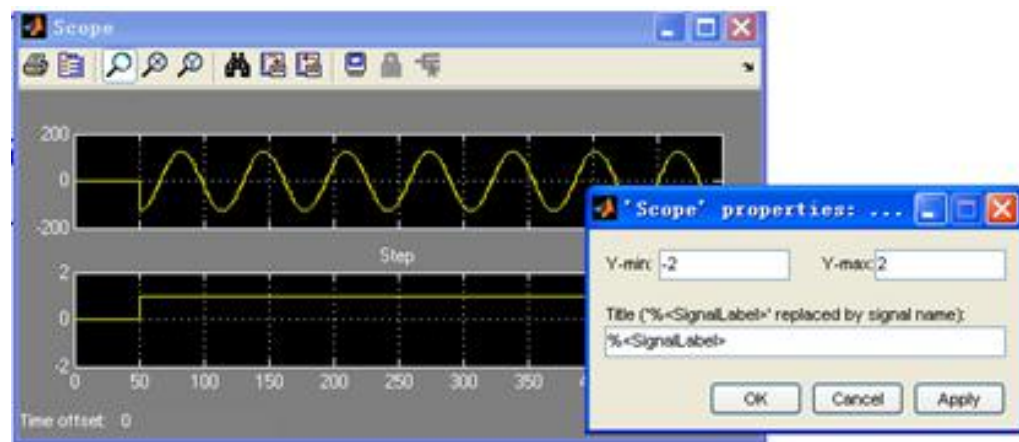


图 11-23 Scope 模块输出波形

11.2 正弦信号发生器设计

5. 设计成无符号数据输出

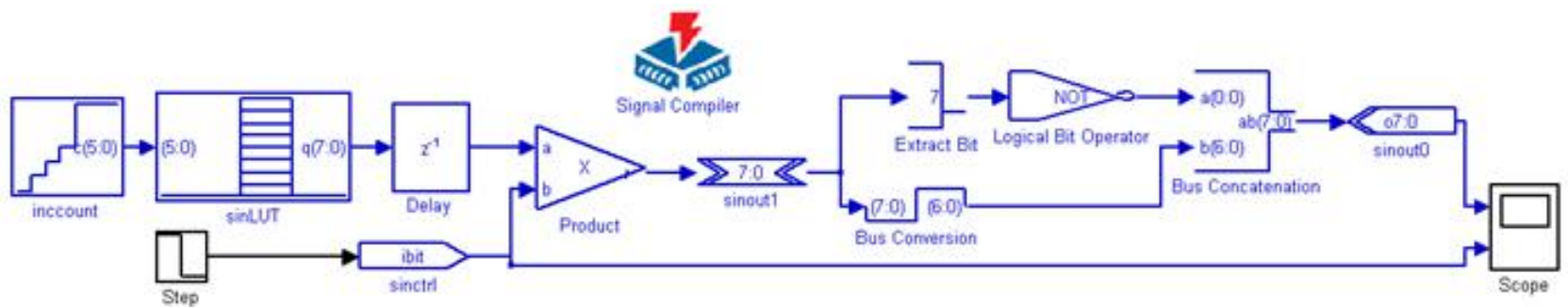


图 11-24 有符号输出改为无符号输出电路

11.2 正弦信号发生器设计

6. 各模块功能说明

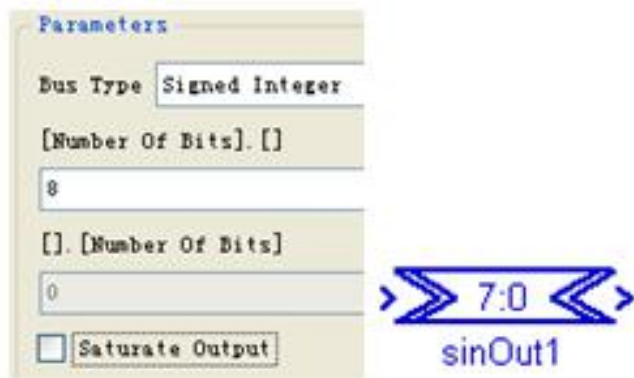


图 11-25 AltBus 模块 SinOut1 的设置

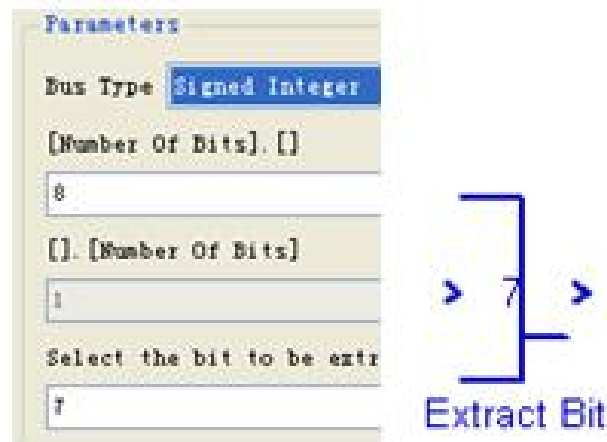


图 11-26 Extract Bit 模块设置

11.2 正弦信号发生器设计

6. 各模块功能说明

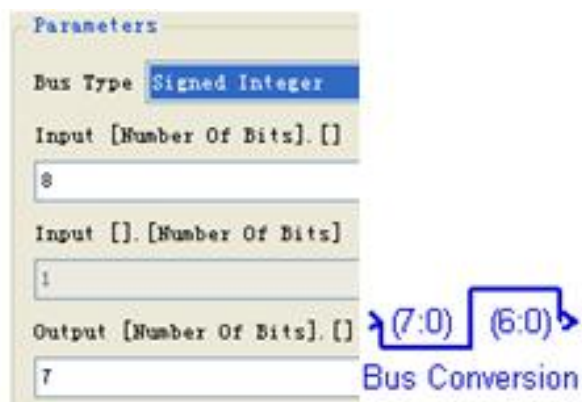


图 11-27 Bus Conversion 模块设置

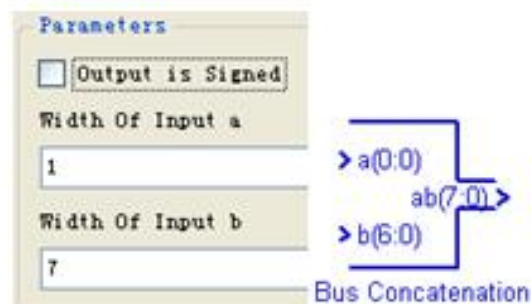


图 11-28 Bus Concatenation 模块设置



图 11-29 NOT 模块设置

11.2 正弦信号发生器设计

11.2.3 SignalCompiler使用方法

1. 分析当前的模型

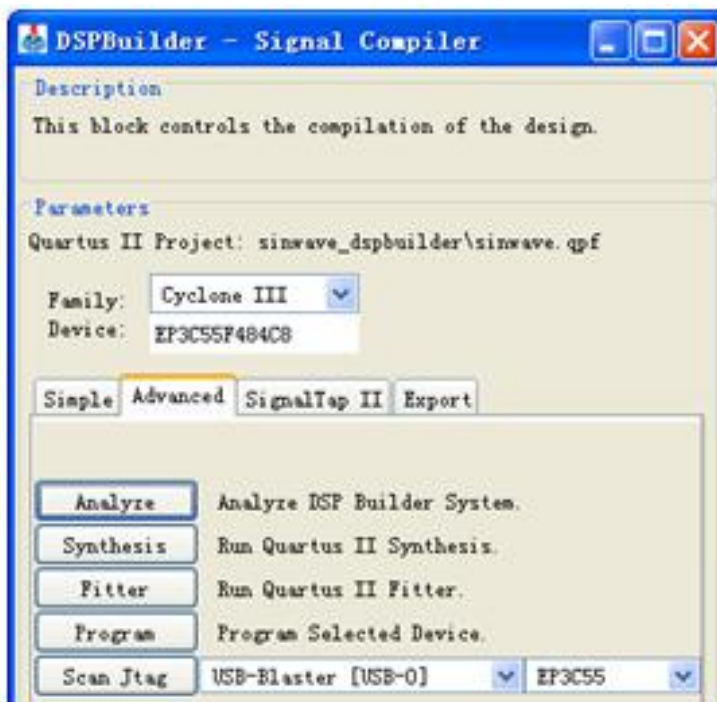


图 11-30 SignalCompiler 界面

11.2 正弦信号发生器设计

11.2.3 SignalCompiler使用方法

2. 设置SignalCompiler

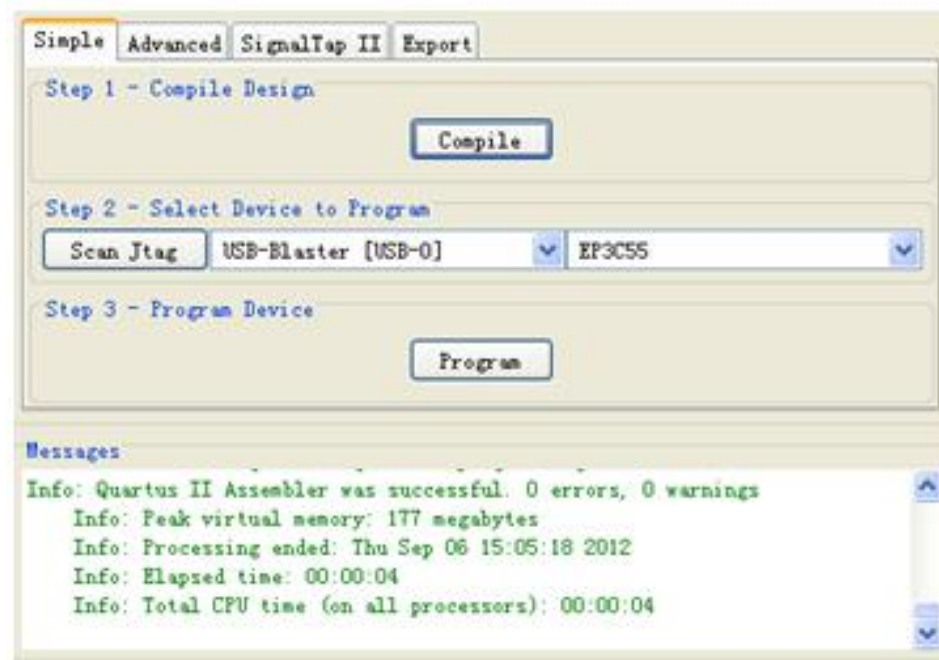


图 11-31 Sinout 工程处理信息

11.2 正弦信号发生器设计

11.2.4 使用ModelSim进行RTL级仿真

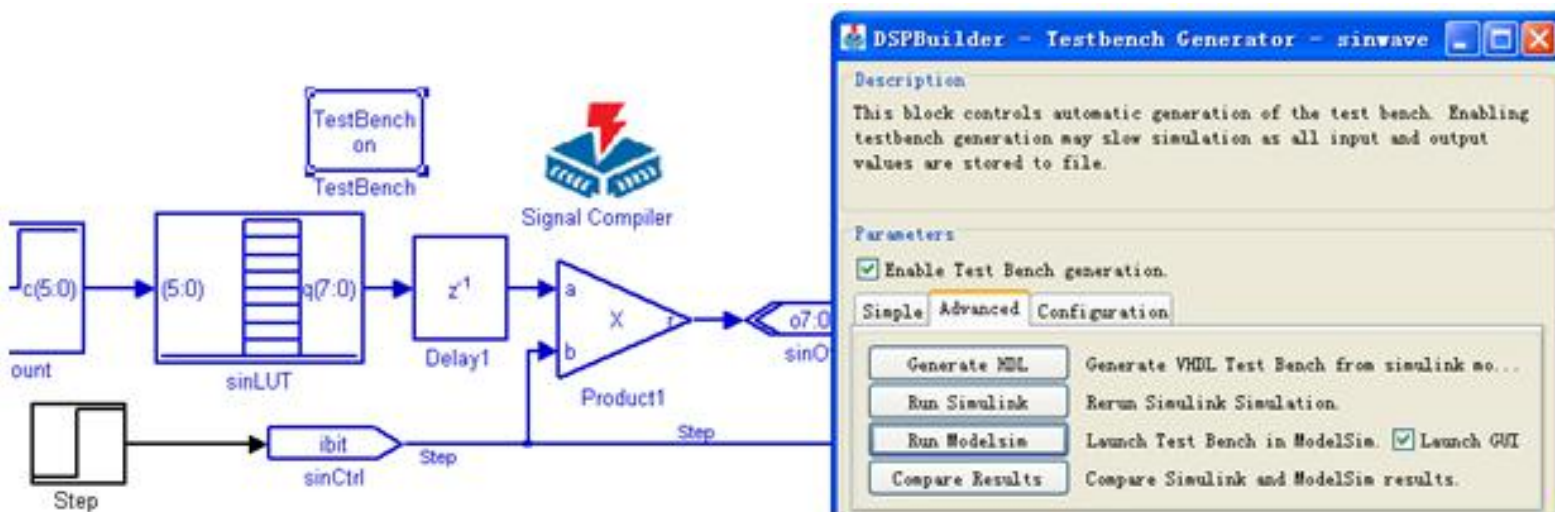


图 11-32 在 sinOut 模型中启动 TestBench 模块

11.2 正弦信号发生器设计

11.2.4 使用ModelSim进行RTL级仿真



图 11-33 Modelsim 显示仿真结果波形

11.2 正弦信号发生器设计

11.2.5 使用Quartus II实现时序仿真

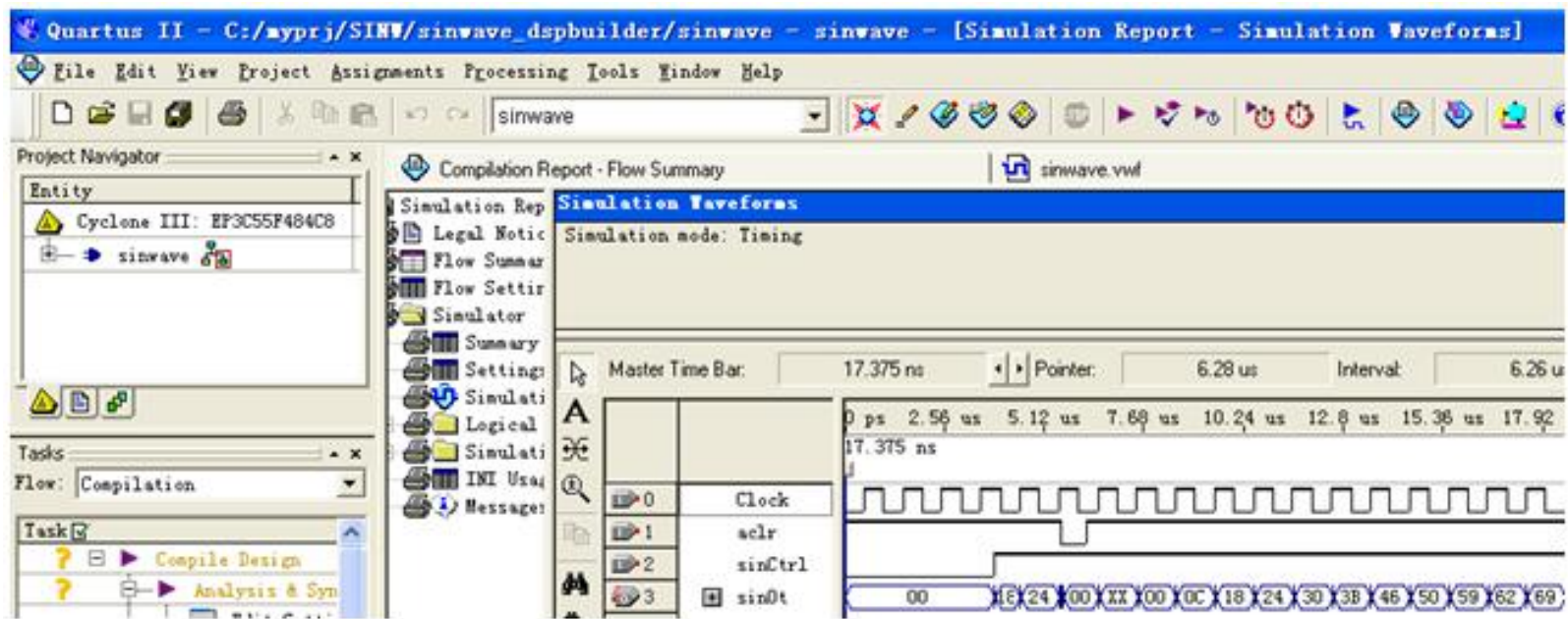


图 11-34 打开 Quartus II 工程进行编译和时序仿真

11.2 正弦信号发生器设计

11.2.6 硬件测试与硬件实现

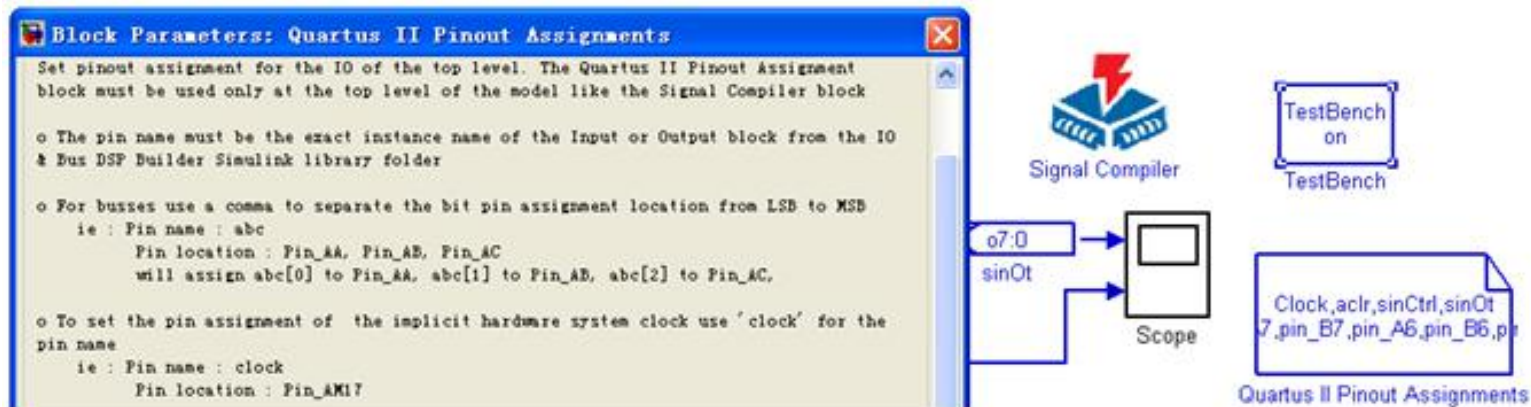


图 11-35 添加 Quartus II Pinout Assignments 模块

11.2 正弦信号发生器设计

11.2.6 硬件测试与硬件实现

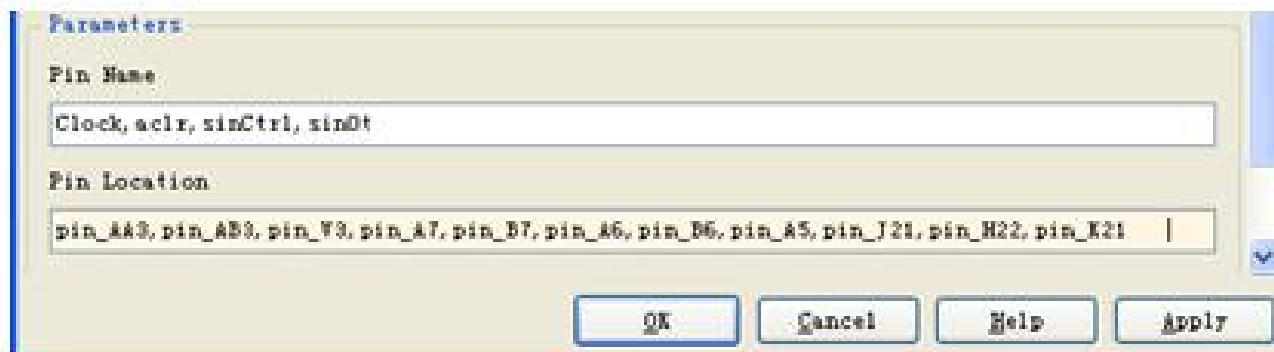


图 11-36 Quartus II Pinout Assignments 模块分配引脚

11.3 DSP Builder 层次化设计

(1) 首先建立一个新的模型，命名为subint模型，仍然依照图11-2连接起来，并以文件名subint存盘。

(2) 在选中的模块上单击鼠标右键，在弹出的快捷菜单中（图11-37）选择Create subsystem命令，建立子系统。

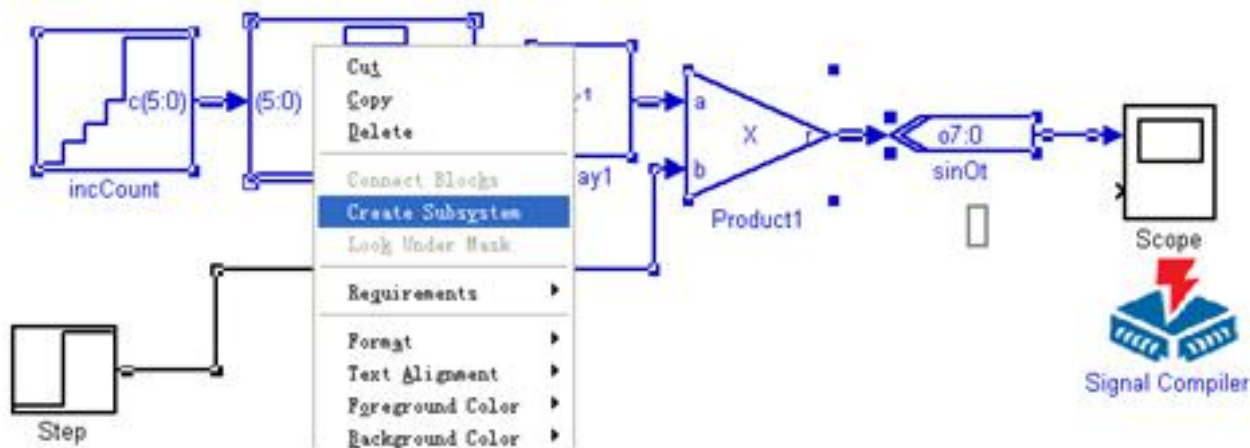


图 11-37 准备建立 Subsystem

11.3 DSP Builder层次化设计

(2) 在选中的模块上单击鼠标右键，在弹出的快捷菜单中（图11-37）选择 **Create subsystem** 命令，建立子系统。

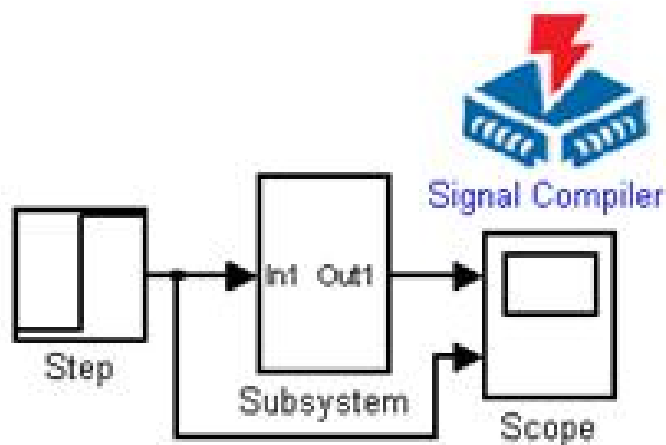


图 11-38 建立 Subsystem 后

11.3 DSP Builder层次化设计

(3) 修改子模块名。

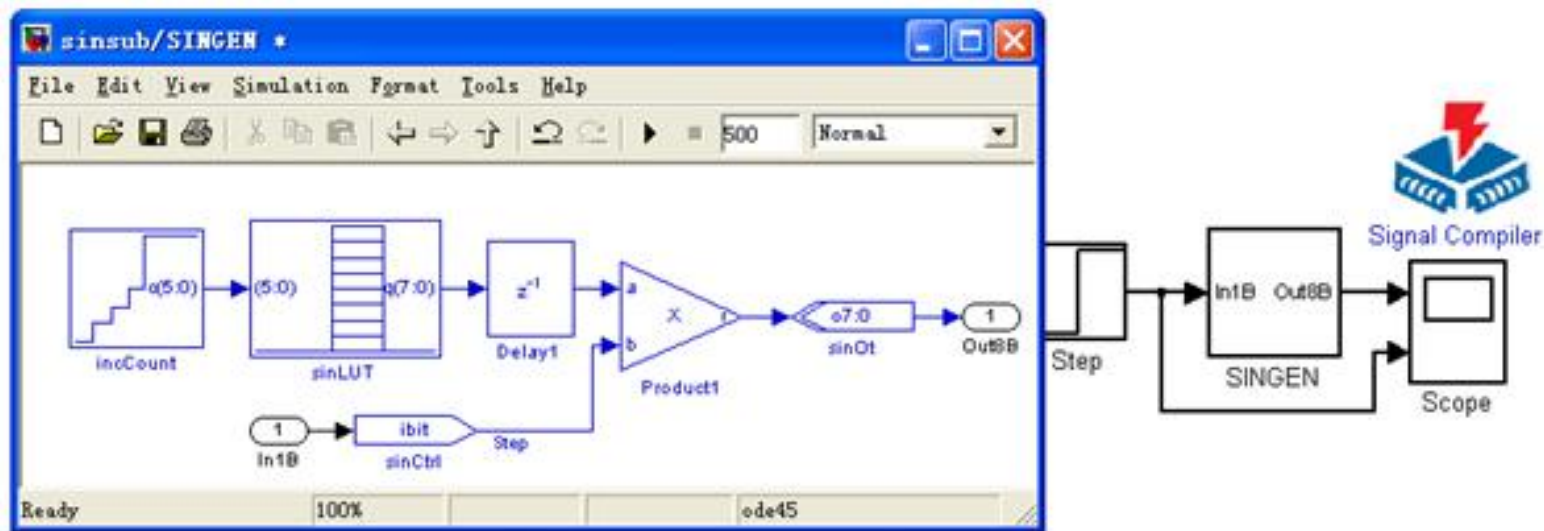


图 11-39 subint/Subsystem 子系统图

11.3 DSP Builder层次化设计

(4) 更换子系统内端口和修改端口名。

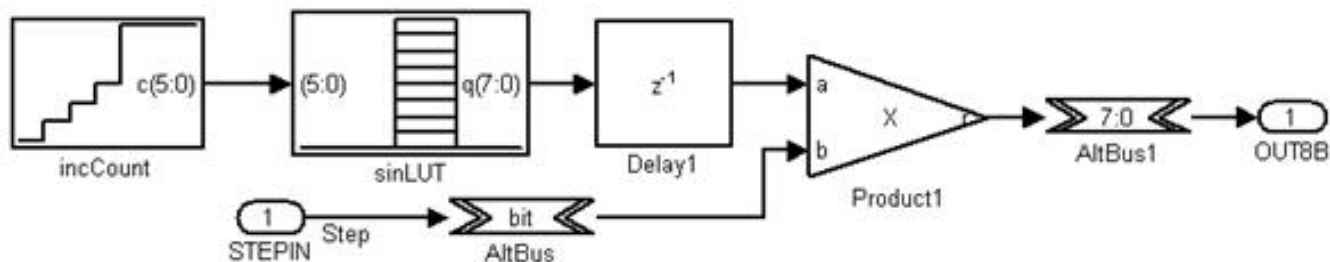


图 11-40 更改了端口和端口名的子系统图

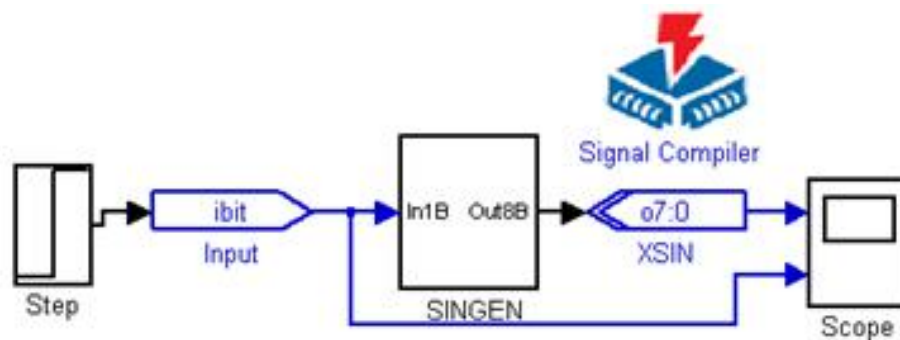


图 11-41 顶层设计图

11.3 DSP Builder 层次化设计

(5) 完成顶层设计。

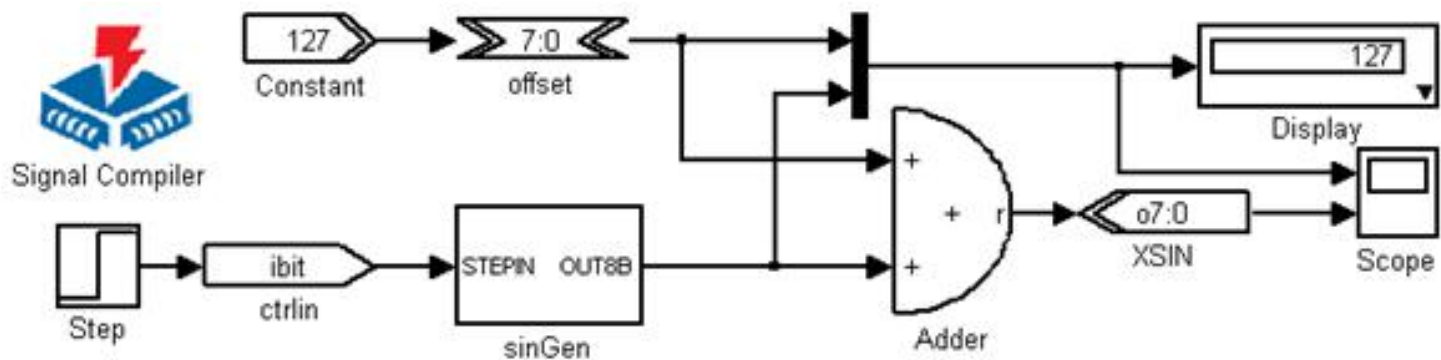


图 11-42 含 Subsystem 的新的 subint 模型

- ① Altbody模块 (Altbody模块)
库: Altera DSP Builder中IO& Bus库
参数Bus Type设为Signed Integer; 参数number of bits设为8; 其余为0
- ② Adder模块 (Parallel Adder Subtractor模块)
库: Altera DSP Builder中Arithmetic库
参数Add (+) Sub (-) 设为 +; 参数Number of Inputs设为2
Clock Phase Selection设1; 使用Enable Pipeline
- ③ XSin模块 (Output模块)
库: Altera DSP Builder中IO&Bus库
参数Bus Type设为Unsigned Integer
参数number of bits设为8; External Type选择Inferred
- ④ Input模块 (Input模块)
库: Altera DSP Builder中IO&Bus库; 参数Bus Type设为Single Bit
- ⑤ Constant模块 (Constant模块)
库: Altera DSP Builder中IO&Bus库
参数Bus Type设为Signed Integer; 参数Constant Value设为127;
其余默认
- ⑥ Mux模块
库: simulink中Signal Routing库
参数Number of Inputs设为2; 参数Display Option选择bar
- ⑦ Display模块; 库: simulink中Sinks库

11.3 DSP Builder层次化设计

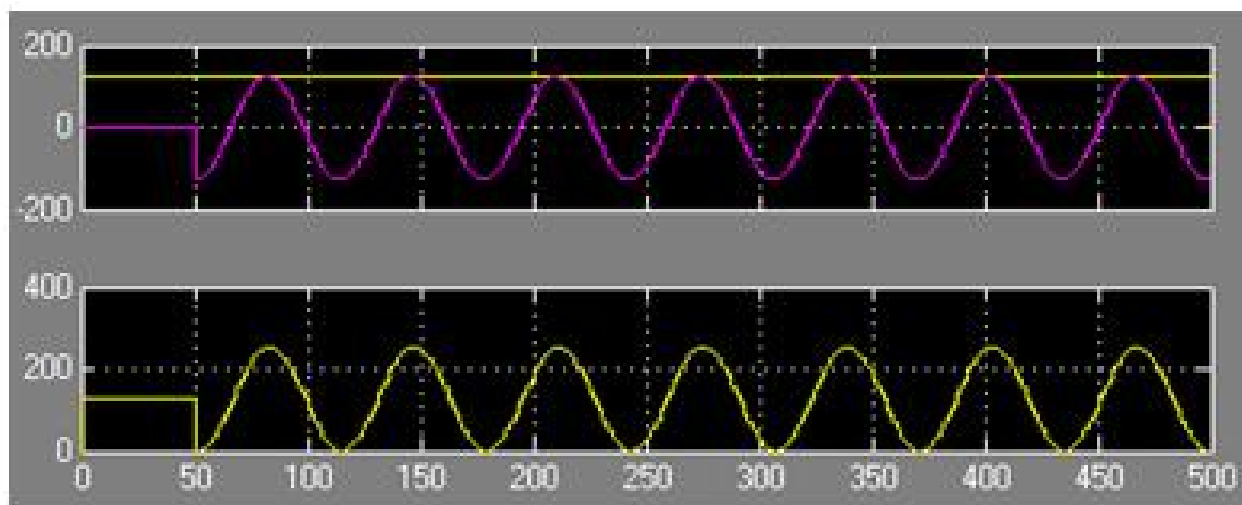


图 11-43 新的 subint 模型的仿真波形图

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

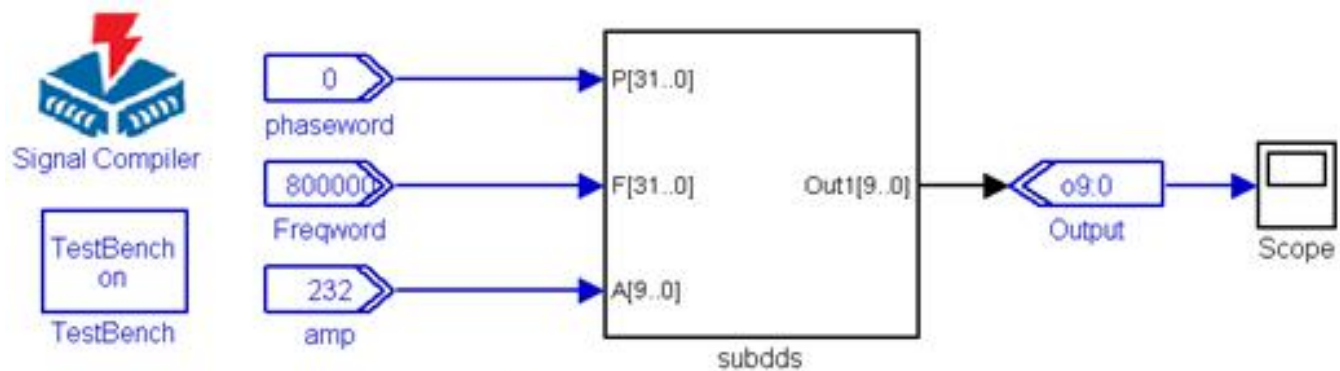


图 11-44 DDS 系统

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

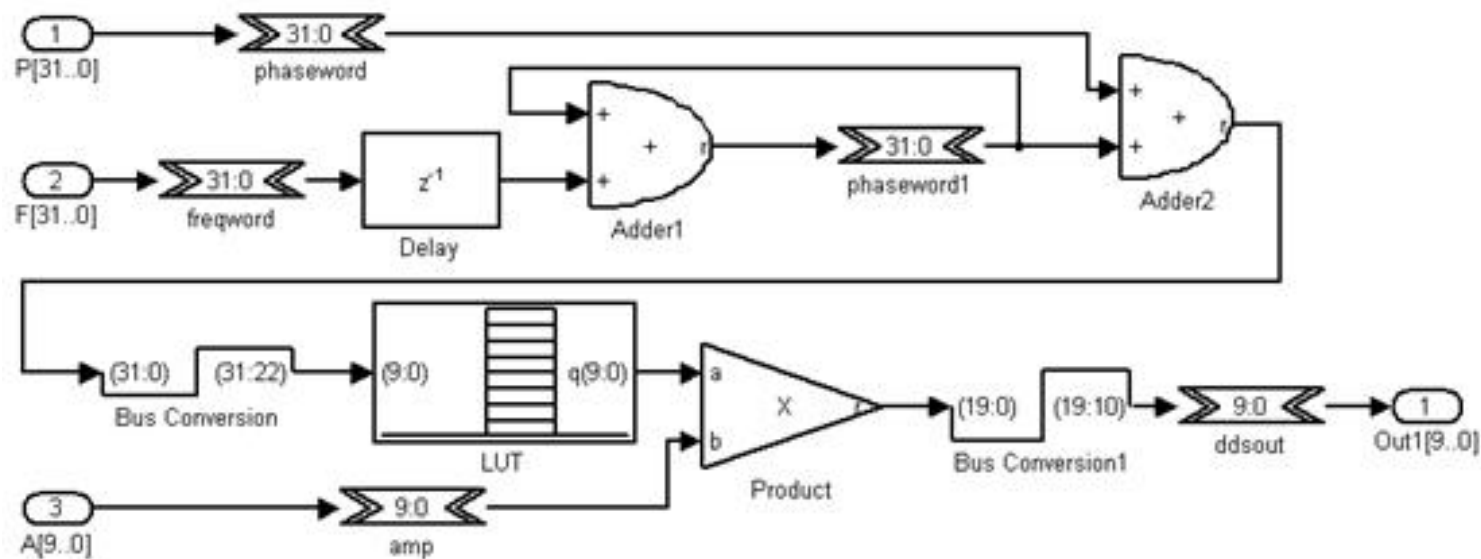


图 11-45 DDS 子系统 SubDDS

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

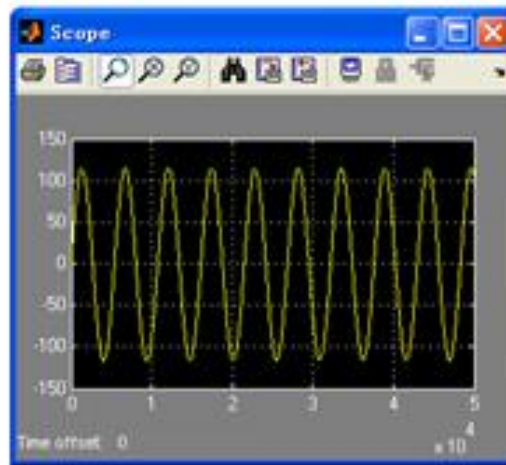


图 11-46 DDS 模型输出波形

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

- ① freqword模块 (Altbuss模块)
库: Altera DSP Builder中IO&Bus库
参数Bus Type设为Signed Integer ; 参数number of bits设为32
- ② Phaseword模块: 与freqword模块相同
- ③ Amp模块 (Altbuss模块): 与freqword模块相同, 但参数number of bits设为10
- ④ ddsout模块 (Altbuss模块): 与Amp模块相同

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

- ① Adder1模块 (Parallel Adder Subtractor模块)
库: Altera DSP Builder中Arithmetic库
参数Number of Inputs设为2; Add(+)Sub(-)设为 ++
选择Enable Pipeline ; 参数Clock Phase Selection设为1
- ② Delay模块 (Delay模块)
库: Altera DSP Builder中Storage库
参数Depth设为1 ; 参数Clock Phase Selection设为1
- ③ Phaseword1模块: 设置与freqword模块相同

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

① Adder2模块 (Parallel Adder Subtractor模块) : 与Adder1模块相同

② BusConversion模块 (BusConversion模块)

库: Altera DSP Builder中IO&Bus库

参数Input Bus Type设为Signed Integer ; 参数Input [number of bits].[]设为32

参数Output [number of bits].[]设为10 ; 参数Input Bit Connected ... 设为22

11.4 基于DSP Builder的DDS设计

11.4.1 DDS模块设计

① Product模块 (Product模块)

库: Altera DSP Builder中Arithmetic库

参数Number of Pipeline Stages设为2; 参数Clock Phase Selection设为1, 选择Use LPM

② BusConversion1模块 (BusConversion模块)

库: Altera DSP Builder中IO&Bus库

参数Input Bus Type设为Signed Integer; 参数Input [number of bits]. []设为20

参数Output [number of bits]. []设为10; 参数Input Bit Connected ...设为10

③ LUT模块 (LUT模块)

库: Altera DSP Builder Blockset中Storage库;

参数Data Type设为Signed Integer; 参数Address Width设为10

参数[number of bits]. []设为10

参数MATLAB Array设为 $511 * \sin([0:2 * \pi / (2^{10}):2 * \pi])$; 使用Use LPM

11.4 基于DSP Builder的DDS设计

11.4.2 FSK调制器设计

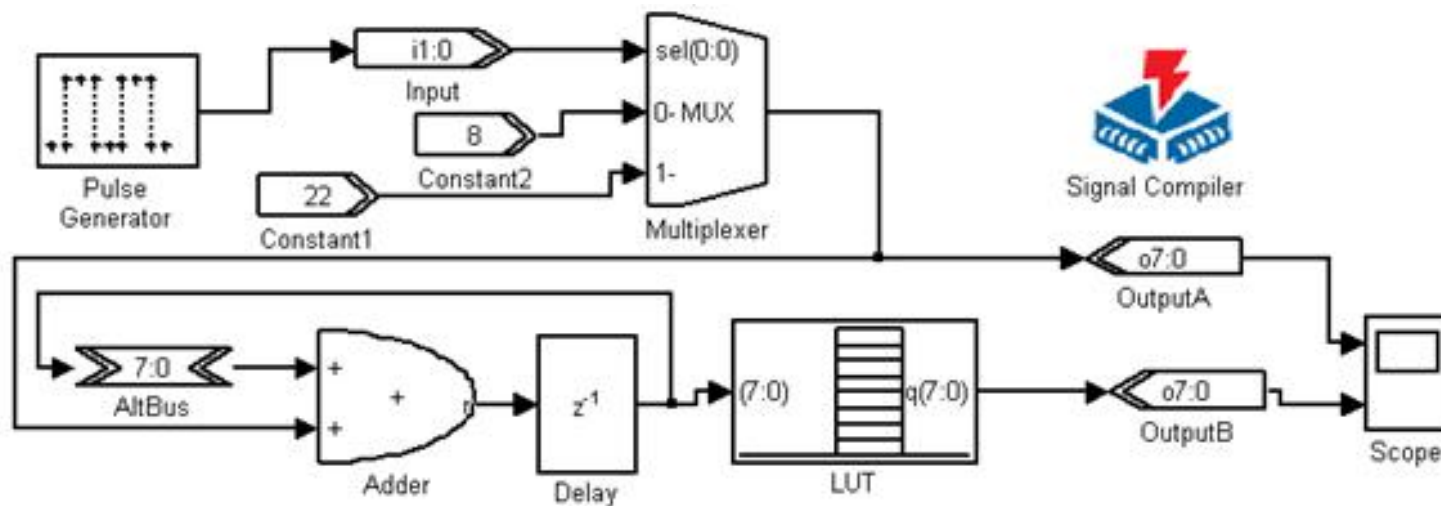


图 11-47 FSK 调制器模型

11.4 基于DSP Builder的DDS设计

11.4.2 FSK调制器设计

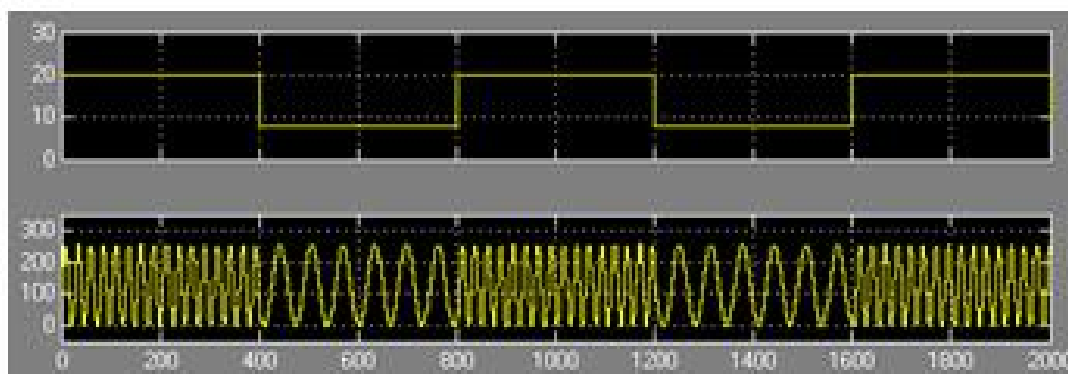


图 11-48 FSK 的 Simulink 仿真结果

11.4 基于DSP Builder的DDS设计

11.4.3 正交信号发生器设计

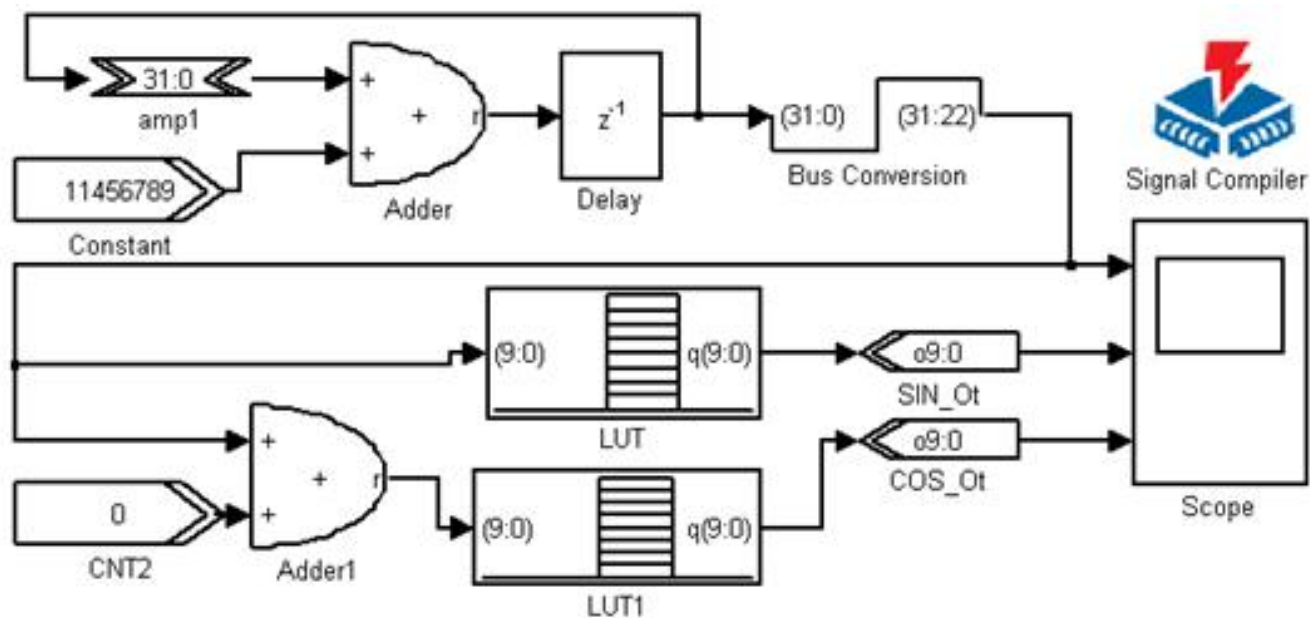


图 11-49 正交信号发生器 MDL 模型

11.4 基于DSP Builder的DDS设计

11.4.3 正交信号发生器设计

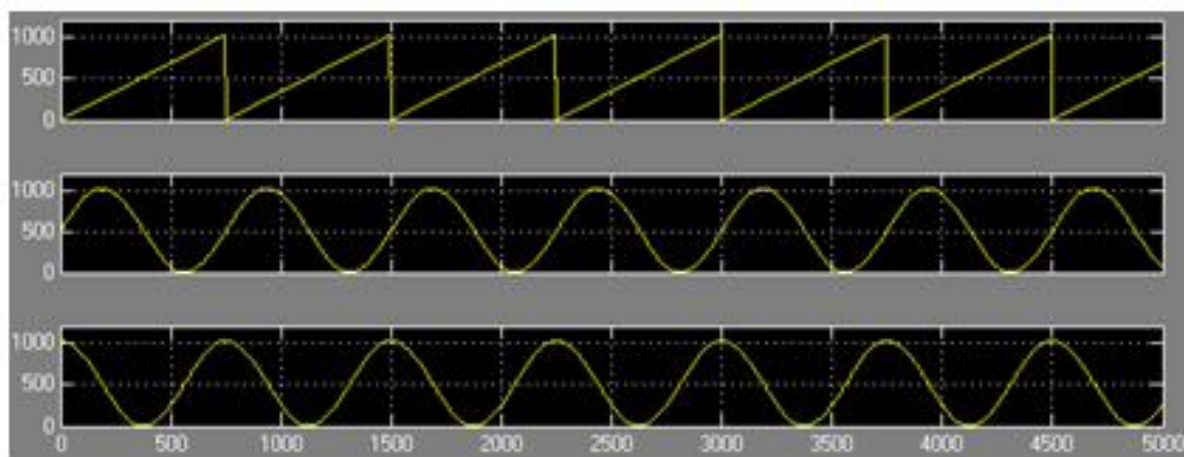


图 11-50 正交信号发生器输出信号波形

11.4 基于DSP Builder的DDS设计

11.4.4 数控移相信号发生器设计

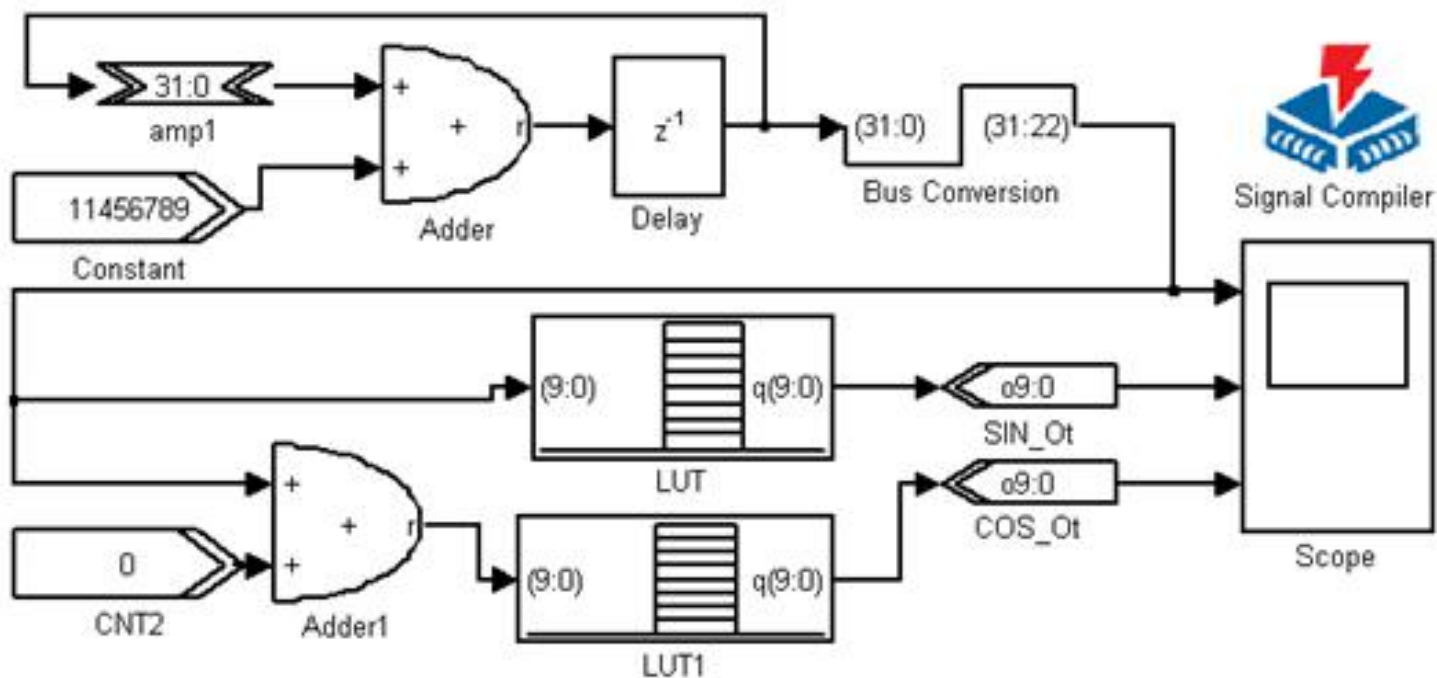


图 11-49 正交信号发生器 MDL 模型

11.4 基于DSP Builder的DDS设计

11.4.5 幅度调制信号发生器设计

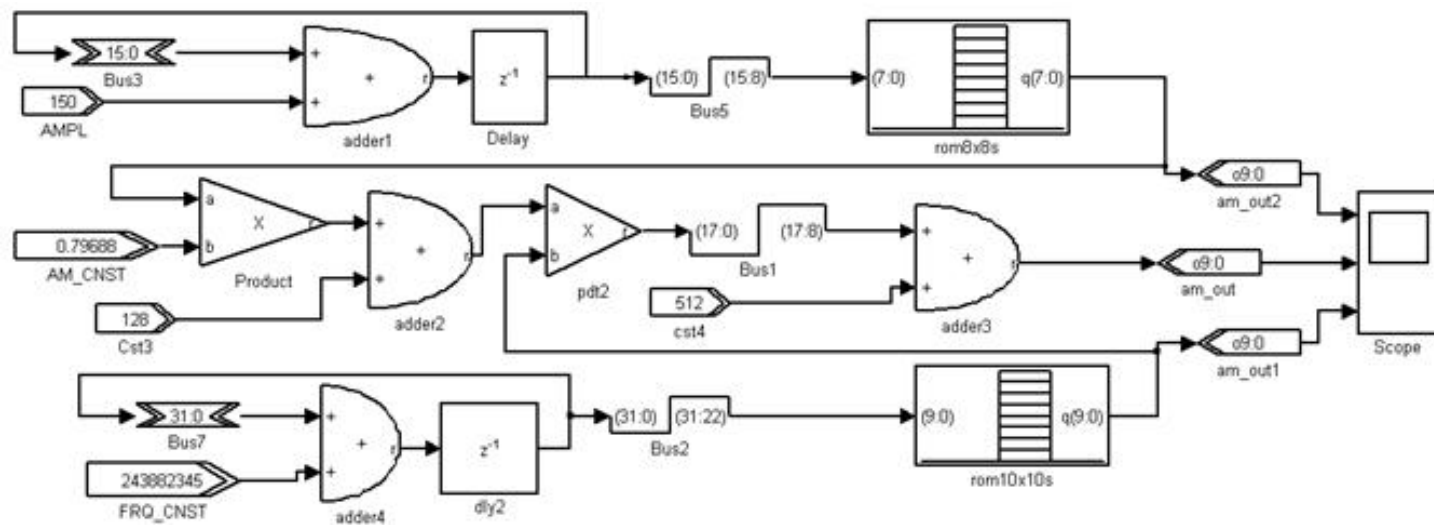


图 11-51 AM 发生器模型

$$F = F_{dr} \cdot (1 + F_{am} \cdot m)$$

(11-3)

11.4 基于DSP Builder的DDS设计

11.4.5 幅度调制信号发生器设计

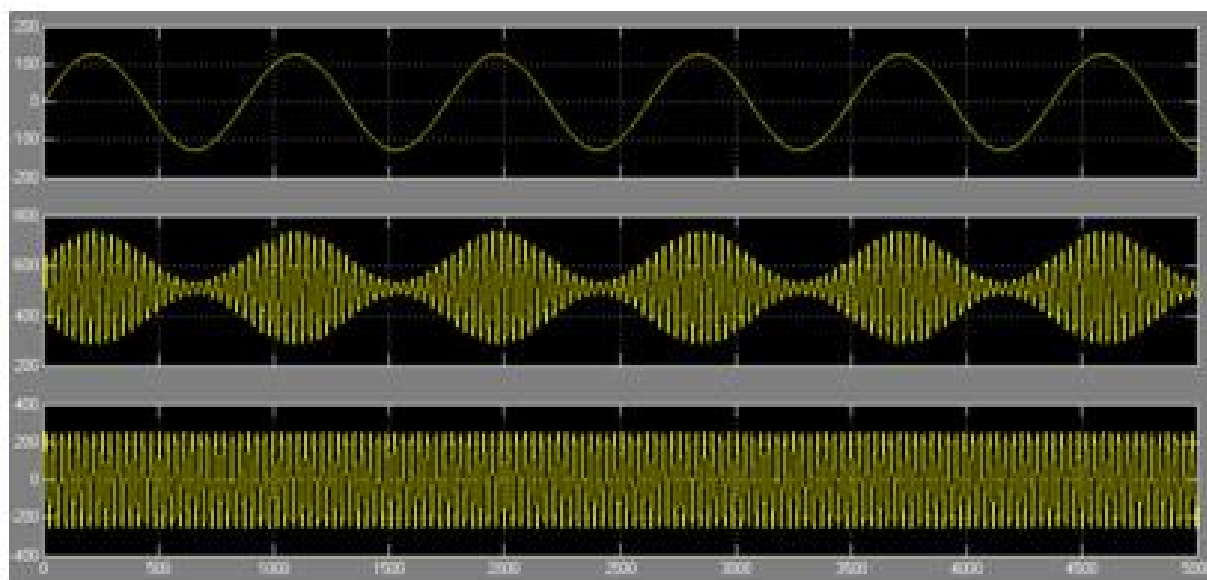


图 11-52 AM 模型仿真波形

11.5 HIL硬件测试

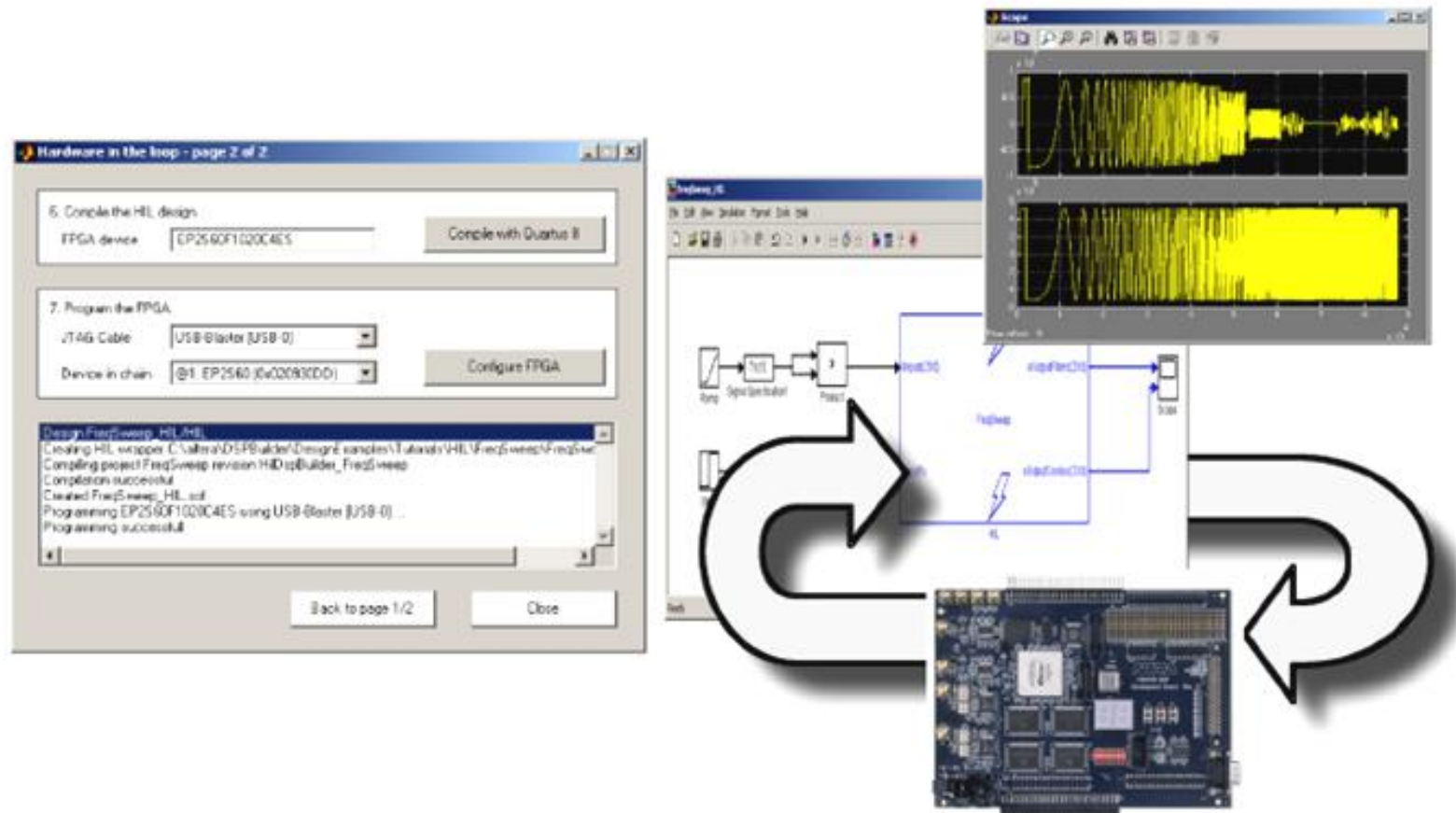


图 11-53 插入 HIL 的 Simulink 模型硬件仿真说明图

11.5 HIL硬件测试

1. 首先完成一个Simulink模型设计

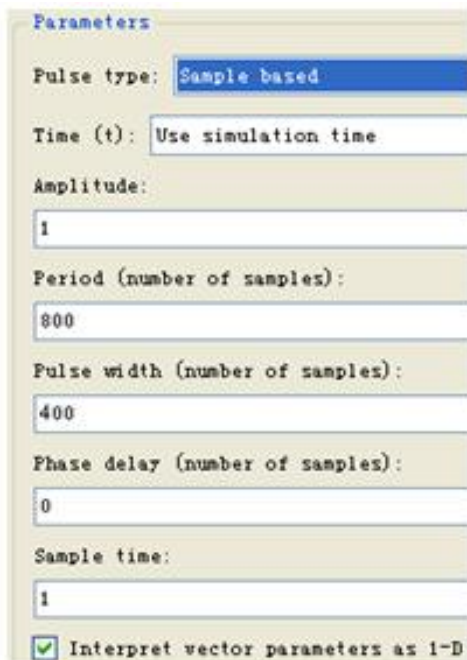


图 11-54 脉冲发生器设置



图 11-55 Simulink 仿真参数设置

11.5 HIL硬件测试

1. 首先完成一个Simulink模型设计

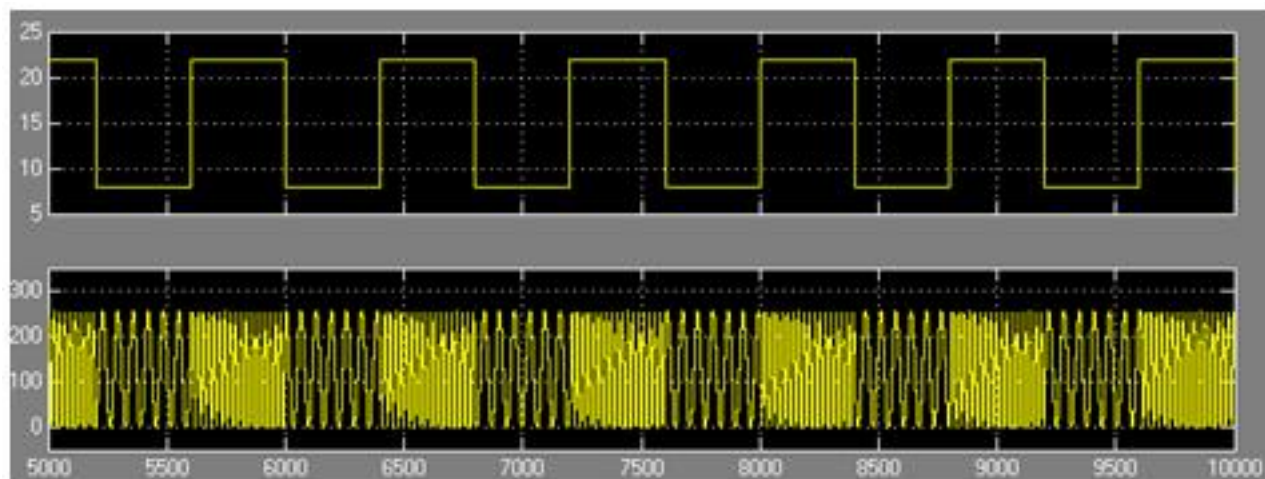


图 11-56 FSK 发生器 Simulink (软件) 仿真波形

11.5 HIL硬件测试

2. 通过DSP Builder转化成Quartus II的工程

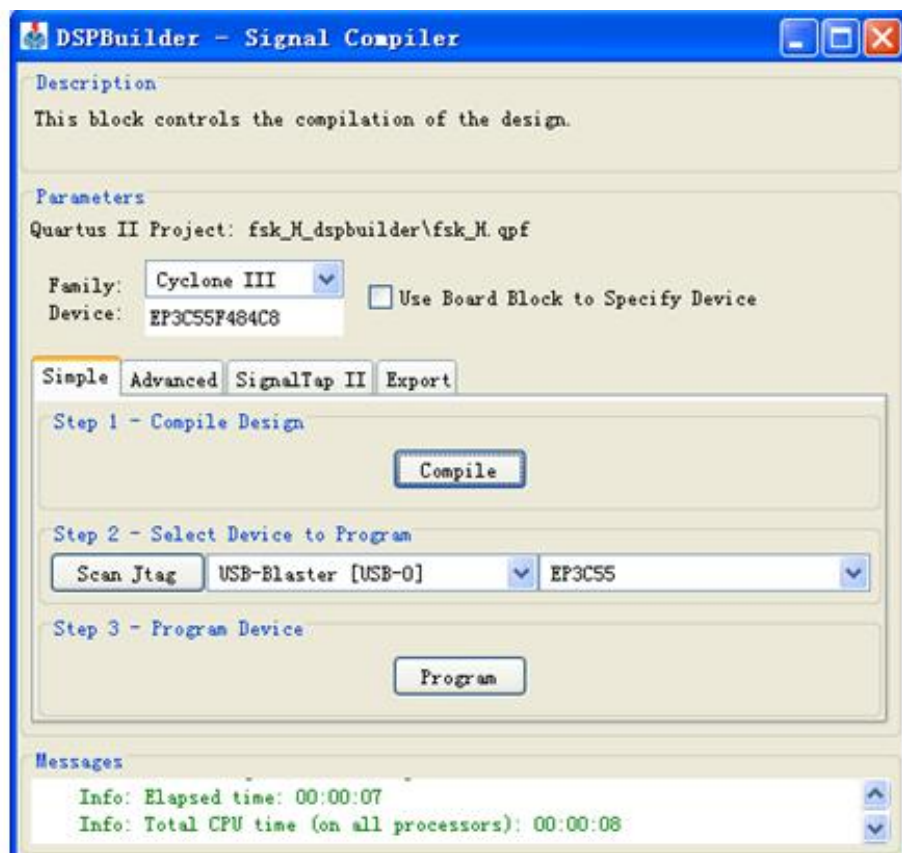


图 11-57 SignalCompiler 对 FSK 信号发生器进行转换、综合和适配

11.5 HIL硬件测试

3. 用HIL模块取代设计模型的所有电路

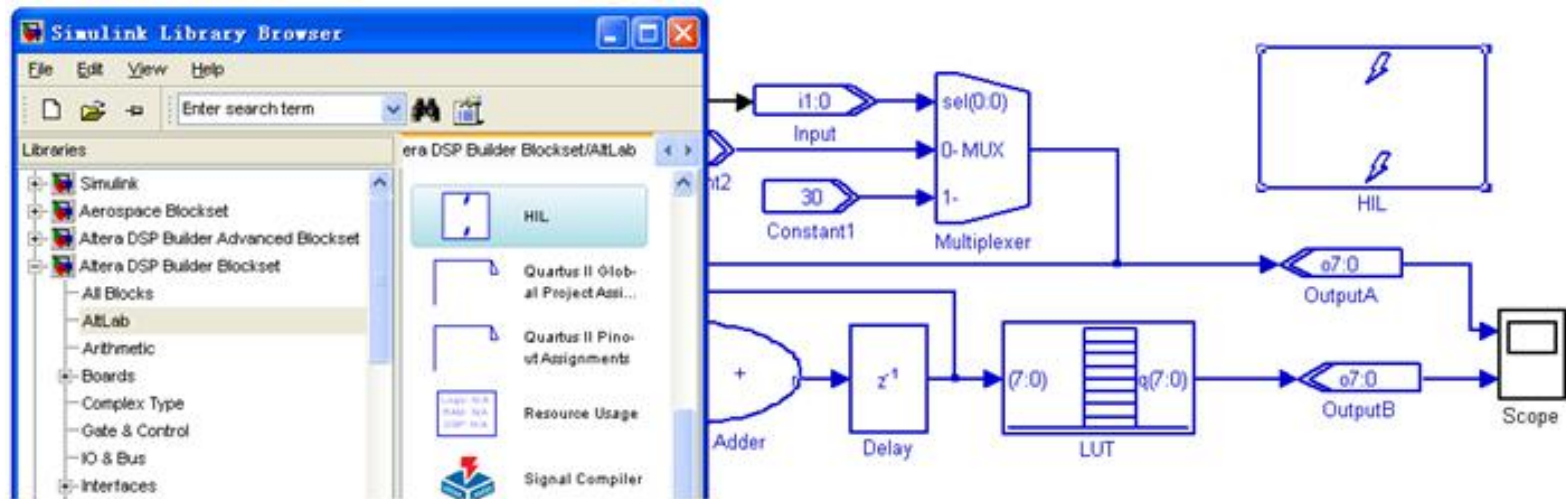


图 11-58 向 Simulink 图中拖入 HIL 模块

11.5 HIL硬件测试

4. HIL模块参数设置

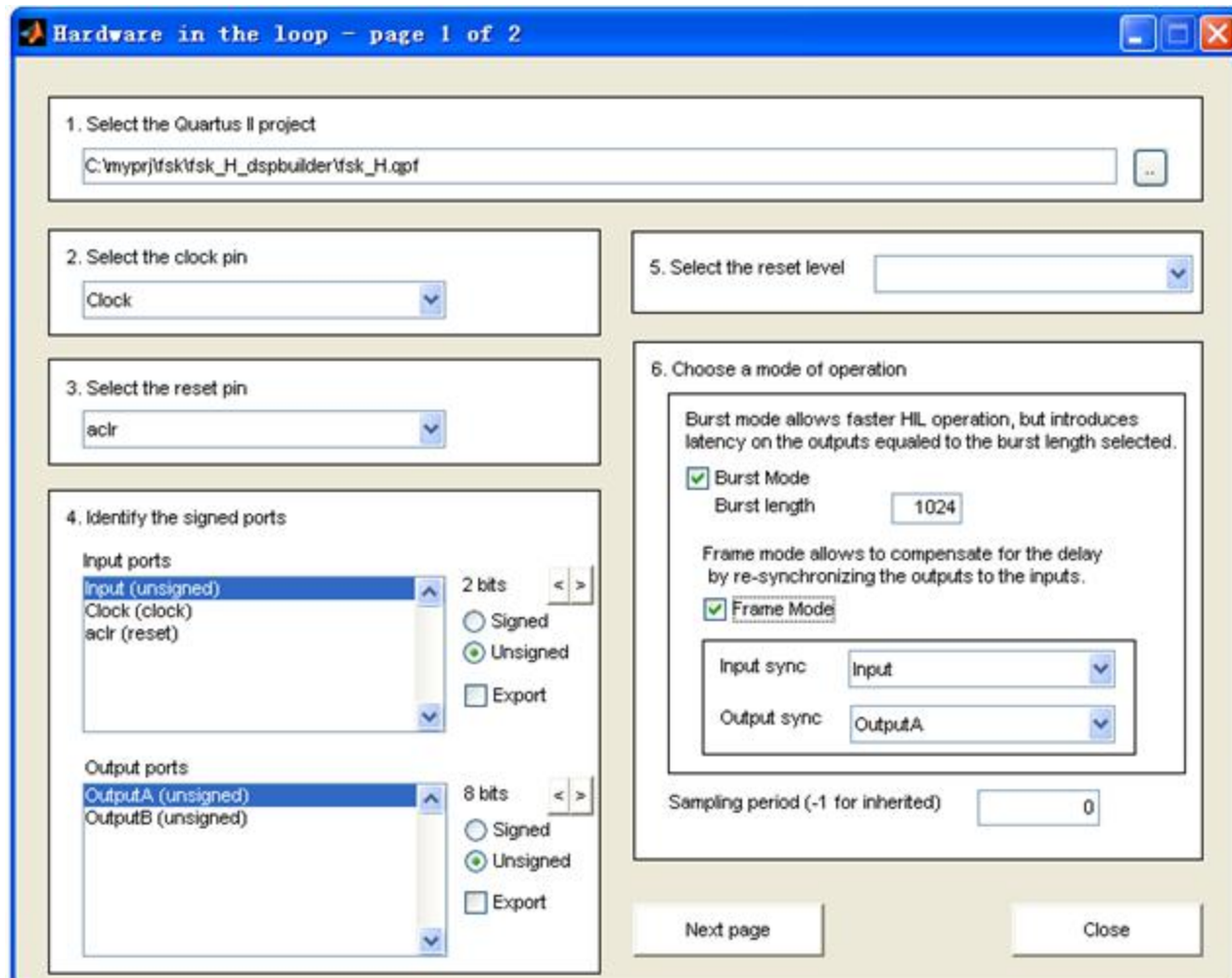


图 11-59 HIL 模块工程加载与参数设置窗口

11.5 HIL硬件测试

4. HIL模块参数设置

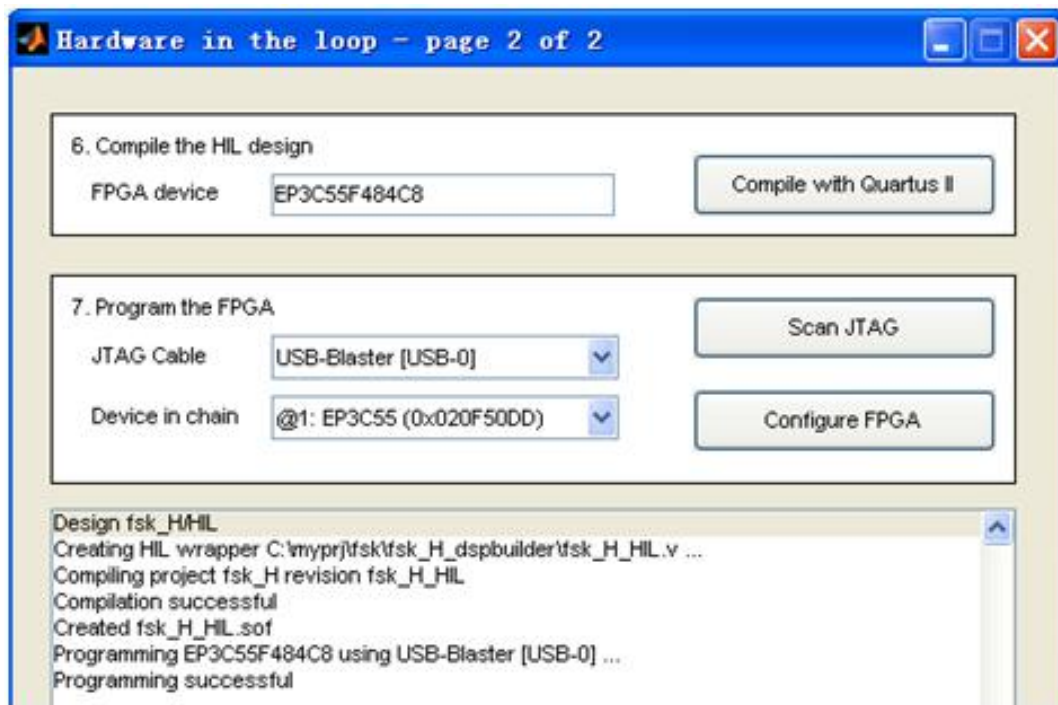


图 11-60 HIL 模块编译与编程窗口

11.5 HIL硬件测试

5. 进行HIL硬件仿真

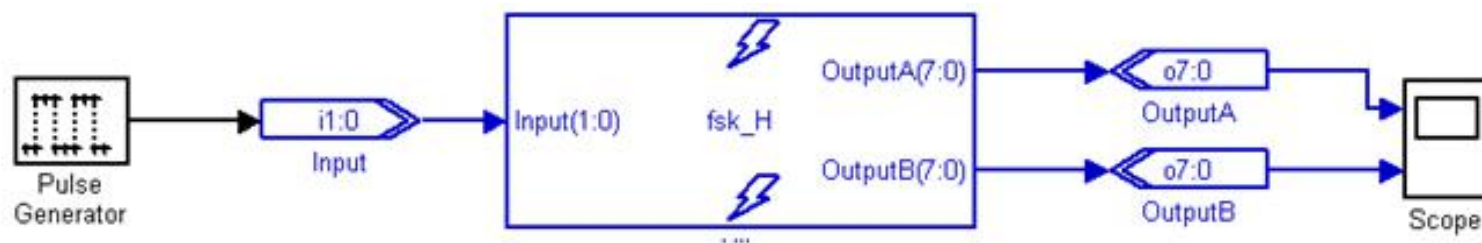


图 11-61 加入了 HIL 模块的扫频滤波电路模型

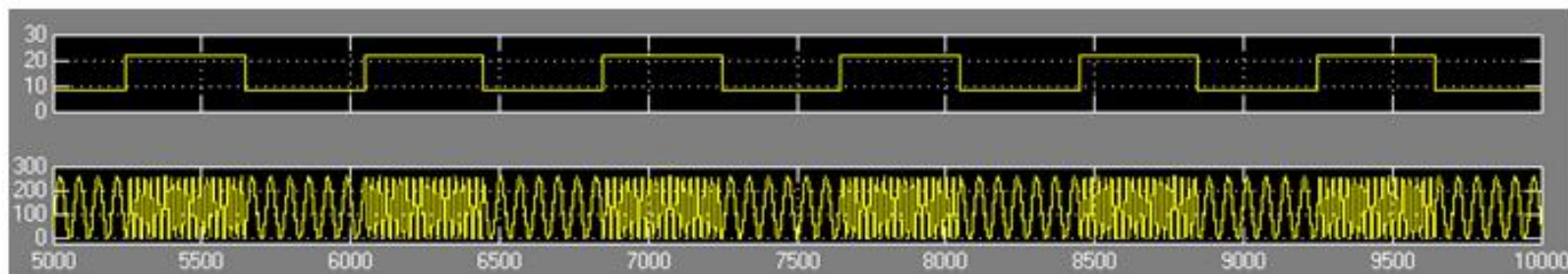


图 11-62 加入了 HIL 模块的扫频滤波电路模型的硬件仿真波形

实验与设计

实验11-1 利用MATLAB/DSP Builder设计基本电路模块

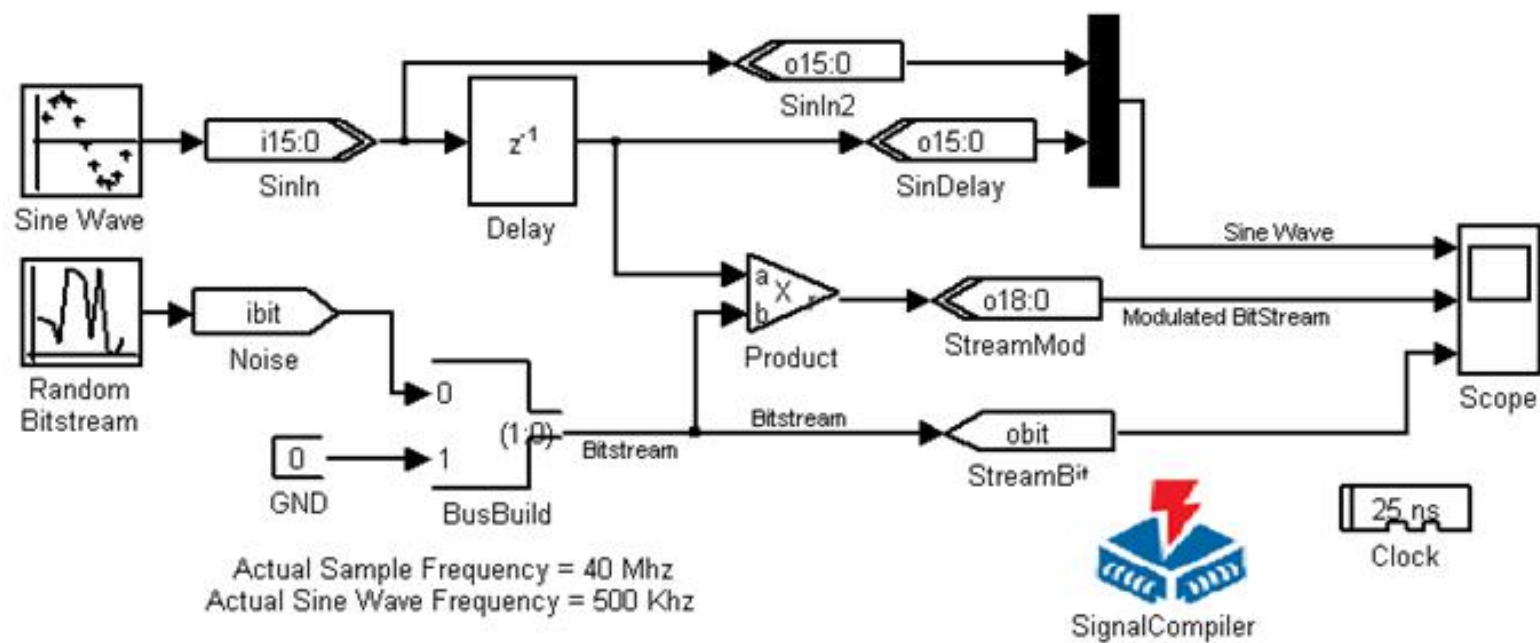


图 11-63 正弦调制信号模型

实验与设计

实验11-1 利用MATLAB/DSP Builder设计基本电路模块

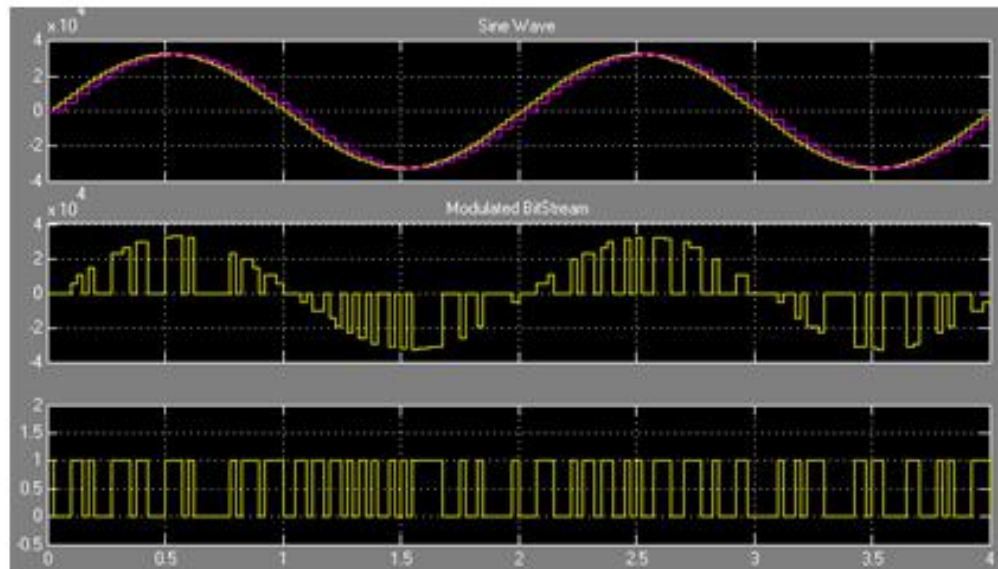


图 11-64 正弦调制信号仿真波形

实验与设计

实验11-2 基于DSP Builder的DDS应用模型设计

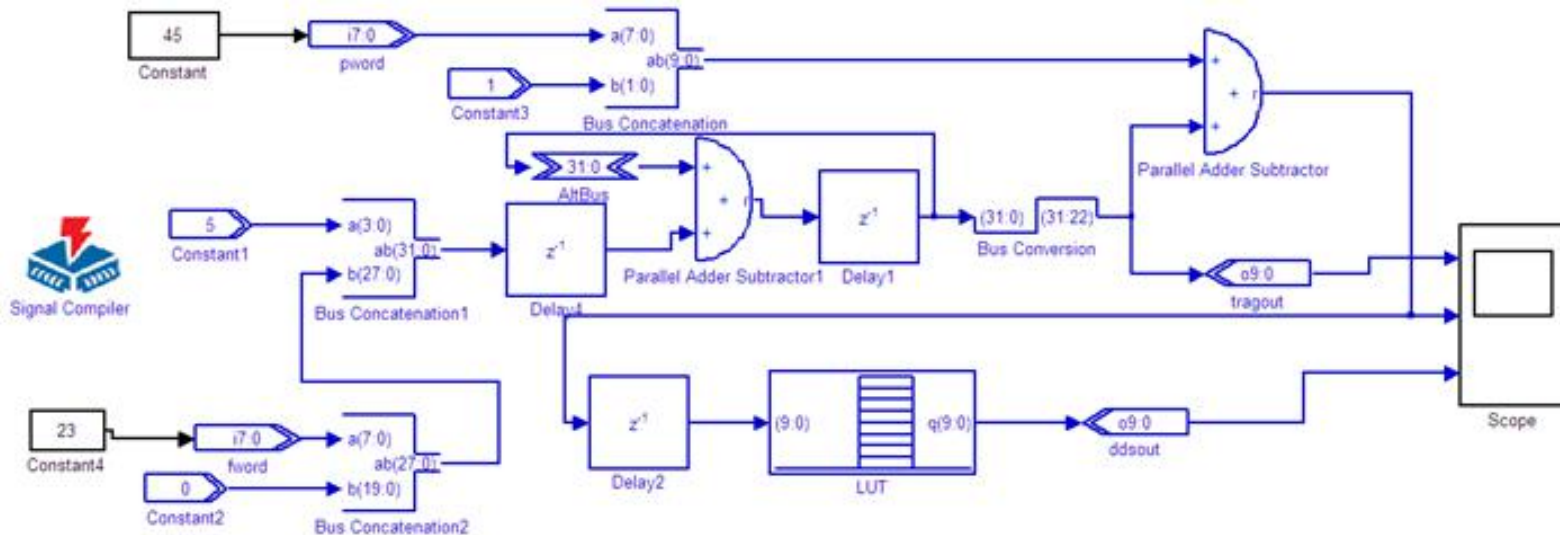


图 11-65 端口数据类型和位数变换后的 DDS 模型

实验与设计

实验11-2 基于DSP Builder的DDS应用模型设计

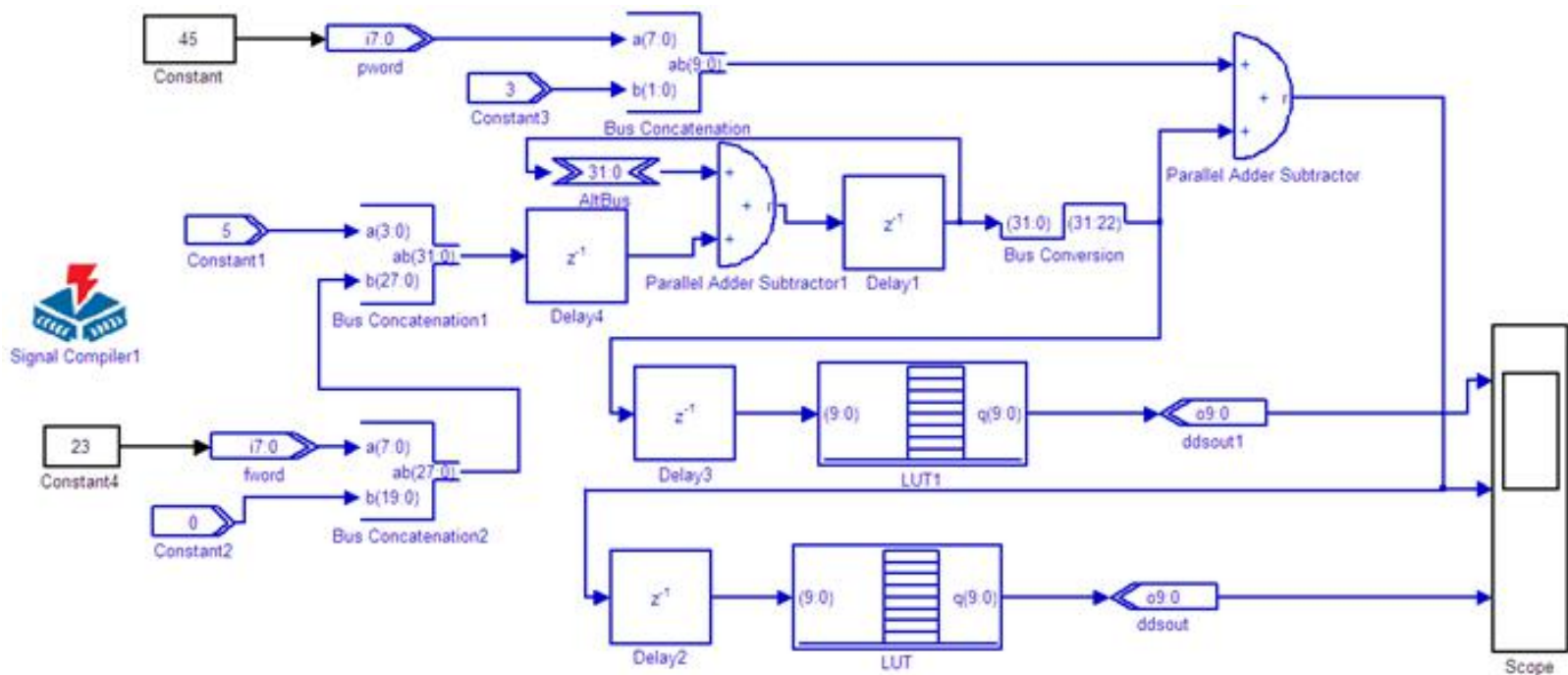


图 11-66 数字移相信号发生器

实验与设计

实验11-2 基于DSP Builder的DDS应用模型设计

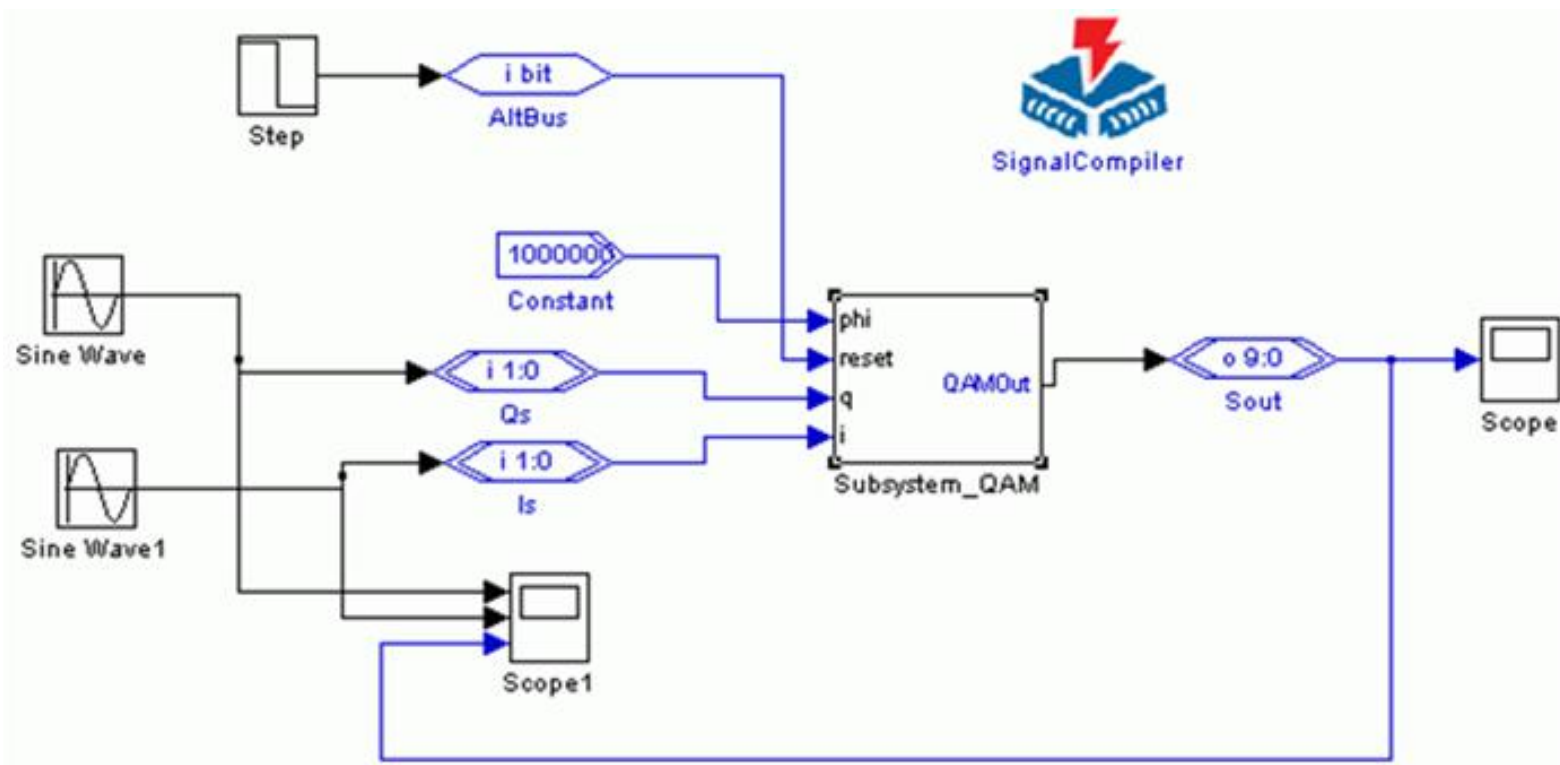


图 11-67 QAM 模型

实验与设计

实验11-3 HIL硬件环仿真实验

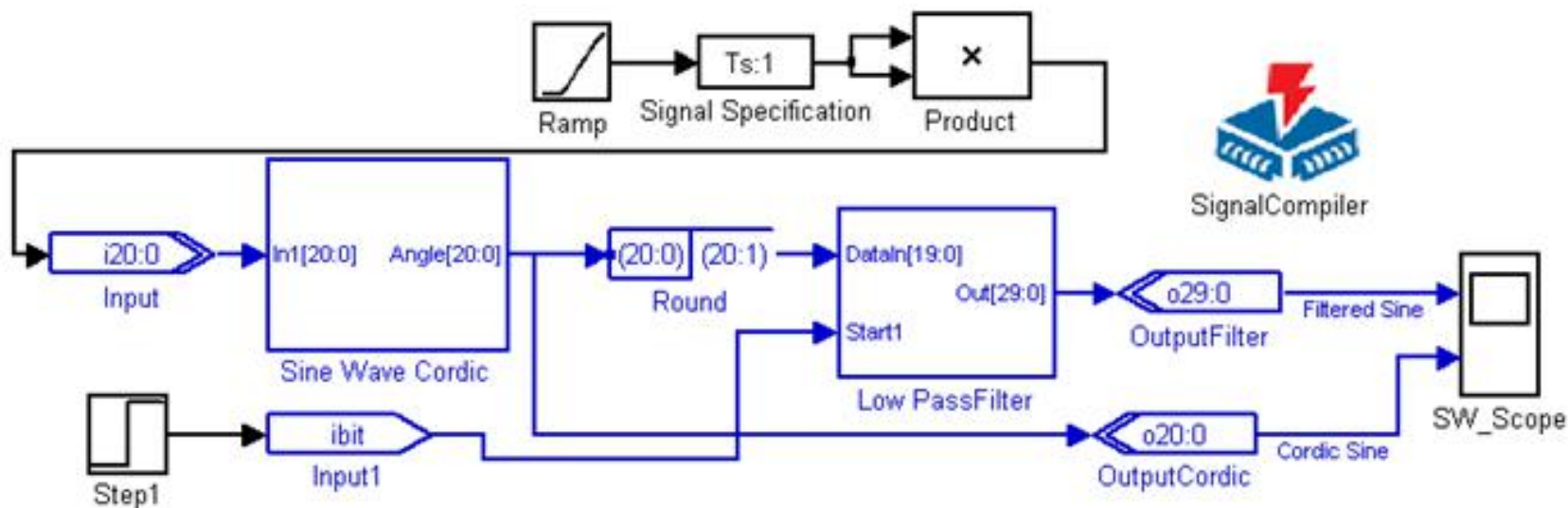


图 11-68 扫频滤波信号发生器模型 FreqSweep.mdl

实验与设计

实验11-3 HIL硬件环仿真实验

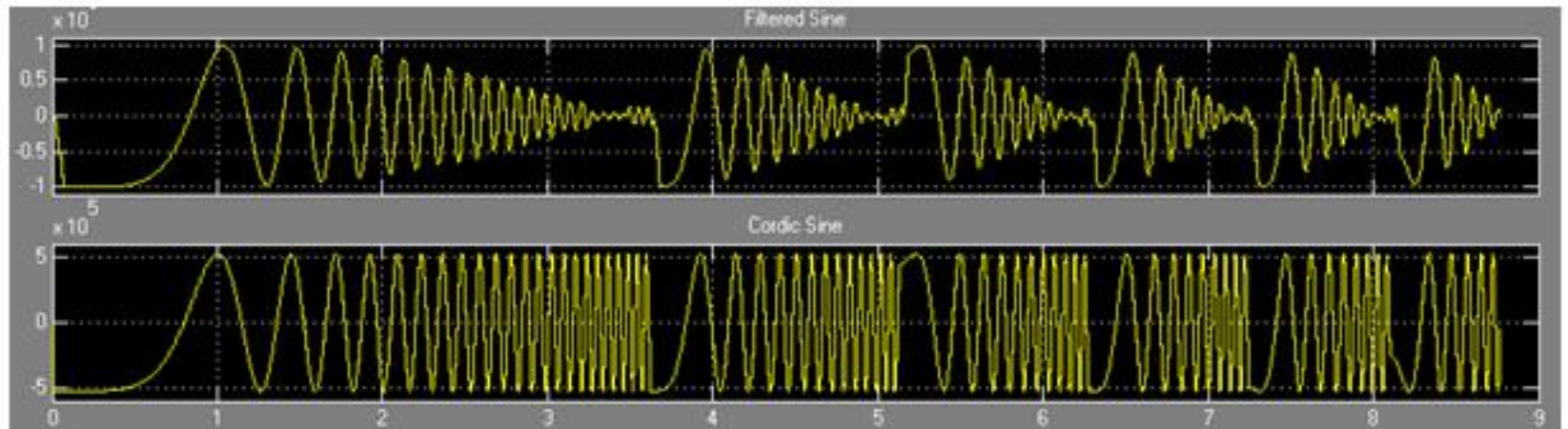


图 11-69 FreqSweep.mdl 模型的 Simulink 仿真波形

实验与设计

实验11-3 HIL硬件环仿真实验

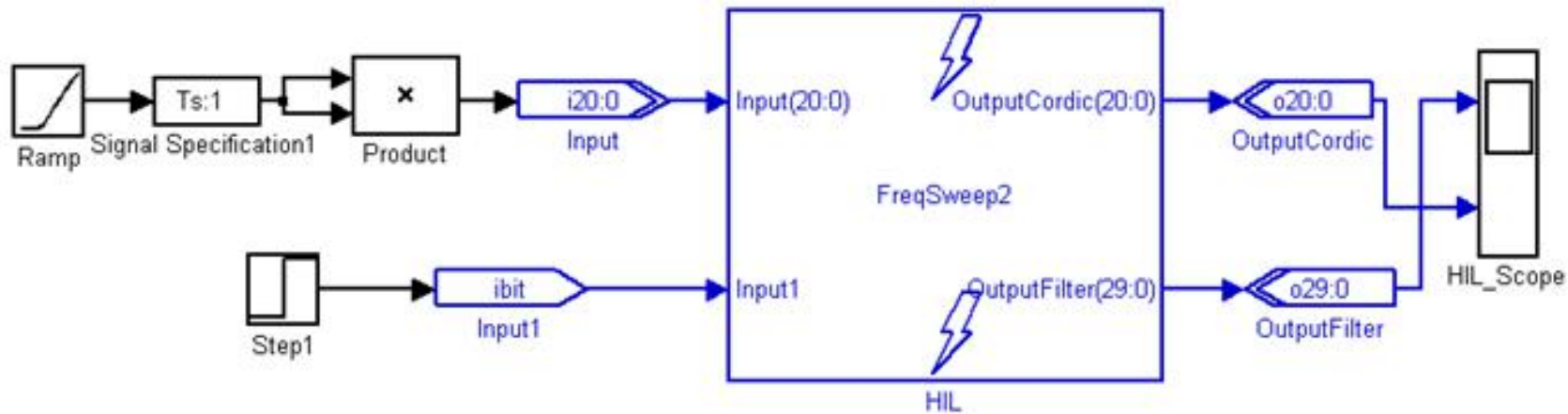


图 11-70 FreqSweep_HIL.mdl 模型电路