

EDA技术实用教程

第1章

EDA技术概述

1.1 EDA技术及其发展

- EDA (Electronic Design Automation)

- 20世纪70年代

- 20世纪80年代

- 20世纪90年代

- 21世纪后

1.2 EDA技术实现目标

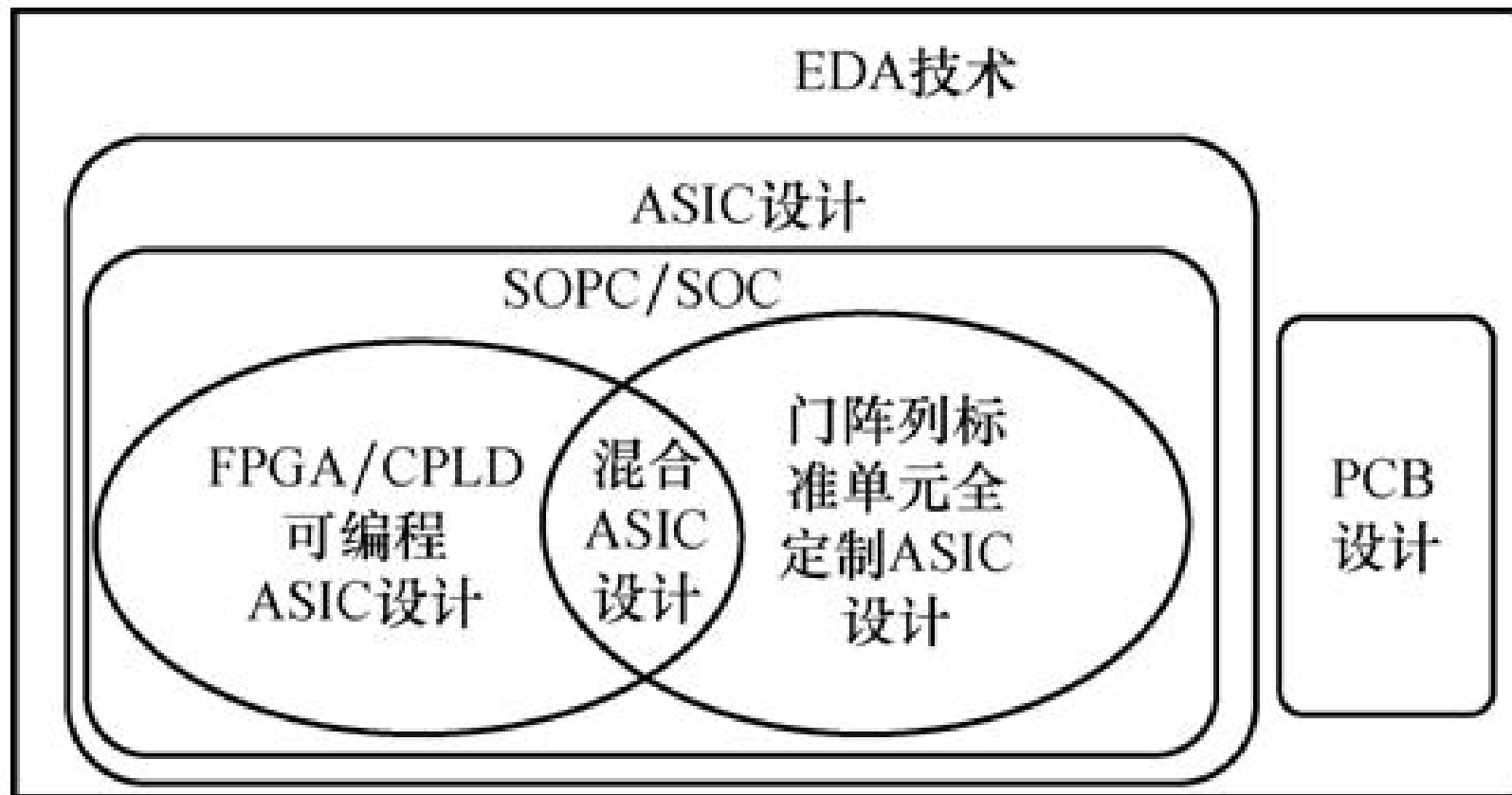


图 1-1 EDA 技术实现目标

1.2 EDA技术实现目标

1. 可编程逻辑器件

2. 半定制或全定制ASIC

(1) 门阵列ASIC

(2) 标准单元ASIC

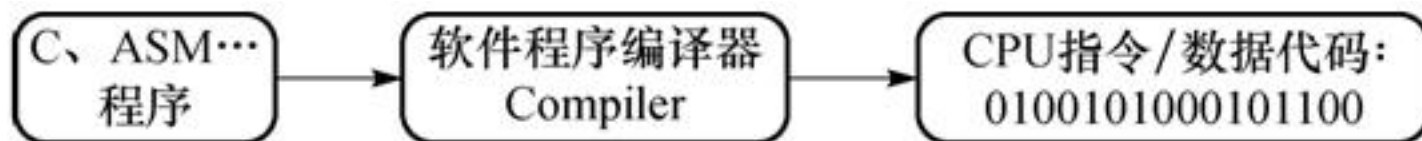
(3) 全定制芯片

3. 混合ASIC

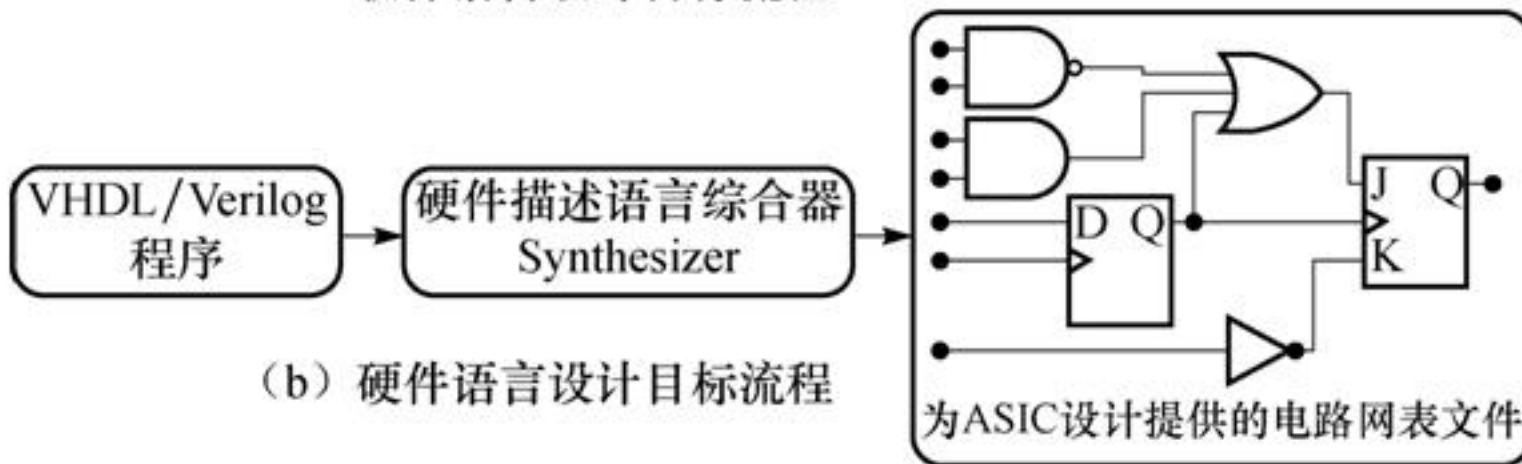
1.3 硬件描述语言

- VHDL
- Verilog HDL
- System Verilog
- System C

1.4 HDL综合



(a) 软件语言设计目标流程



(b) 硬件语言设计目标流程

图 1-2 编译器和综合器的功能比较

1.4 HDL综合

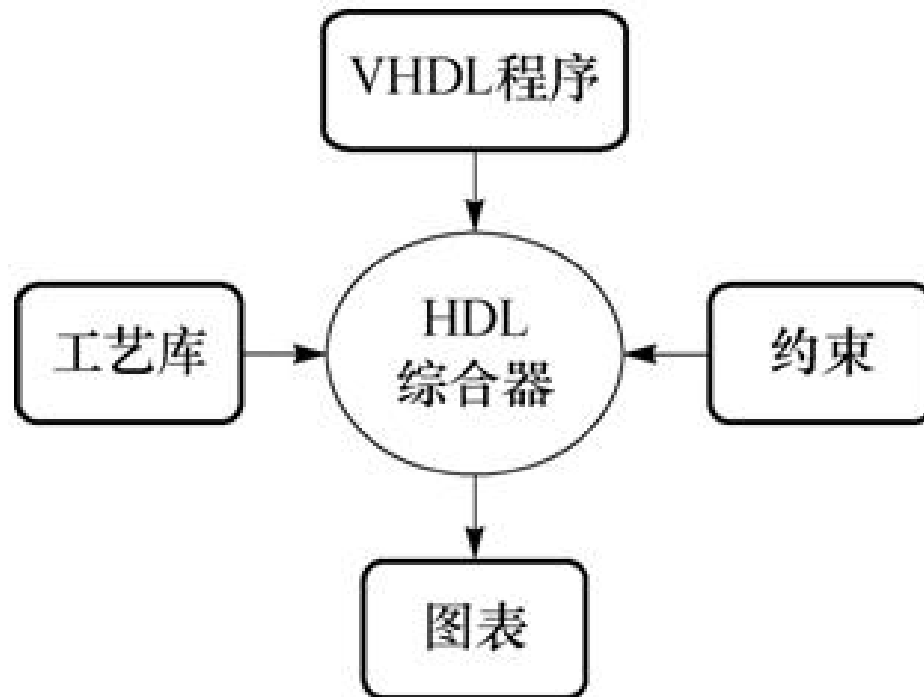


图 1-3 HDL 综合器运行流程

1.5 自顶向下的设计技术

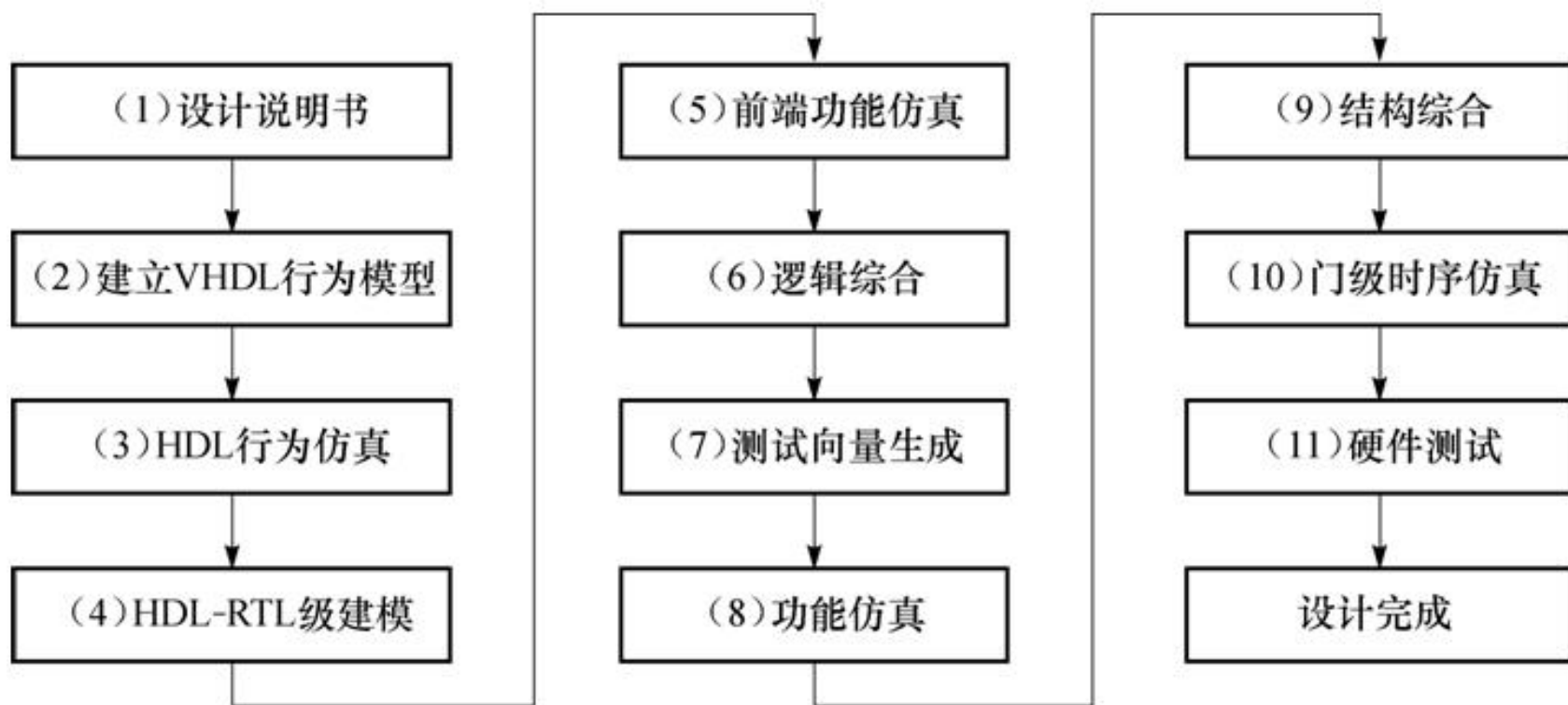


图 1-4 自顶向下的设计流程

1.6 EDA技术的优势

- (1) 大大降低设计成本，缩短设计周期。
- (2) 有各类库的支持。
- (3) 极大地简化了设计文档的管理。
- (4) 日益强大的逻辑设计仿真测试技术。
- (5) 设计者拥有完全的自主权，再无受制于人之虞。
- (6) 良好的可移植与可测试性，为系统开发提供了可靠的保证。
- (7) 能将所有设计环节纳入统一的自顶向下的设计方案中。
- (8) 在整个设计流程上充分利用计算机的自动设计能力，在各个设计层次上利用计算机完成不同内容的仿真模拟，在系统板设计结束后仍可利用计算机对硬件系统进行完整全面的测试。

1.7 EDA设计流程

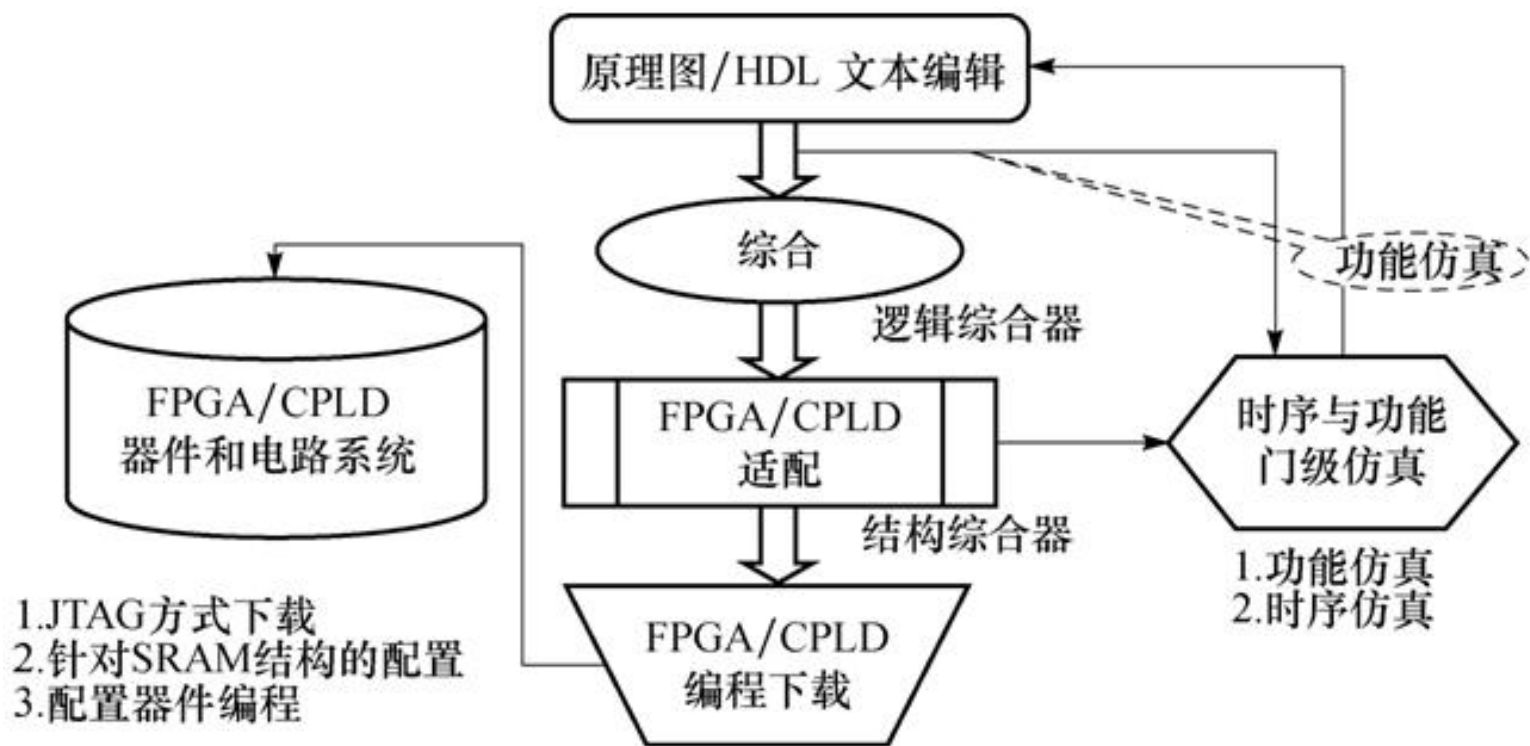


图 1-5 应用于 FPGA/CPLD 的 EDA 开发流程

1.7 EDA设计流程

1.7.1 设计输入（原理图 / HDL文本编辑）

1. 图形输入

- 状态图输入
- 波形图输入
- 原理图输入

2. HDL文本输入

1.7 EDA设计流程



1.7.2 综合

1.7.3 适配

1.7.4 时序仿真与功能仿真、静态时序

1.7.5 编程下载

1.7.6 硬件测试

1.8 ASIC及其设计流程



图 1-6 ASIC 分类

1.8 ASIC及其设计流程

1.8.1 ASIC设计简介

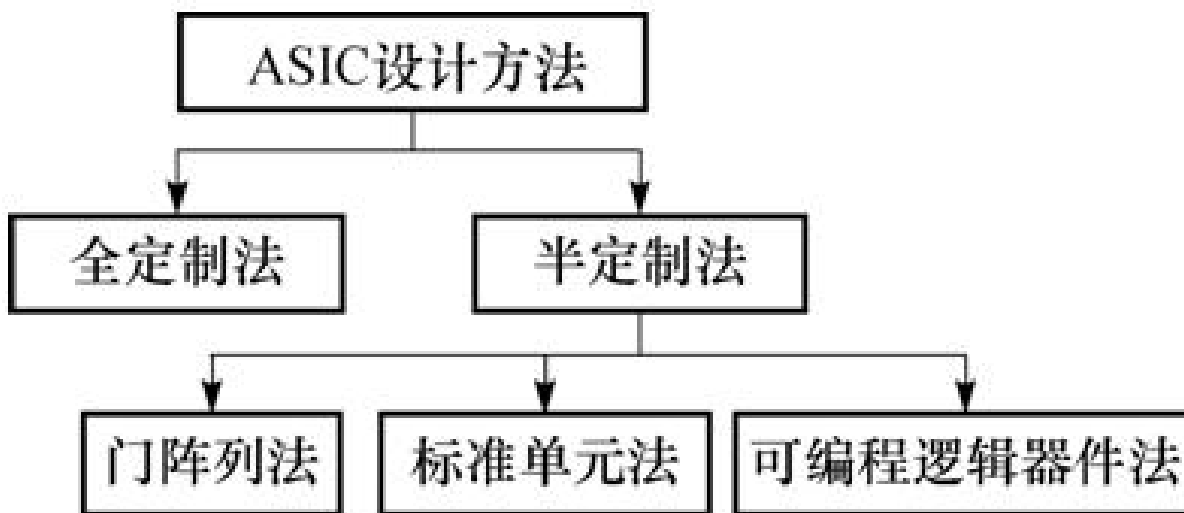


图 1-7 ASIC 实现方法

1.8 ASIC及其设计流程

1.8.2 ASIC设计一般流程简述

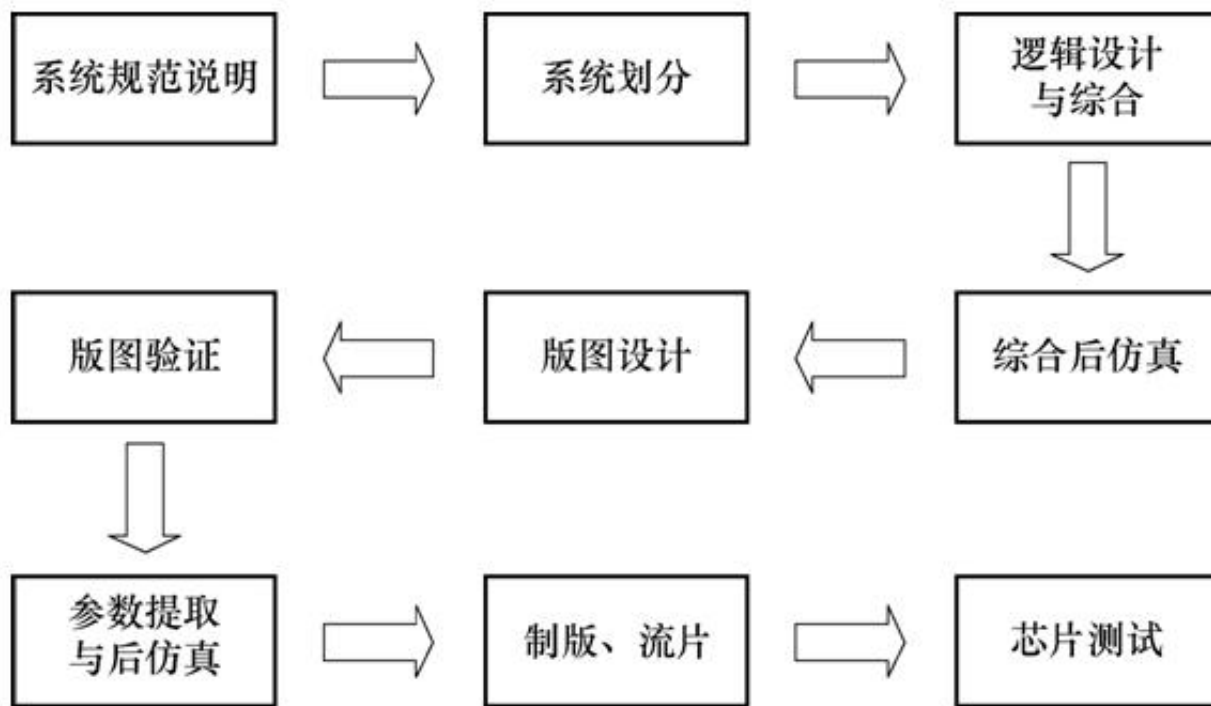


图 1-8 ASIC 设计流程

1.9 常用EDA工具



1.9.1 设计输入编辑器

1.9.2 HDL综合器

- Synopsys 公司的Synplify Pro综合器。
- Synopsys 公司的DC-FPGA综合器。
- Mentor的Leonardo Spectrum综合器和Precision RTL Synthesis综合器。

1.9 常用EDA工具



1.9.3 仿真器与时序分析器

1.9.4 适配器

1.9.5 下载器

1.10 Quartus 概述

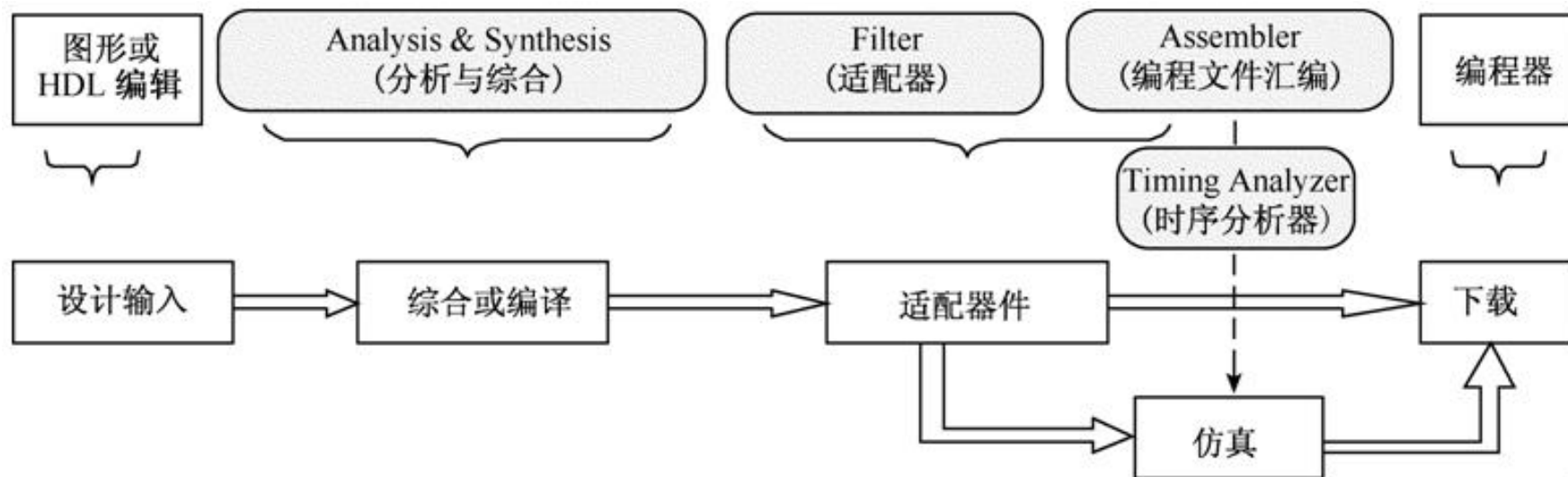
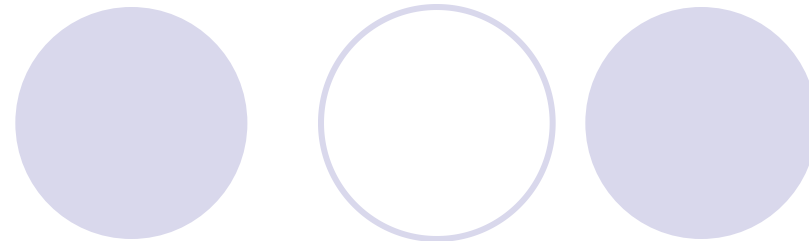


图 1-9 Quartus 设计流程

1.11 IP核



软IP

固IP

硬IP

1.12 EDA技术发展趋势管窥

高速图像处理、人工智能、数据中心、云、高速接口、存储中心的架构方案中越来越多地使用**FPGA**。



习 题

- **1-1 EDA技术与ASIC设计和FPGA开发有什么关系？FPGA在ASIC设计中有什么用途？**
- **1-2 与软件描述语言相比，Verilog HDL有什么特点？**
- **1-3 什么是综合？有哪些类型？综合在电子设计自动化中的地位是什么？**
- **1-4 在EDA技术中，自顶向下的设计方法的重要意义是什么？**
- **1-5 IP在EDA技术的应用和发展中的意义是什么？**
- **1-6 叙述EDA的FPGA设计流程，以及涉及的EDA工具及其在整个流程中的作用。**
- **1-7 静态时序分析是什么？在EDA设计流程中起什么作用。**
- **1-8 列举FPGA的应用领域。**