

# 第7章

## MCU与FPGA片上系统开发

# 7.1 FPGA扩展MCU开发技术

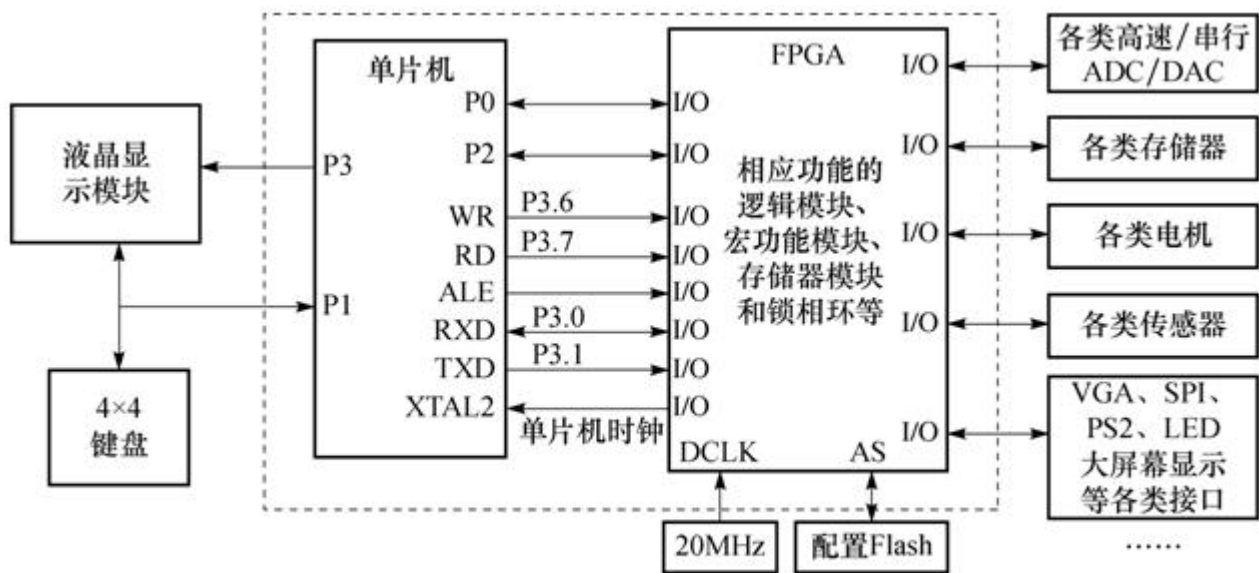


图 7-1 FPGA 与单片机的扩展系统设计模型图



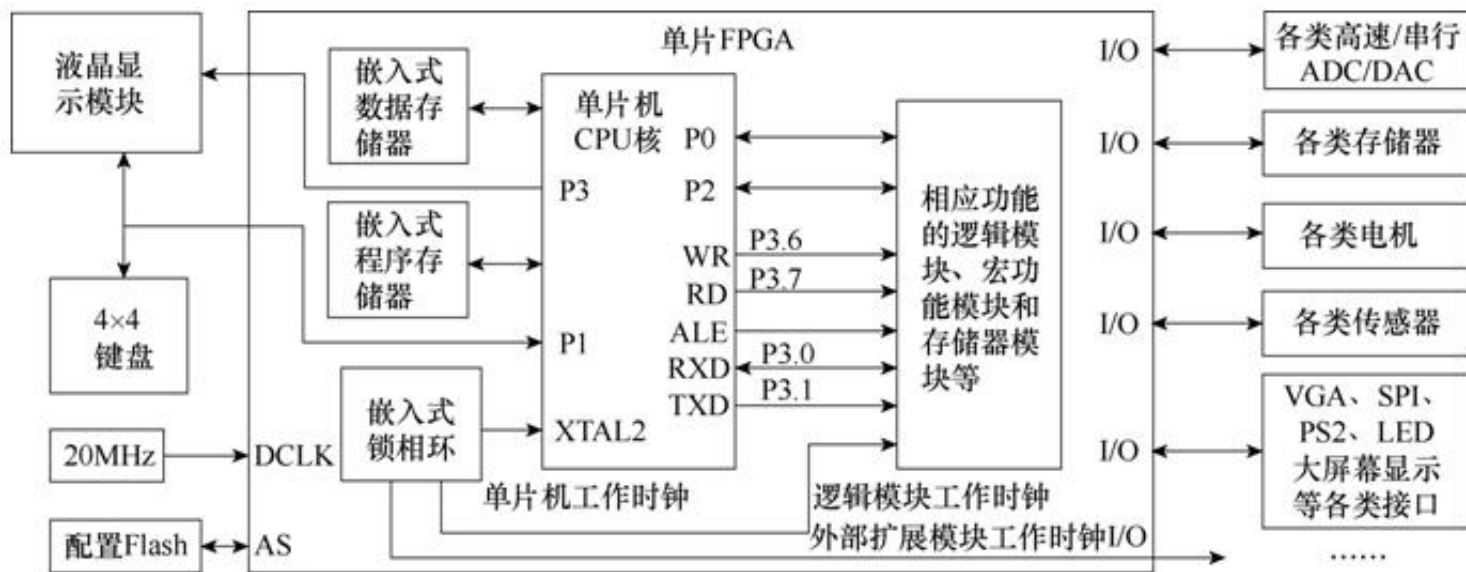
# 7.1 FPGA扩展MCU开发技术

## 7.1.1 FPGA扩展方案及其系统设计技术

1. 单片机与FPGA的口线连接
2. FPGA测控对象的接口安排
3. 单片机与液晶显示及键盘的接口
4. 设计步骤与流程

# 7.1 FPGA扩展MCU开发技术

## 7.1.2 基于单片机IP软核的SOC设计方案





# 7.1 FPGA扩展MCU开发技术

## 7.1.2 基于单片机IP软核的SOC设计方案

### 1. 基于FPGA的SOC特点

- (1) 良好的抗干扰性能
- (2) 良好的速度性能
- (3) 开发效率高
- (4) 系统升级便捷



# 7.1 FPGA扩展MCU开发技术

## 7.1.2 基于单片机IP软核的SOC设计方案

### 2. 基于单片机核的FPGA片上系统开发

(1) 电平匹配

(2) 阻抗匹配

(3) 注意高速PCB板的设计

(4) 键盘与显示接口设计

# 7.2 基于单片机核的FPGA片上系统设计

## 1. CPU核及其端口信号

### (1) 单片机CPU核文件

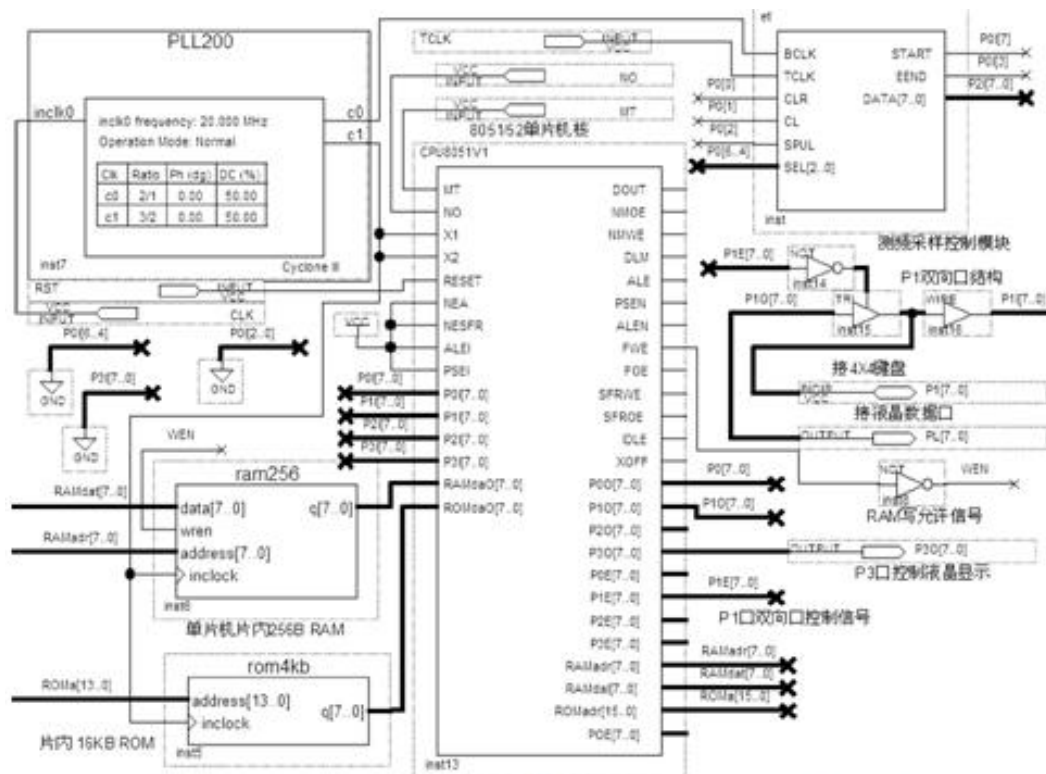


图 7-3 单片机核扩展了测频测脉宽控制脉宽的 FPGA 片上系统电路图



## 7.2 基于单片机核的FPGA片上系统设计

### 1. CPU核及其端口信号

(2) 单片机CPU核工作时钟

(3) CPU核常用的控制信号

(4) CPU核的存储器总线及存储器接口

(5) CPU核的I/O口

(6) CPU核双向I/O端口构建





## 7.2 基于单片机核的FPGA片上系统设计

2. CPU核工作存储器

3. 扩展模块

4. 锁相环应用

5. 软件设计与调试

## 7.2 基于单片机核的FPGA片上系统设计

```
MULTI_CKT_EXPT\MCD_51CORE_SOC
:串进并出/并进串出控制程序
RS EQU P3.2
RV EQU P3.3
E EQU P3.4
DAT EQU 30H
DAT1 EQU 31H

ORG 0000H
MOV SP, #60H
MOV DAT, #01H
LCALL ENABLE
LCALL DISP3
MOV DAT, #01H
LCALL ENABLE

MOV A, #40H
MOV D, #80H
LCALL DISP2
MOV A, #34H
MOV D, #81H
LCALL DISP2
MOV A, #33H
MOV B, #82H
```

图 7-4 汇编程序



图 7-5 用 In-System Memory Content Editor 下载汇编程序代码

# 实验与设计

## 7-1 脉宽/占空比/等精度频率多功能测试仪设计

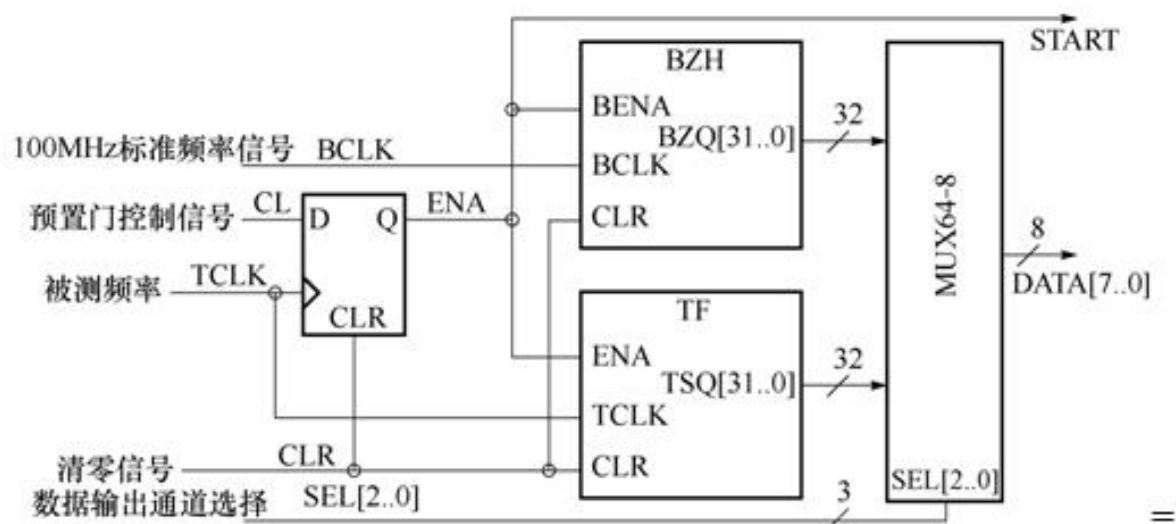


图 7-6 等精度频率计主控结构

# 实验与设计

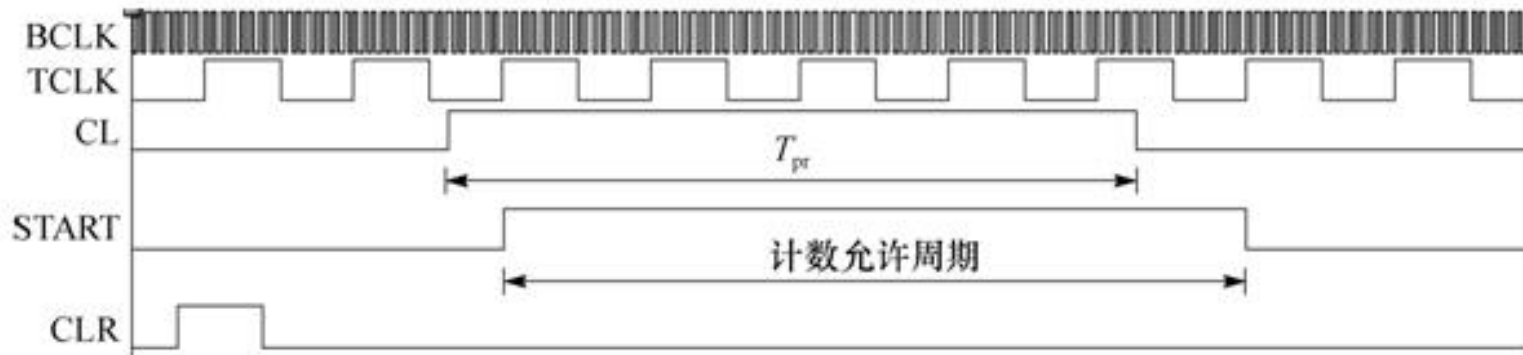


图 7-7 频率计测控时序

## 【例 7-1】

```

module et (BCLK, TCLK, CLR, CL, SPUL, START, EEND, SEL, DATA);
    input BCLK, TCLK, CLR, CL, SPUL; input[2:0] SEL;
    output START, EEND;
    output[7:0] DATA;
    reg[31:0] BZQ, TSQ; reg ENA;
    wire PUL;
    wire MA, EEND, START, BENA;
    wire CLK1, CLK2, CLK3;
    reg Q1, Q2, Q3; wire[1:0] SS;
    always @(posedge BCLK or posedge CLR) begin // 标准频率测试计数器
        if (CLR==1'b1) BZQ<={32{1'b0}};
        else if (BENA==1'b1) BZQ<=BZQ+1; and
    always @(posedge TCLK or posedge CLR) begin : TF
        if (CLR==1'b1) TSQ<={32{1'b0}};
        else if (ENA==1'b1) TSQ<=TSQ+1; and
    always @(posedge TCLK or posedge CLR)
        if (CLR==1'b1) ENA<=1'b0; else ENA<=CL;
    always @(posedge CLK1 or posedge CLR)
        if (CLR==1'b1) Q1<=1'b0; else Q1<=1'b1;
    always @(posedge CLK2 or posedge CLR)
        if (CLR==1'b1) Q2<=1'b0; else Q2<=1'b1;
    always @(posedge CLK3 or posedge CLR)
        if (CLR==1'b1) Q3<=1'b0; else Q3<=1'b1;
    assign MA = (TCLK & CL) | ~(TCLK | CL); // 测脉冲宽度
    assign CLK1 = ~MA; assign CLK2 = MA & Q1;
    assign CLK3 = ~CLK2; assign SS = {Q2, Q3};
    assign PUL = (SS == 2'b10) ? 1'b1 : 1'b0; // EEND为低电平时,表示正在计数。
    assign EEND = (SS == 2'b11) ? 1'b1 : 1'b0;
    assign BENA = (SPUL == 1'b1) ? ENA : (SPUL == 1'b0) ? PUL : PUL;
    assign START = ENA;
    assign DATA = (SEL == 3'b000) ? BZQ[7:0] : (SEL == 3'b001) ? BZQ[15:8] :
        (SEL == 3'b010) ? BZQ[23:16] : (SEL == 3'b011) ? BZQ[31:24] :
        (SEL == 3'b100) ? TSQ[7:0] : (SEL == 3'b101) ? TSQ[15:8] :
        (SEL == 3'b110) ? TSQ[23:16] : (SEL == 3'b111) ? TSQ[31:24] :
        TSQ[31:24];
endmodule

```

# 实验与设计

$$\text{占空比} = \frac{N_1}{N_1 + N_2} \times 100\% \quad (7-1)$$

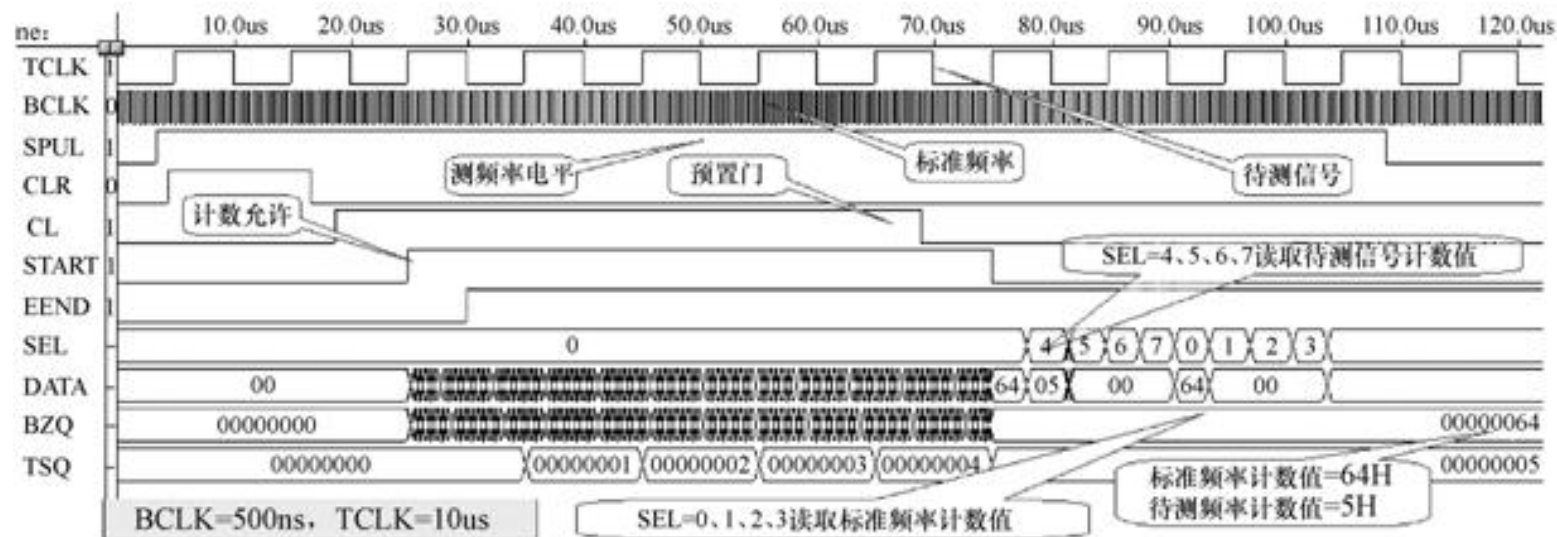


图 7-8 等精度频率计测频时序图

# 实验与设计

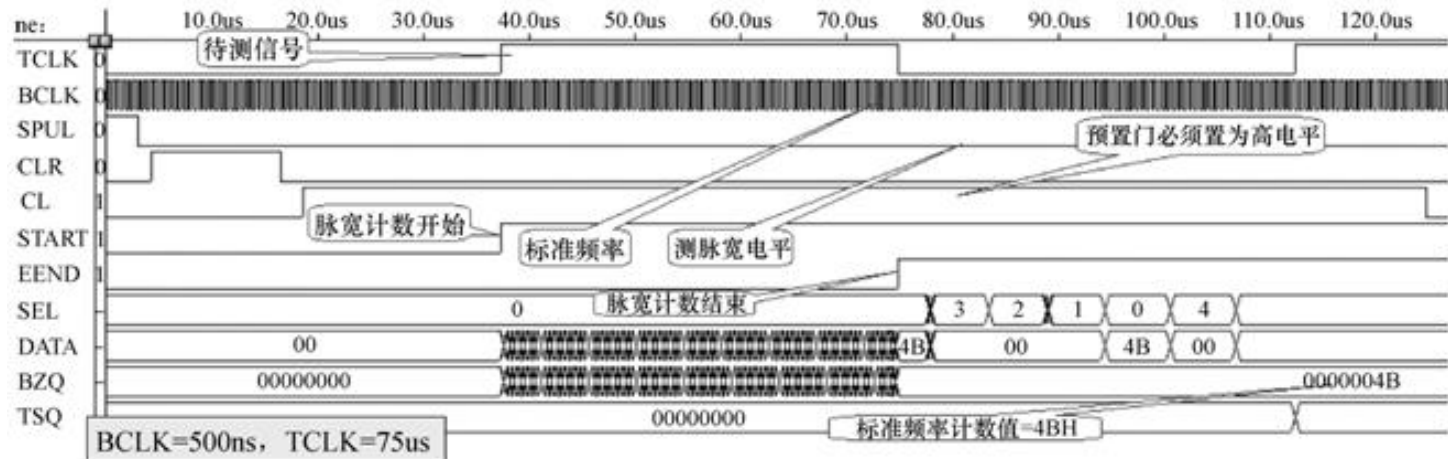


图 7-9 等精度频率计测脉宽时序图