



第1章

概述



1.1 EDA技术

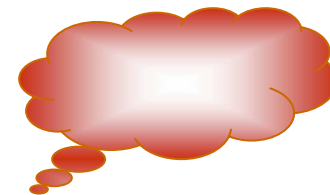
EDA技术的发展

20世纪70年代 → 集成电路制作，**MOS**工艺已得到广泛的应用。

20世纪80年代 → 集成电路设计进入了**CMOS(互补场效应管)**时代。

20世纪90年代 → 计算机辅助工程、辅助分析和辅助设计在电子技术领域
获得更加广泛的应用。

EDA技术在进入21世纪后，得到了更大的发展





1.2 EDA技术应用对象

1. 可编程逻辑器件

2. 半定制或全定制ASIC

3. 混合ASIC

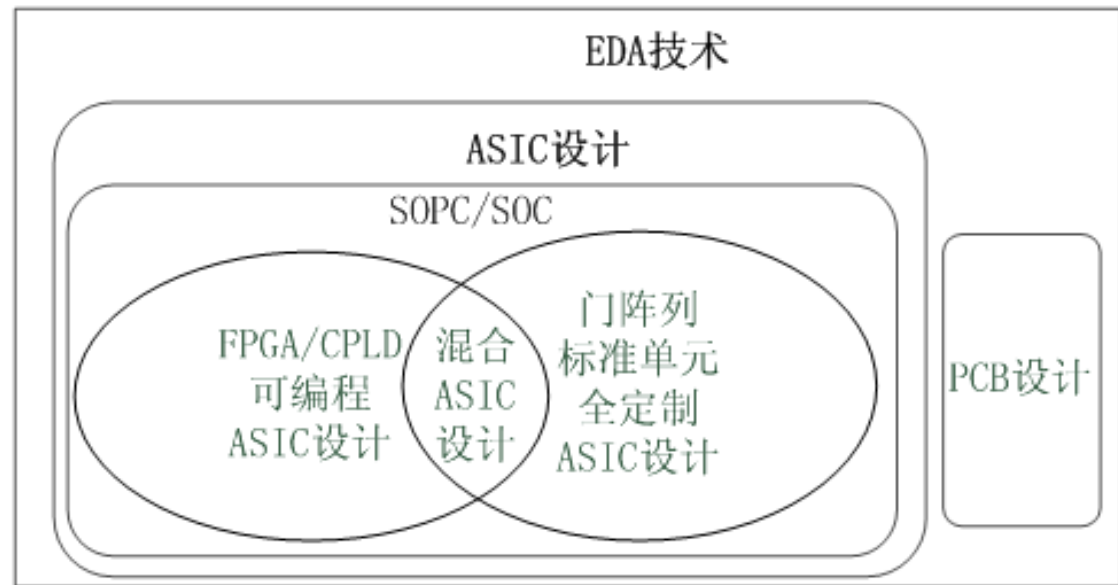


图 1-1 EDA 技术实现目标



1.3 硬件描述语言 Verilog HDL

VHDL

Verilog HDL

SystemVerilog

System C



1.4 EDA技术的优势

降低设计成本，缩短设计周期

有各类库支持

简化设计文档管理

逻辑设计仿真测试技术

设计者拥有完全的自主权

良好的可移植与可测试性

自顶向下的设计方案

充分利用计算机



1.5 面向FPGA的EDA开发流程

1.5.1 设计输入

1. 图形输入

2. 硬件描述语言文本输入

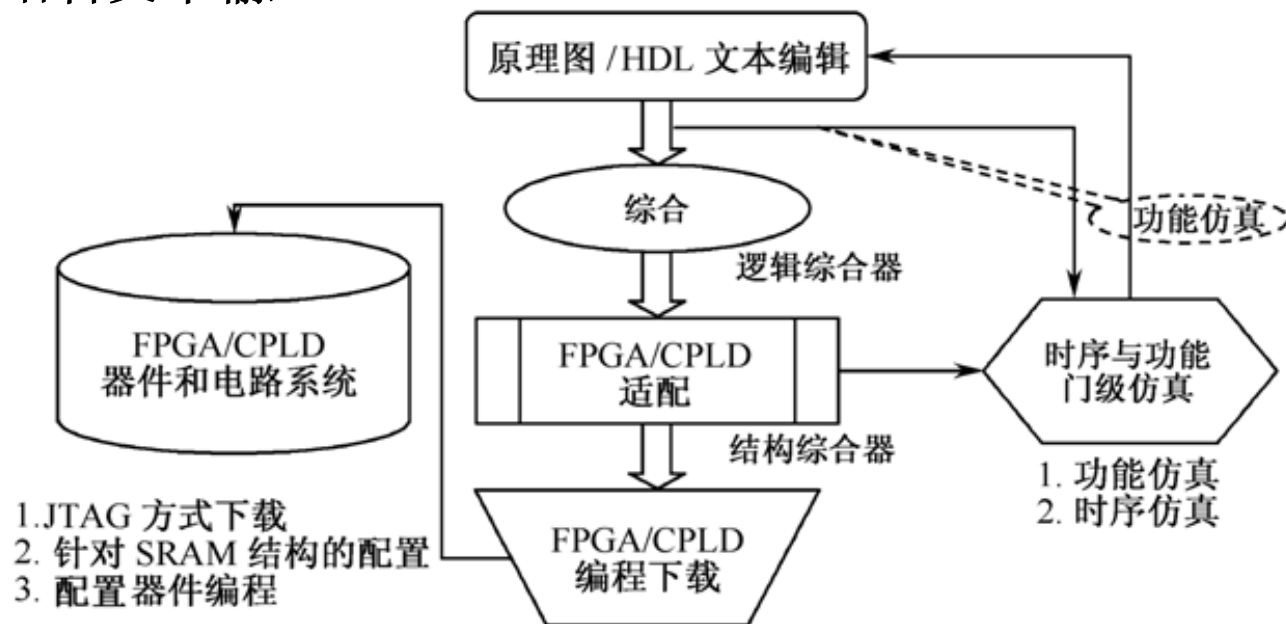


图 1-2 FPGA 的 EDA 开发流程

● ● ● | 1.5 面向FPGA的EDA开发流程

1.5.2 综合

自然语言综合

行为综合

逻辑综合

结构综合

1.5.3 适配（布线布局）

1.5.4 仿真

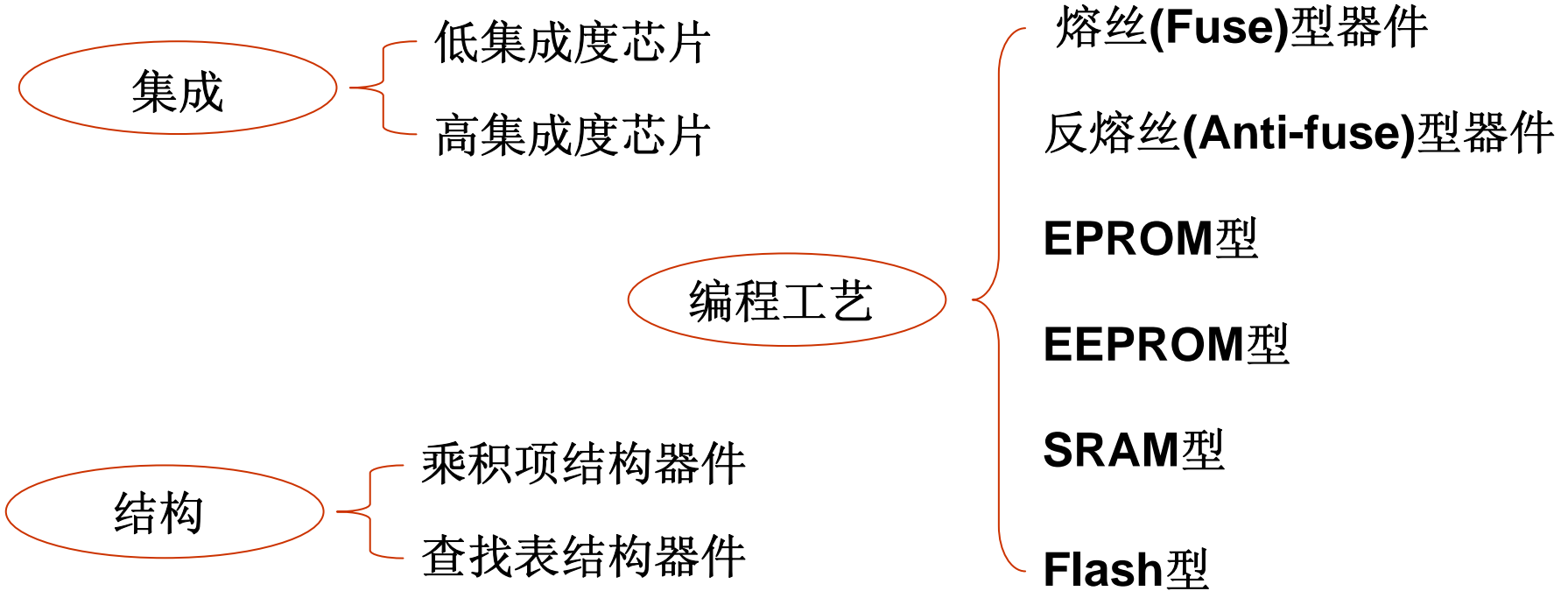
时序仿真

功能仿真



1.6 可编程逻辑器件

1.6.1 PLD的分类





1.6 可编程逻辑器件

1.6.2 PROM可编程原理

	非门	与门	或门	异或门
IEEE 1991 版 标准逻辑符号				
IEEE 1984 版 标准逻辑符号				
逻辑表达式	$\bar{A} = \text{NOT } A$	$F = A \cdot B$	$F = A + B$	$F = A \oplus B$

图 1-3 两种不同版本的国际标准逻辑门符号对照表



1.6 可编程逻辑器件

1.6.2 PROM可编程原理



图 1-4 PLD 的互补缓冲器

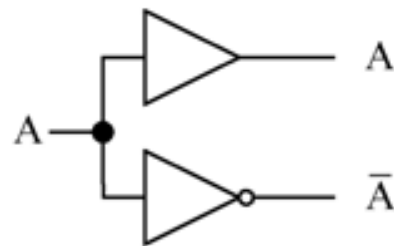


图 1-5 PLD 的互补输入



图 1-6 PLD 中与阵列的表示

● ● ● | 1.6 可编程逻辑器件

1.6.2 PROM可编程原理



图 1-7 PLD 中或阵列的表示



图 1-8 阵列线连接表示



1.6 可编程逻辑器件

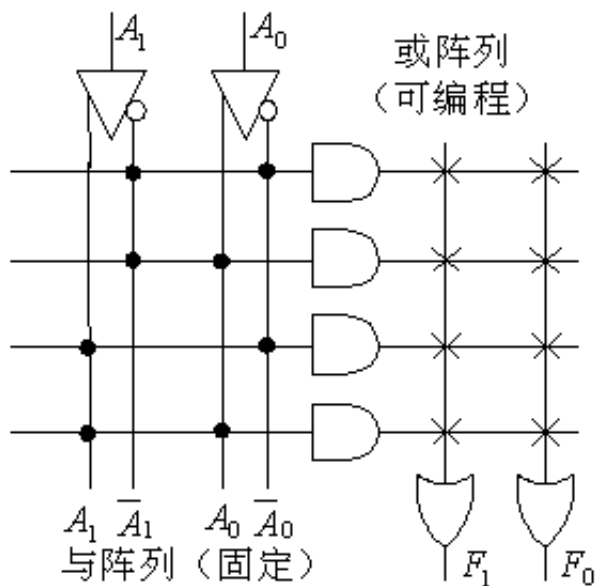


图 1-9 PROM 表达的 PLD 阵列图

$$S = A_0 \oplus A_1$$

$$C = A_0 \square A_1$$

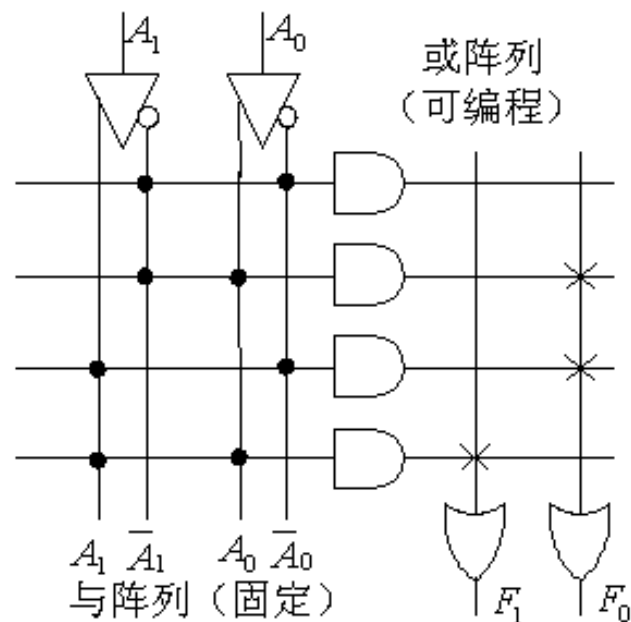


图 1-10 用 PROM 完成半加器逻辑阵列

$$F_0 = A_0 \bar{A}_1 + \bar{A}_0 A_1$$

$$F_1 = A_1 A_0$$



1.6 可编程逻辑器件

1.6.3 GAL

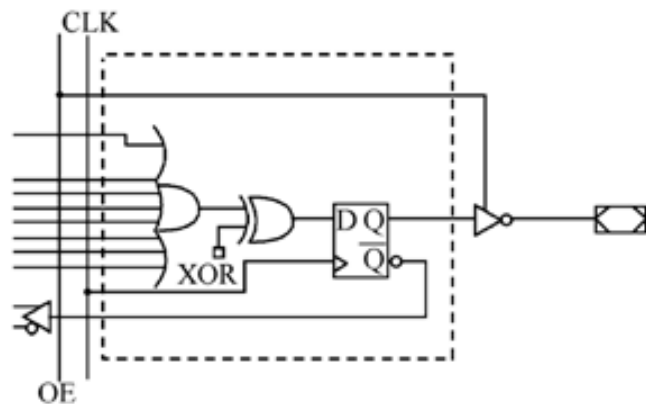


图 1-12 寄存器输出结构

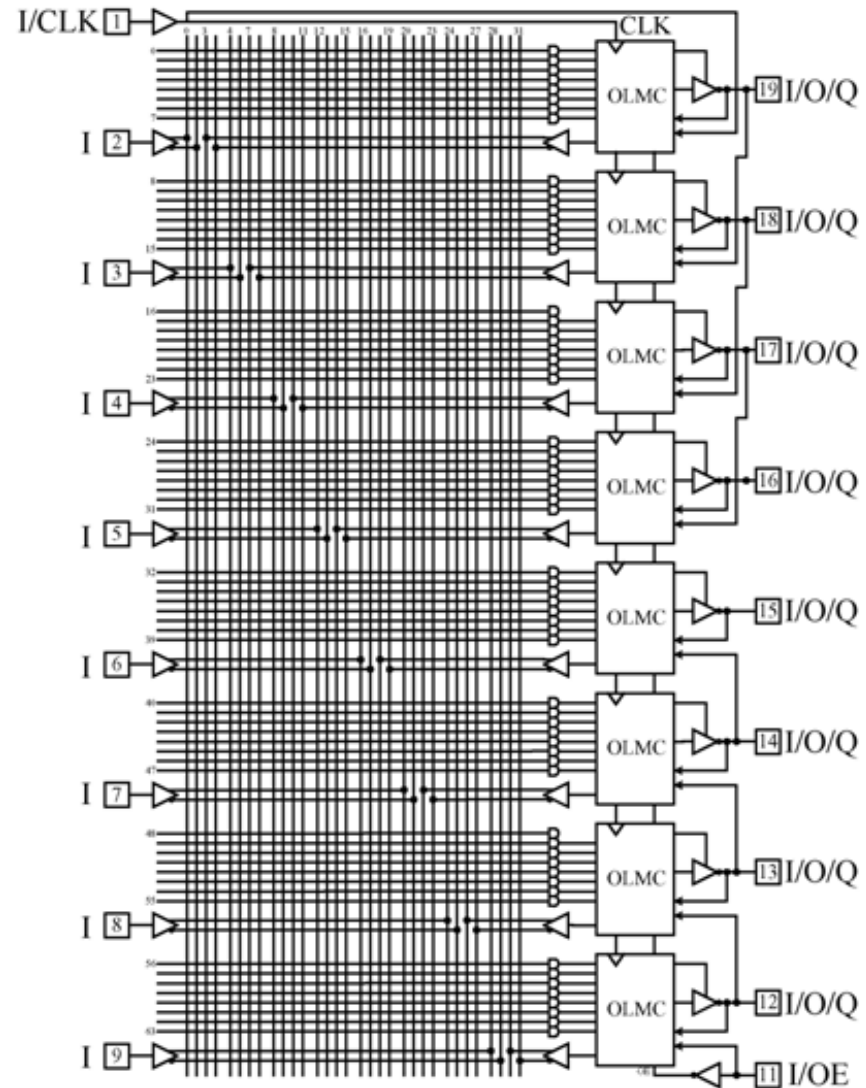


图 1-11 GAL16V8 的结构图

● ● ● 1.7 CPLD的结构与可编程原理

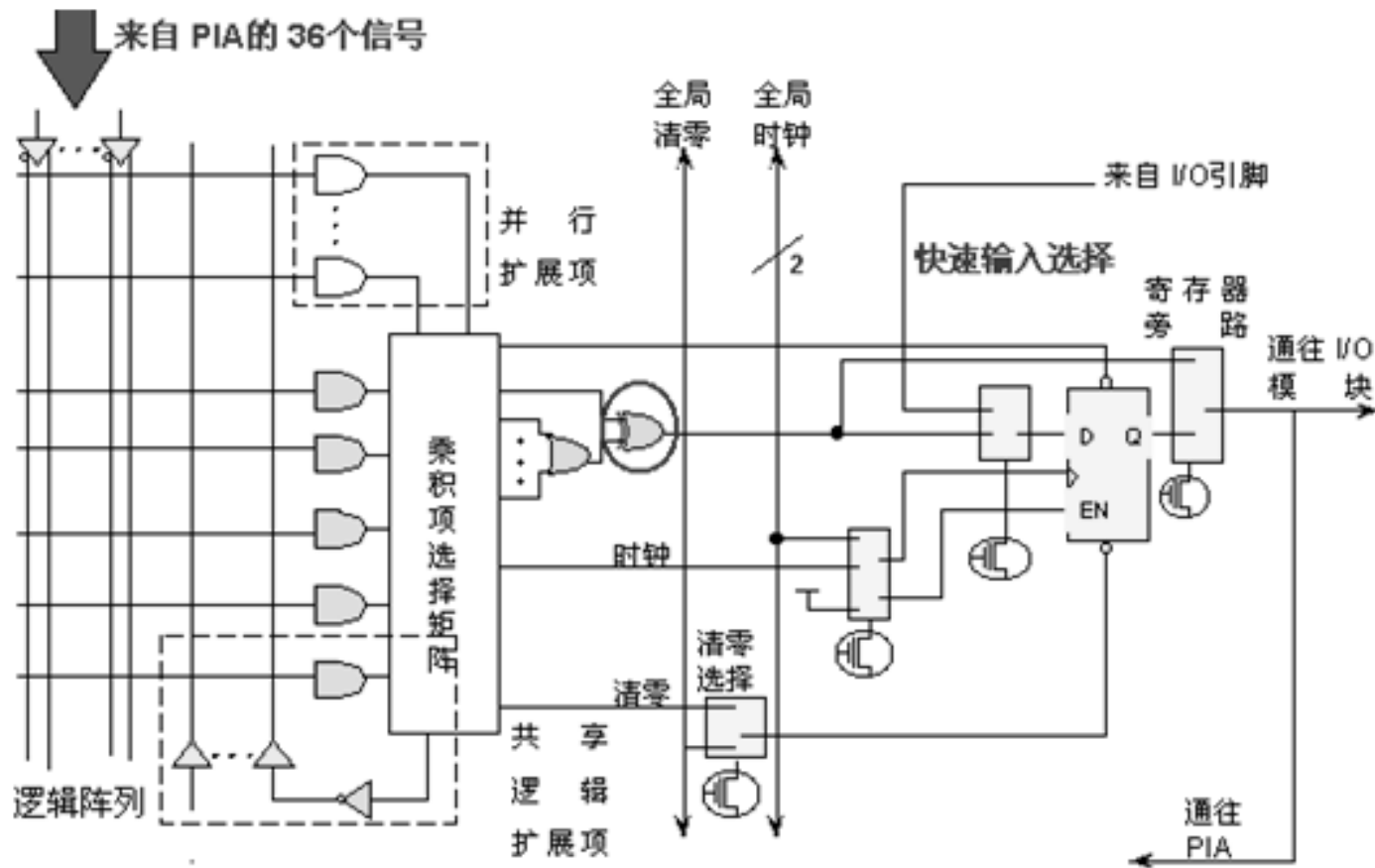


图 1-13 MAX7000 系列的单个逻辑宏单元结构



1.7 CPLD的结构与可编程原理

1. 逻辑阵列块

对于每个LAB，输入信号来自3部分：

- (1) 来自作为通用逻辑输入的PIA的36个信号；
- (2) 来自全局控制信号，用于寄存器辅助功能；
- (3) 从I/O引脚到寄存器的直接输入通道。

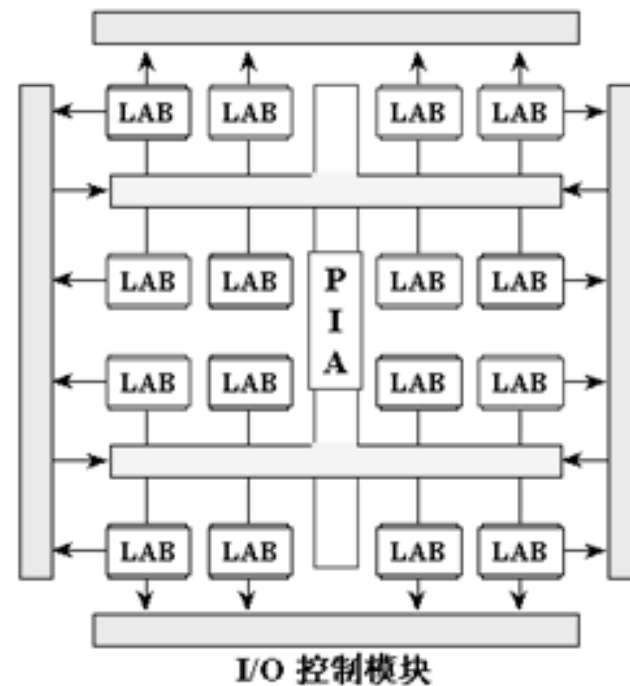
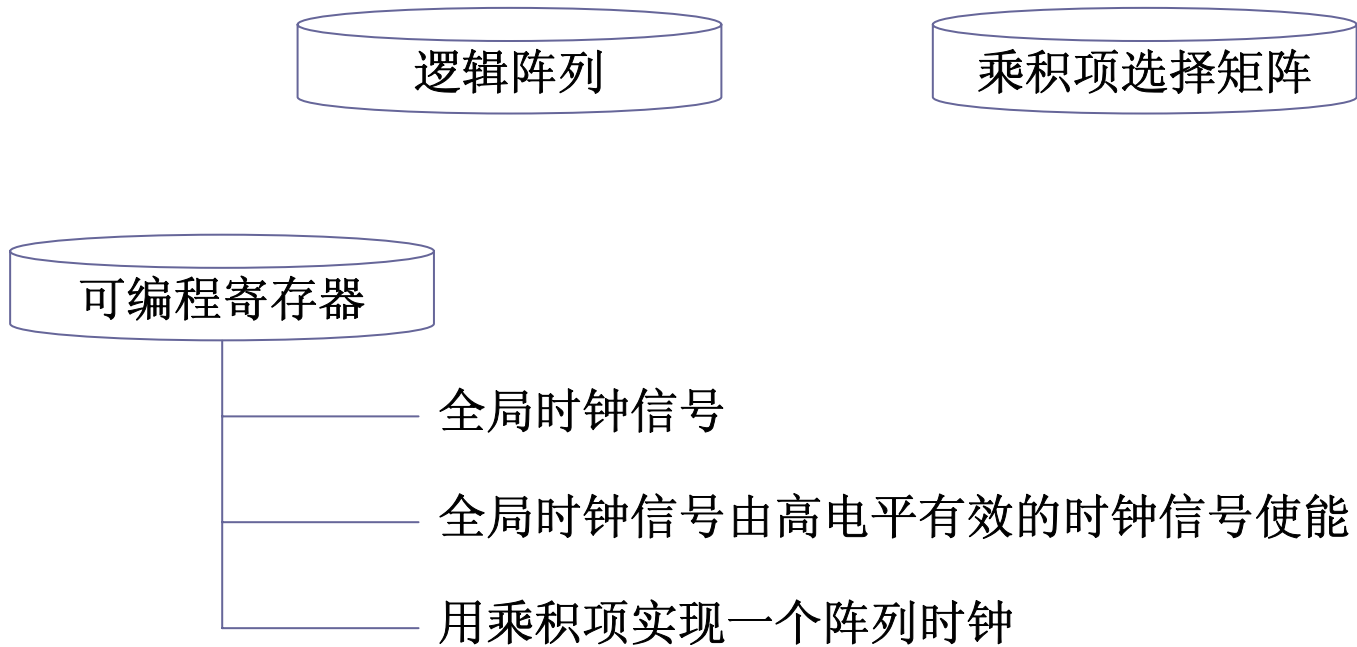


图 1-14 MAX7128S 的结构



1.7 CPLD的结构与可编程原理

2. 逻辑宏单元





1.7 CPLD的结构与可编程原理

3. 可编程连线阵列

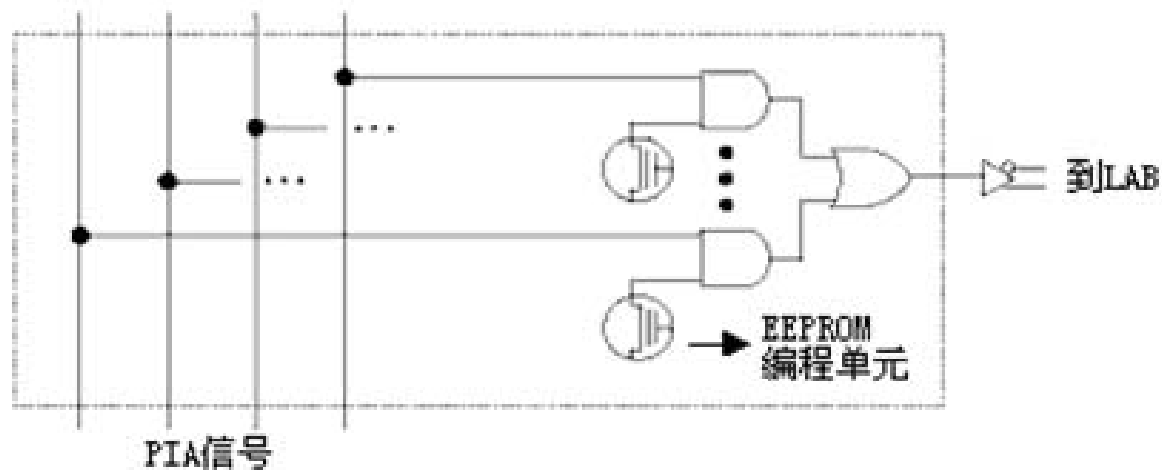


图 1-15 PIA 信号布线到 LAB 的方式



1.7 CPLD的结构与可编程原理

4. I/O控制块

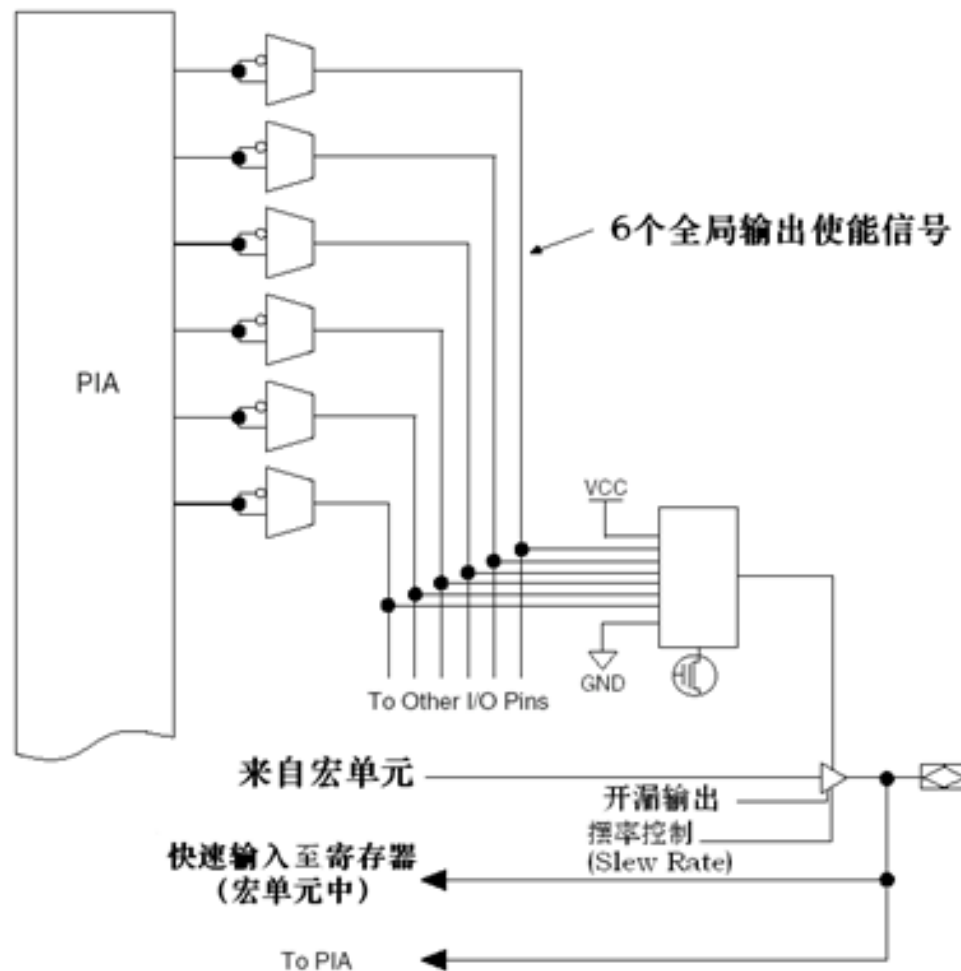


图 1-16 EPM7128S 器件的 I/O 控制块



1.8 FPGA的结构与工作原理

1.8.1 查找表逻辑结构

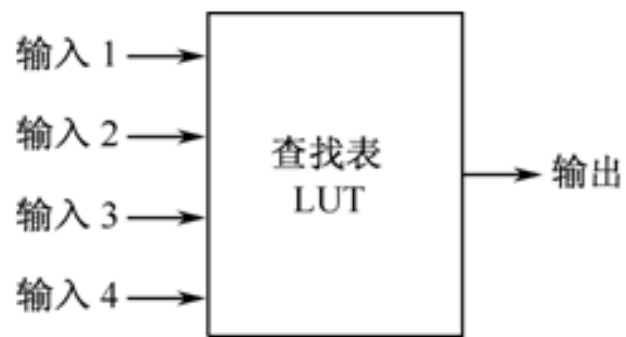


图 1-17 FPGA 查找表单元

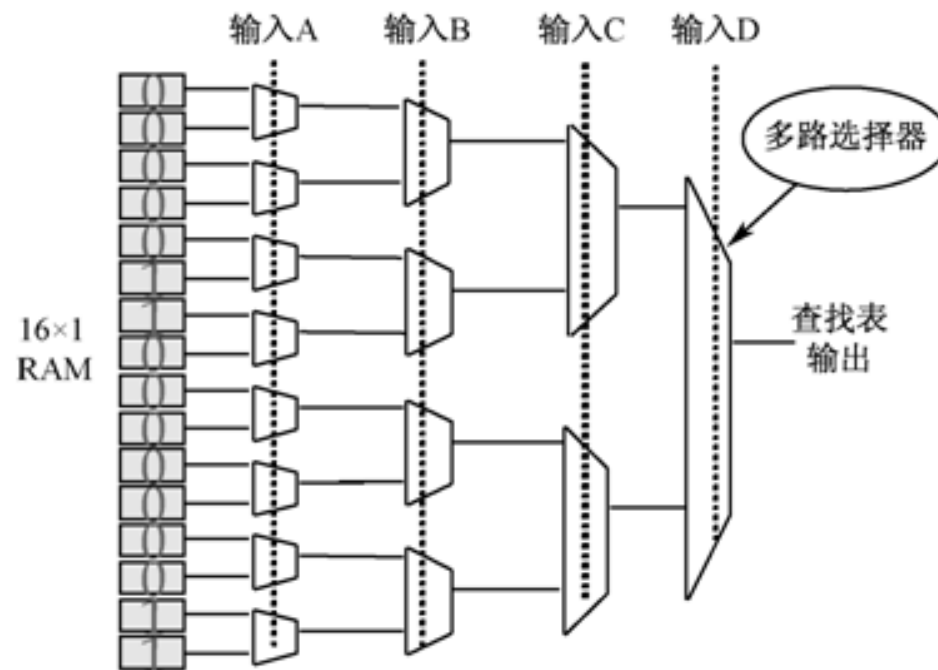


图 1-18 FPGA 查找表单元内部结构

1.8.2 Cyclone III系列器件的结构原理

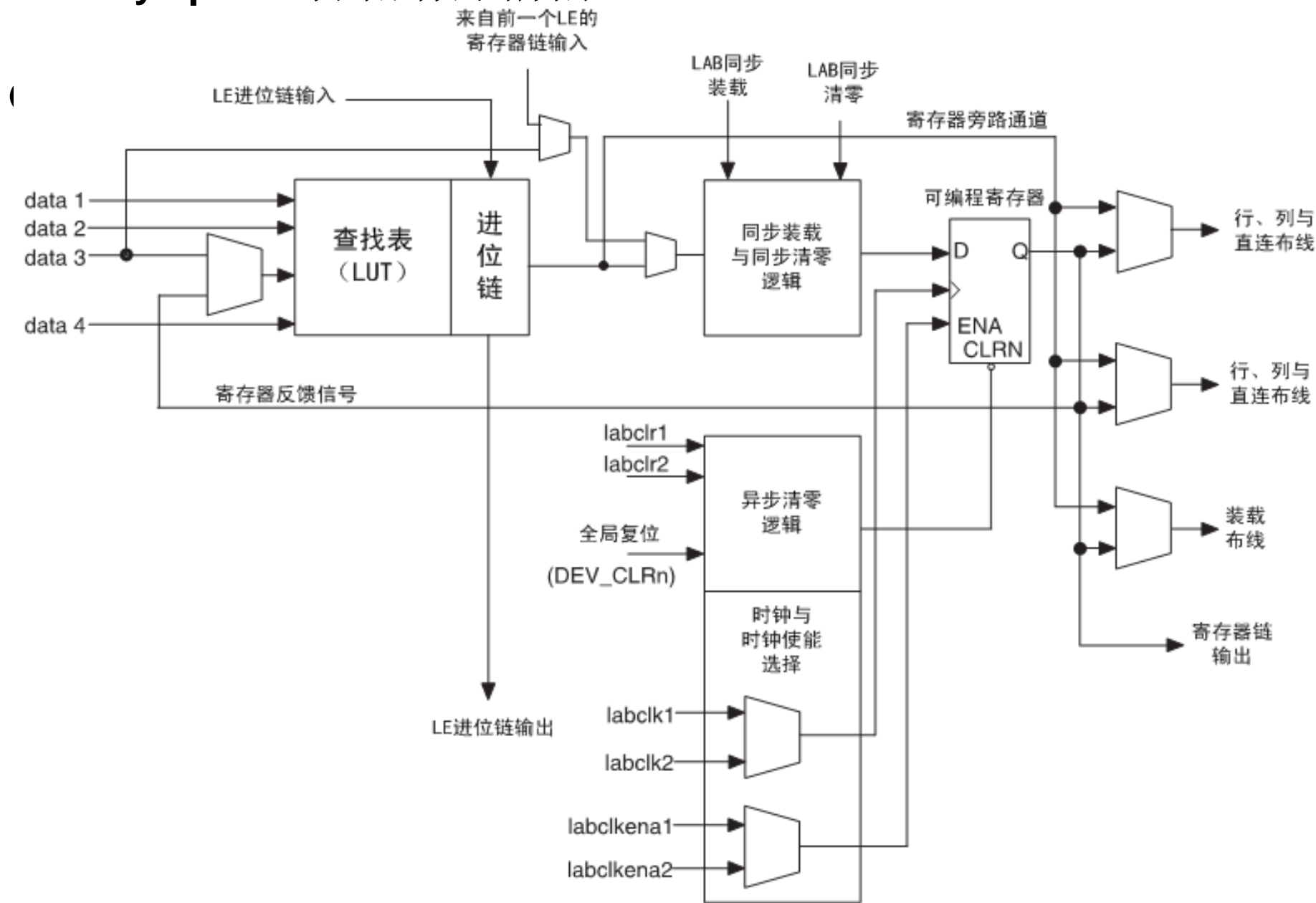


图 1-19 Cyclone III LE 结构图



1.8 FPGA的结构与工作原理

1.8.2 Cyclone III系列器件的结构原理

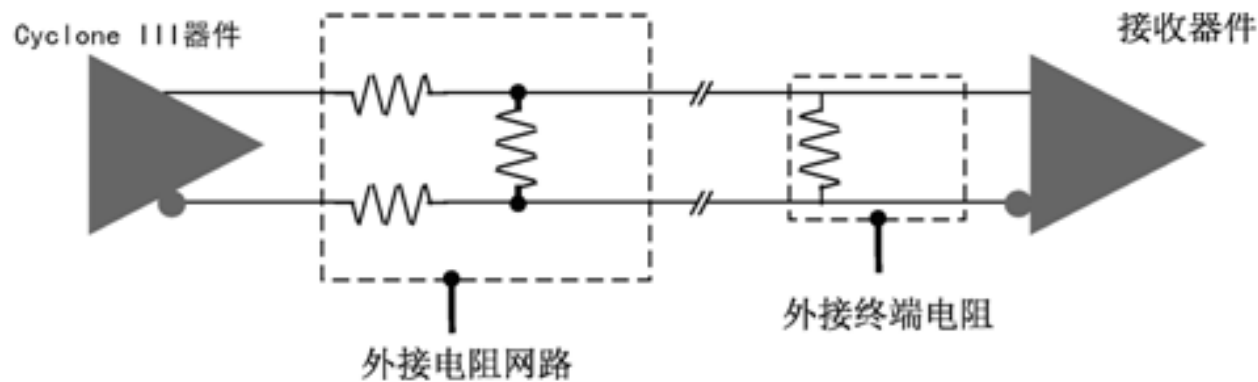


图 1-20 LVDS 连接



1.9 硬件测试技术

1.9.1 内部逻辑测试

1.9.2 JTAG边界扫描测试

表 1-1 边界扫描 IO 引脚功能

引脚	描述	功能
TDI	测试数据输入(Test Data Input)	测试指令和编程数据的串行输入引脚。数据在 TCK 的上升沿移入。
TDO	测试数据输出(Test Data Output)	测试指令和编程数据的串行输出引脚，数据在 TCK 的下降沿移出。如果数据没有被移出时，该引脚处于高阻态。
TMS	测试模式选择(Test Mode Select)	控制信号输入引脚，负责 TAP 控制器的转换。TMS 必须在 TCK 的上升沿到来之前稳定。
TCK	测试时钟输入(Test Clock Input)	时钟输入到 BST 电路，一些操作发生在上升沿，而另一些发生在下降沿。
TRST	测试复位输入(Test Reset Input)	低电平有效，异步复位边界扫描电路(在 IEEE 规范中，该引脚可选)。



1.10 FPGA/CPLD产品概述

1.10.1 Lattice公司的PLD器件

ispLSI系列器件

MACHXO系列

MACH4000系列

LatticeSC FPGA系列

LatticeECP3 FPGA系列



1.10 FPGA/CPLD产品概述

1.10.2 Xilinx公司的PLD器件

Virtex-6系列FPGA

Spartan-6器件系列

XC9500/XC9500XL系列CPLD

Xilinx Spartan-3A系列器件



1.10 FPGA/CPLD产品概述

1.10.3 Altera公司的PLD器件

Stratix 4/6 系列FPGA

Cyclone 4系列FPGA

Cyclone 和Cyclone II系列FPGA

Cyclone III系列FPGA

MAX系列CPLD

MAX II系列器件



1.11 编程与配置

1. 基于电可擦除存储单元的**EEPROM**或**Flash**技术。
2. 基于**SRAM**查找表的编程单元。
3. 基于反熔丝编程单元。

1.12 Quartus II

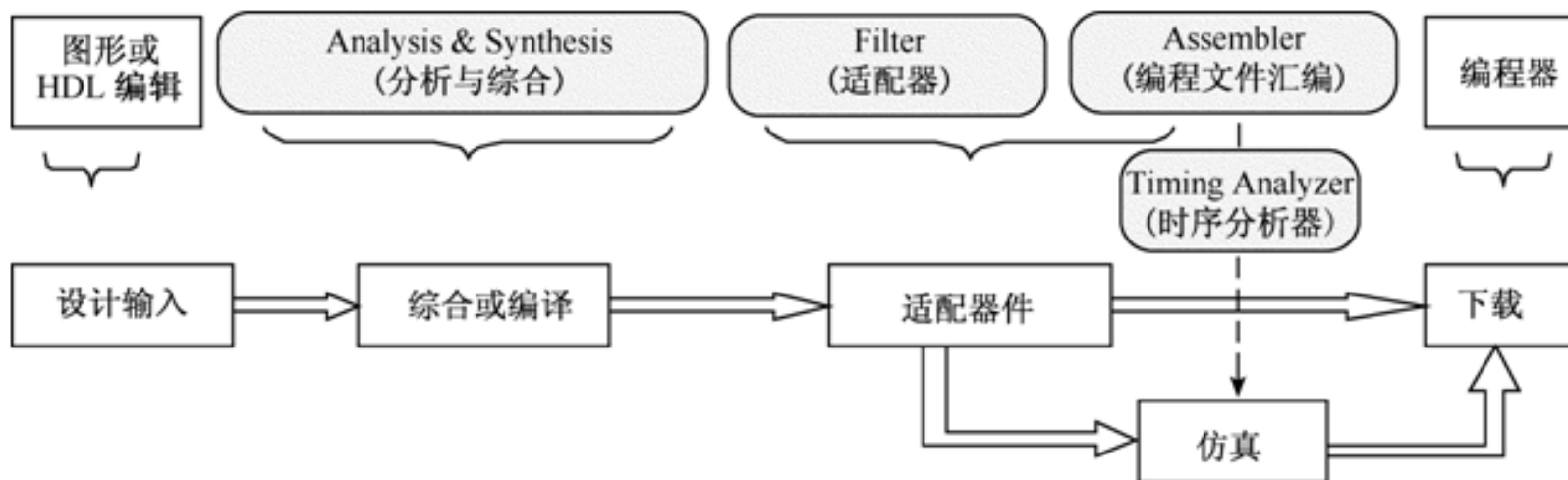
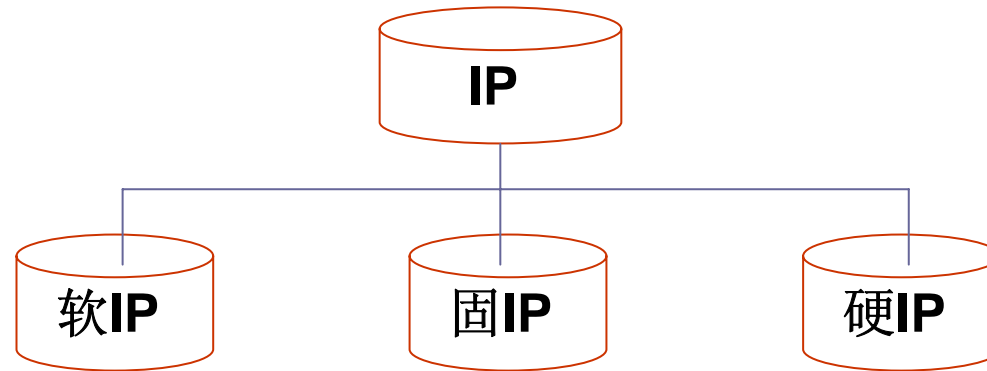


图 1-21 Quartus II 设计流程



1.13 IP核



是用**HDL**等硬件描述语言描述的功能块，但是并不涉及用什么具体电路元件实现这些功能。

是完成了综合的功能块。

提供设计的最终阶段产品：掩膜。



1.14 EDA的发展趋势

- ★ 超大规模集成电路的集成度和工艺水平不断提高
- ★ 可编程逻辑器件开始进入传统的ASIC市场
- ★ EDA工具和IP核应用更为广泛。
- ★ 为嵌入式系统设计提供了功能强大的开发环境。
- ★ 为复杂的SOC设计提供了物理基础。